



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년10월13일
(11) 등록번호 10-0987859
(24) 등록일자 2010년10월07일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0077367

(22) 출원일자 2003년11월03일

심사청구일자 2008년10월31일

(65) 공개번호 10-2005-0042597

(43) 공개일자 2005년05월10일

(56) 선행기술조사문헌

JP14198537 A*

KR1020010085697 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김상호

충청남도금산군금산읍상옥리88번지

정훈주

경기도평택시세교동555번지부영원앙아파트502동1003호

(74) 대리인

박장원

전체 청구항 수 : 총 10 항

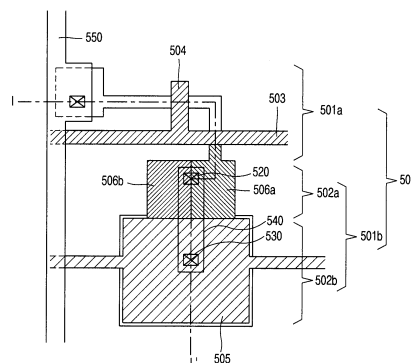
심사관 : 임동재

(54) 다결정실리콘 액정표시소자 및 그 제조방법

(57) 요약

본 발명은 액정표시소자의 커패시터를 형성하는 공정에서 마스크 수를 저감시킨 다결정실리콘 액정표시소자의 제조방법에 관한 것이다. 다결정실리콘 액정표시소자의 제조방법은 TFT 형성 영역과 불순물 주입 영역을 구비하는 스토리지 커패시터 영역을 포함하는 기판 상에 폴리실리콘층을 형성하는 단계, 상기 폴리실리콘층 상에 게이트 전극을 포함하는 게이트 라인 및 스토리지 커패시터 전극을 형성하는 단계, 상기 스토리지 커패시터 영역 중에서 P형 불순물 주입 영역이 차단되도록 상기 기판 상에 감광막 패터를 형성하는 단계, 상기 기판 전면에서 N형의 고농도 불순물 이온을 주입하는 단계, 상기 스토리지 커패시터 영역 중에서 상기 N형 불순물 주입 영역이 차단되도록 상기 기판 상에 감광막 패터를 형성하는 단계, 상기 스토리지 커패시터 영역의 커패시터 전극 영역에 P형의 고농도 불순물 이온이 더 주입되도록 상기 기판 전면에서 P형의 고농도 불순물 이온을 주입하는 단계, 상기 기판 전면에서 절연막을 형성하는 단계, 상기 게이트 절연막 및 절연막을 식각하여 상기 TFT 형성 영역의 폴리실리콘층을 노출시키는 제1 콘택홀과 상기 스토리지 커패시터 영역의 폴리실리콘층을 노출시키는 제2 콘택홀을 형성하는 단계 및 상기 기판 전면에서 전극물질을 형성하여 상기 제1 및 제2 콘택홀과 전기적으로 연결되는 소스 및 드레인 전극을 형성하는 단계를 포함한다.

대표도 - 도5e



특허청구의 범위

청구항 1

TFT 형성 영역과 불순물 주입 영역을 구비하는 스토리지 커패시터 영역을 포함하는 기판 상에 폴리실리콘층을 형성하는 단계;

상기 폴리실리콘층 상에 게이트 전극을 포함하는 게이트 라인 및 스토리지 커패시터 전극을 형성하는 단계;

상기 스토리지 커패시터 영역 중에서 P형 불순물 주입 영역이 차단되도록 상기 기판 상에 감광막 패턴을 형성하는 단계;

상기 기판 전면에서 N형의 고농도 불순물 이온을 주입하는 단계;

상기 스토리지 커패시터 영역 중에서 상기 N형 불순물 주입 영역이 차단되도록 상기 기판 상에 감광막 패턴을 형성하는 단계;

상기 스토리지 커패시터 영역의 커패시터 전극 영역에 P형의 고농도 불순물 이온이 더 주입되도록 상기 기판 전면에서 P형의 고농도 불순물 이온을 주입하는 단계;

상기 기판 전면에서 절연막을 형성하는 단계;

상기 게이트 절연막 및 절연막을 식각하여 상기 TFT 형성 영역의 폴리실리콘층을 노출시키는 제1 컨택홀과 상기 스토리지 커패시터 영역의 폴리실리콘층을 노출시키는 제2 컨택홀을 형성하는 단계; 및

상기 기판 전면에서 전극물질을 형성하여 상기 제1 및 제2 컨택홀과 전기적으로 연결되는 소스 및 드레인 전극을 형성하는 단계를 포함하는 다결정실리콘 액정표시소자의 제조방법.

청구항 2

제1항에 있어서, 상기 불순물 주입 영역은 N형 불순물 영역과 P형 불순물 영역 및 커패시터 전극 영역을 포함하는 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 3

제2항에 있어서, 상기 P형 불순물 영역에 이온 주입시 상기 N형 TFT 형성공정에서 사용되는 마스크에 패턴을 추가하여 사용하는 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 4

제2항에 있어서, 상기 커패시터 전극 영역은 상기 스토리지 커패시터의 일 전극인 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 5

제2항에 있어서, N형 불순물 영역과 P형 불순물 영역은 서로 인접해 있는 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 6

제1항에 있어서, 상기 폴리실리콘층을 형성하는 단계와 상기 스토리지 커패시터 형성하는 단계 사이에 상기 폴리실리콘층을 포함하는 기판 전면에서 게이트 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 7

제1항에 있어서,

상기 스토리지 커패시터 형성하는 단계와 상기 감광막 패턴을 형성하는 단계 사이에 상기 기판 전면 상에 N형의 저농도 불순물 이온을 주입하는 단계를 포함하는 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 8

제1항에 있어서, 상기 소스 및 드레인 전극을 형성하는 단계 후, 상기 기판 전면에 보호막을 형성하고, 이를 식각하여 상기 드레인 전극을 노출시키는 제3 컨택홀을 형성하는 단계; 및

상기 기판 전면에 전극물질을 형성하여 상기 제3 컨택홀과 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 9

제 1항에 있어서, 상기 폴리실리콘층은 형성하는 단계는

상기 기판 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층을 열처리하는 단계; 및

상기 열처리된 실리콘층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 10

제1항에 있어서, 상기 다결정실리콘 액정표시소자는 라인 인버전 방식으로 구동되는 것을 특징으로 하는 다결정실리콘 액정표시소자의 제조방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0015] 본 발명은 채널층으로 다결정실리콘을 사용하는 다결정실리콘 액정표시소자의 제조방법에 관한 것으로서, 특히 적은 마스크를 사용하여 다결정실리콘 액정표시소자 및 이에 사용되는 커패시터를 제조하는 것에 관한 것이다.
- [0016] 구동회로부 분리형 액정표시소자는 화면을 표시하는 화면 표시부와 상기 화면 표시부를 구동하는 구동회로부로 구분될 수 있는데, 화면 표시부와 구동회로부는 분리되어 형성되고 TCP(Tape Carrier Package)등을 통하여 서로 연결되어 있다.
- [0017] 반면, 구동회로부 일체형 액정표시소자는 화면 표시부를 구성할 때 구동회로부를 동시에 동일한 기판 상에 형성

하는 방법을 사용함으로 구동회로부 분리형 액정표시소자에 비해 제조공정에서 편리하다.

- [0018] 구동회로부 일체형 액정표시소자를 구성하기 위해서는 미세한 소자형성이 가능한 폴리실리콘 층을 채널층으로 주로 사용한다.
- [0019] 폴리실리콘을 채널층으로 사용하는 액정표시소자는 비정질 실리콘을 채널로 사용하는 액정표시소자에 비해 채널의 이동도가 우수하여 고속동작을 요하는 액정표시소자의 제조에 적합하다. 보통, 비정질 박막트랜지스터(Thin Film Transistor, TFT)의 전기적 이동도가 $0.1 \sim 1 \text{ cm}^2/\text{Vsec}$ 정도인데 반해, 액시머 레이저를 이용하여 제작된 다결정실리콘 TFT의 전기적 이동도는 $100 \text{ cm}^2/\text{Vsec}$ 가 넘는 값을 가진다.
- [0020] 상기의 폴리실리콘을 채널로 사용하는 구동회로부 일체형 액정표시소자를 도 1을 통해서 살펴보면, 단위화소들이 매트릭스 형태로 배열된 화면 표시부(101)와 화면 표시부의 외곽으로 화면 표시부의 소자들을 구동하기 위한 구동회로부(102)가 형성되어 있다. 상기 구동회로부(102)에는 게이트 드라이버(104)와 데이터 드라이버(103)등의 구동회로부가 형성되어 있다.
- [0021] 상기 구동회로부에는 P-채널과 N-채널 MOS(Complementary Metal Oxide Semiconductor)를 하나의 회로에 동시에 구성하여 단위 트랜지스터의 기능을 발휘하게 한 IC 회로가 단위체를 형성하며 화면 표시부의 단위화소들과 연결되어 있다.
- [0022] 구동회로부 및 화소영역을 구성하는 단위 소자는 주로 P형 TFT 및 N형 TFT인데, 상기 소자는 폴리실리콘을 기판상에 형성하여 채널층으로 사용하는 실리콘 온 글래스(silicon on glass)기술에 의해 형성되며 상기 P형 TFT와 N형 TFT는 기본구조에 있어서는 동일하나 다만 채널에 도핑되는 이온의 종류에 있어 차이가 날 뿐이므로 상기 폴리실리콘을 채널층으로 사용하는 액정표시소자의 구조 및 제조 공정을 P형 TFT를 형성하는 공정을 예로 들어 설명한다.
- [0023] 도 2에서 P형 TFT와 스토리지 커패시터가 한 쌍을 이루는 스위칭 소자의 구조를 설명한다.
- [0024] 기판(201) 상에 스위칭 소자의 채널층으로 사용되는 폴리실리콘 층(202) 패턴이 형성된다. 상기 폴리실리콘 층은 TFT의 채널 층(202a)으로 사용됨과 더불어 커패시터를 구성하는 일 전극(202b)으로써 역할을 수행한다.
- [0025] 상기 폴리실리콘 층(202) 상에는 게이트 절연막(203)이 기판 전면에 형성되어 있으며 상기 폴리실리콘 층(202) 상에는 상기 게이트 절연막(203)을 사이에 두고 게이트 메탈(205)이 형성된다. 상기 게이트 메탈(205)은 게이트 전극(205a)과 스토리지 커패시터의 일 전극(205b)으로 패턴닝된다. 상기 게이트 전극(205a) 및 스토리지 커패시터 전극(205b)상에 절연막(206)이 형성되고 상기 절연막(206) 상에 소오스 및 드레인 전극(207, 208)과 채널층을 연결하기 위한 콘택홀(210)이 더 형성되고 상기 콘택홀과 상기 절연막 상에 소오스 및 드레인 전극이 형성되어 있다. 또한 상기 결과물 상에 소자를 보호하기 위한 보호막(209)이 형성되어 있다.
- [0026] 상기의 구조는 폴리실리콘을 채널층으로 사용하는 액정표시소자의 스위칭 소자의 기본 구조이며 도 3을 통하여 상기 폴리실리콘 액정표시소자의 제조 공정을 살펴본다.
- [0027] 먼저 도 3a에서 도시된 바와 같이, 액정표시소자가 형성될 기판(301)을 준비하고 상기 기판 상에 비정질의 실리콘 층을 플라즈마 CVD방법에 의해 형성한다. 상기 비정질 실리콘 층을 폴리실리콘 층으로 변화시키기 위하여 상기 비정질 실리콘 층을 퍼니스 내에서 고온 열처리하거나 레이저를 조사하여 다결정화 시킨다. 그 결과 상기 비정질 실리콘은 폴리실리콘(302)으로 변화되는데 폴리실리콘은 소자의 동작 특성에 있어서 비정질 실리콘 보다 월등하다.
- [0028] 상기 폴리실리콘 층(302)은 스위칭 소자의 커패시터를 형성하는 일 도전층으로 사용되어야 하므로 상기 폴리실리콘 층의 일부에 고농도의 불순물을 더 도핑함으로써 상기 폴리실리콘 층의 일부(302b)를 도전체화시킨다.
- [0029] 도 3b는 상기 폴리실리콘 층(302) 중 커패시터의 일 전극으로 사용될 영역(302b)에 불순물 이온을 주입하는 공정을 도시하고 있다. 즉, 기판 상에 폴리실리콘 층을 형성한 다음, 폴리실리콘 층 중 TFT영역은 마스크(304)로 가리고 스토리지 커패시터가 형성될 영역(302b)은 노출시킴으로써 불순물 주입이 가능하게 한다. 즉, 폴리실리콘 층 중 커패시터의 일 전극(302b)을 형성하기 위하여 별도의 마스크 공정이 필요하다.
- [0030] 다음으로 도 3c에서 도시된 바와 같이, 상기 폴리실리콘 층(302) 상에 게이트 절연막(303)을 형성하고 상기 게이트 절연막 상에 게이트 전극(305a) 및 커패시터의 일 전극(305b)을 형성한다. 상기 게이트 전극(305a)과 게이트 절연막 상에 형성되는 커패시터의 일 전극(305b)은 동일한 금속 층에 의해서 형성된다.
- [0031] 상기에서 불순물이 주입된 폴리실리콘 층(302b)과 게이트 절연막(303)과 게이트 전극 물질로 이루어진 커패시터

의 일 전극(305b)이 한 조를 이루어 커패시터가 형성된다.

- [0032] 게이트 전극을 형성한 다음, 도 3d에서 도시된 바와 같이, 상기 게이트 전극(305a)을 마스크로 적용하여 상기 폴리실리콘 층 내로 붕소 등의 3족의 불순물이온을 주입하여 P형의 채널을 형성한다.
- [0033] 다음으로 도 3e에서와 같이, 상기 게이트 전극(305a) 상에 실리콘 질화막 또는 실리콘 산화막의 절연막(306)을 형성하고 소오스 및 드레인 전극(307,308a)을 상기 폴리실리콘 층 중 불순물 도핑영역과 접촉하기 위한 콘택홀(310)을 형성한다.
- [0034] 상기 콘택홀(310)이 형성된 절연막(306) 상에 도전막을 증착하고 상기 도전막을 패터닝하여 소오스 및 드레인 전극(307,308)을 형성한다.
- [0035] 또한 상기 소오스 및 드레인 전극(307,308)이 형성된 기판 전체에 소자를 외부환경으로부터 보호하기 위한 보호막(309)을 형성함으로써 커패시터를 구비하는 TFT소자를 완성한다.
- [0036] 상기 P형 TFT형성 공정 중 폴리실리콘 층을 커패시터의 일 전극으로 사용하는 커패시터를 형성하는 단계를 도 4a 내지 4c를 통하여 더욱 상세히 살펴보면, 도 4a에서 도시된 바와 같이, 기판(미도시)상에 임의의 패턴을 가지는 폴리실리콘 층(401)을 형성한다. 상기 폴리실리콘 층(401)은 기판 상에 비정질실리콘 층을 형성하는 단계, 상기 비정질실리콘 층을 열처리하는 단계, 상기 열처리된 비정질실리콘 층, 즉 폴리실리콘 층을 패터닝하는 단계를 통하여 형성된다.
- [0037] 상기 폴리실리콘 층은 TFT의 채널층으로 사용됨과 더불어 커패시터의 일 전극으로써 역할을 함께 수행하는데, 커패시터의 용량을 크게하고 커패시터의 일 전극으로써 역할을 수행시키기 위하여 폴리실리콘 층의 일부를 도전체화할 필요가 있다.
- [0038] 도 4b에서는 상기 폴리실리콘 층(401) 중 스토리지 커패시터가 형성될 영역(401b)에 불순물 이온을 주입하여 도전체화시키기 위하여 폴리실리콘 패턴(401) 중 커패시터 영역(401b)은 노출시키고 TFT 영역(401a)은 마스크(403)로 가린 모습을 도시하고 있다. 상기 마스크는 감광막을 사용할 수 있다. 또한,상기의 공정은 폴리실리콘 층(401)이 형성된 기판 상에 감광막을 도포하는 단계, 마스크를 적용하여 상기 감광막 상에 노광하는 단계, 상기 감광막을 현상하는 단계 및 세정단계를 통해 형성될 수 있다.
- [0039] 커패시터 영역(401b)을 노출시킨 다음, 상기 노출된 폴리실리콘 영역(401b) 즉, 커패시터의 일 전극으로 작용할 폴리실리콘 층(401b)에 고농도의 불순물 이온을 주입하여 도전성의 커패시터 제 1 전극을 형성한다.
- [0040] 다음으로 도면에는 도시되지 않았지만 상기 폴리실리콘 층상에 게이트 절연막을 형성한 후, 도 4c에서 도시된 바와 같이, 게이트 전극(404) 및 커패시터의 제 2 전극(405)형성을 위한 게이트 메탈 형성단계, 상기 게이트 메탈 상에 감광막을 형성하고 사진 식각 공정을 통하여 게이트 전극(404) 및 스토리지 커패시터의 제 2 전극(405)을 형성한다.
- [0041] 상기 게이트 전극(404)과 커패시터의 제 2 전극(405)을 형성한 다음, 상기 도 3d 내지 3e에서 설명한 바와 같이, TFT소자 형성을 위한 후속 공정을 진행하여 폴리실리콘을 채널층으로 사용하는 액정표시소자를 완성한다.
- [0042] 상기에서 살펴 본 바와 같이, 스토리지 커패시터의 일 전극층으로 폴리실리콘 층을 사용하는 액정표시소자를 형성하기 위해서는 폴리실리콘 층을 메탈화 시키기 위하여 별도의 마스크 공정을 수행해야하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0043] 본 발명은 TFT소자의 채널층과 스토리지 커패시터의 일 전극층으로 폴리실리콘 층을 사용하는 액정표시소자의 제조방법에 있어서, 마스크 수를 줄이고 커패시터의 용량이 일정한 안정된 커패시터를 포함하는 폴리실리콘 액정표시소자를 형성하는 것을 목적으로 한다.

발명의 구성 및 작용

- [0044] 상기의 목적을 달성하기 위하여 본 발명의 폴리실리콘 액정표시소자의 제조방법은 TFT 형성 영역과 불순물 주입 영역을 구비하는 스토리지 커패시터 영역을 포함하는 기판 상에 폴리실리콘층을 형성하는 단계, 상기 폴리실리콘층 상에 게이트 전극을 포함하는 게이트 라인 및 스토리지 커패시터 전극을 형성하는 단계, 상기 스토리지 커패시터 영역 중에서 P형 불순물 주입 영역이 차단되도록 상기 기판 상에 감광막 패턴을 형성하는 단계, 상기 기판 전면에 N형의 고농도 불순물 이온을 주입하는 단계, 상기 스토리지 커패시터 영역 중에서 상기 N형 불순물 주입 영역이 차단되도록 상기 기판 상에 감광막 패턴을 형성하는 단계, 상기 스토리지 커패시터 영역의 캐패시

터 전극 영역에 P형의 고농도 불순물 이온이 더 주입되도록 상기 기관 전면에서 P형의 고농도 불순물 이온을 주입하는 단계, 상기 기관 전면에서 절연막을 형성하는 단계, 상기 게이트 절연막 및 절연막을 식각하여 상기 TFT 형성 영역의 폴리실리콘층을 노출시키는 제1 콘택홀과 상기 스토리지 캐패시터 영역의 폴리실리콘층을 노출시키는 제2 콘택홀을 형성하는 단계 및 상기 기관 전면에서 전극물질을 형성하여 상기 제1 및 제2 콘택홀과 전기적으로 연결되는 소스 및 드레인 전극을 형성하는 단계를 포함한다.

상기 불순물 주입 영역은 N형 불순물 영역과 P형 불순물 영역 및 캐패시터 전극 영역을 포함한다.

상기 P형 불순물 영역에 이온 주입시 상기 N형 TFT 형성공정에서 사용되는 마스크에 패턴을 추가하여 사용한다.

상기 캐패시터 전극 영역은 상기 스토리지 캐패시터의 일 전극이다.

상기 N형 불순물 영역과 P형 불순물 영역은 서로 인접해 있다.

상기 폴리실리콘층을 형성하는 단계와 상기 스토리지 캐패시터 형성하는 단계 사이에 상기 폴리실리콘층을 포함하는 기관 전면에서 게이트 절연막을 형성하는 단계를 포함한다.

상기 스토리지 캐패시터 형성하는 단계와 상기 감광막 패턴을 형성하는 단계 사이에 상기 기관 전면 상에 N형의 저농도 불순물 이온을 주입하는 단계를 포함한다.

상기 소스 및 드레인 전극을 형성하는 단계 후, 상기 기관 전면에서 보호막을 형성하고, 이를 식각하여 상기 드레인 전극을 노출시키는 제3 콘택홀을 형성하는 단계 및 상기 기관 전면에서 전극물질을 형성하여 상기 제3 콘택홀과 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함한다.

상기 폴리실리콘층을 형성하는 단계는 상기 기관 상에 비정질 실리콘층을 형성하는 단계, 상기 비정질 실리콘층을 열처리하는 단계 및 상기 열처리된 실리콘층을 패터닝하는 단계를 포함한다.

상기 다결정실리콘 액정표시소자는 라인 인버전 방식으로 구동된다.

[0045] 삭제

[0046] 이하 도 5a 내지 5f 및 도 6a 내지 6d를 통하여 본 발명의 폴리실리콘 액정표시소자의 제조방법을 상세히 설명한다.

[0047] 폴리실리콘을 채널층으로 사용하는 액정표시소자는 다수의 TFT가 매트릭스 형태로 배열되어 있는 화면표시부와 상기 화소들을 구동하기 위한 P형 TFT와 N형 TFT를 포함하는 구동회로부로 구성된다. 즉, 액정표시소자는 유기적으로 연결된 다수의 TFT를 형성하는 공정으로 볼 수 있는데, 도 5a 내지 도 5f에서는 설명의 편의상 하나의 TFT가 형성되는 공정을 중심으로 기술함으로써 전체 액정표시소자의 제조 공정을 설명한다.

[0048] 도 5a 내지 도 5f는 본 발명의 폴리실리콘 액정표시소자에 사용되는 하나의 TFT를 주목한 것이다.

[0049] 먼저, 도 5a에서 도시된 바와 같이, 하나의 TFT를 형성하기 위하여 유리기관 상에 실리콘 층을 형성하고 패터닝하여 임의의 패턴을 가지는 폴리실리콘 층(501)을 형성한다. 상기 폴리실리콘 층은 TFT소자 영역(501a)과 스토리지 커패시터 영역(501b)을 포함하며 상기 스토리지 커패시터 영역(501b)은 다시 불순물 주입 영역(502a)과 커패시터 전극영역(502b)으로 구성된다. 특히, 상기 불순물 주입 영역(502a)은 스토리지 커패시터 영역의 소정의 위치에 형성될 수 있다.

[0050] 상기 폴리실리콘 층(501)을 형성하는 공정은 먼저, 기관 상에 비정질의 실리콘 층을 PECVD 방법에 의해 형성하고 상기 폴리실리콘 층을 열처리하여 다결정질의 실리콘 층으로 변화시킨다.

[0051] 비정질의 실리콘은 실리콘 입자들이 서로 무작위로 배열한 상태로 존재하는데, 이들을 고온의 요로(furnace)에서 가열 용융시키고 재결정을 하면 핵을 중심으로 성장하여 그레인(grain)이 큰 다결정질의 집합인 폴리실리콘 층으로 변하게 된다.

[0052] 폴리실리콘은 그레인이 상당히 큰데, 그레인 경계 면적이 작을수록 전자나 전공 등이 캐리어의 이동속도가 향상된다. 이는 그레인 경계는 캐리어들이 이동하는데 장벽으로 작용하기 때문인데, 그레인의 크기가 크면 그만큼 캐리어가 이동하는 동안 통과해야하는 그레인의 면적이 작아 캐리어의 이동도는 증가하기 때문이다.

[0053] 그런데, 유리기관을 기관으로 사용하는 액정표시소자의 제조방법에서는 고온의 요로에서 비정질 실리콘을 가열하여 폴리실리콘으로 변화시키는 방법은 적합하지가 않다. 왜냐하면 액정표시소자의 제조에 사용되는 유리기관

은 600℃이상에서는 변형을 일으켜 600℃이상으로 가열하는 요로에서는 기판이 변형되는 문제가 있기 때문이다.

- [0054] 그래서, 본 발명에서는 기판 상에 형성되는 비정질 실리콘 층을 폴리실리콘 층으로 변형시키기 위해서 저온 열처리가 가능한 레이저 어닐링 방법을 사용한다.
- [0055] 레이저 어닐링 방법은 기판 상에 형성된 비정질의 실리콘 층에 순간적으로 고온가열이 가능한 레이저를 조사하여 비정질의 실리콘을 결정화하는 방법이다. 이 방법에 의해 유리재질로 형성되는 본 발명의 액정표시소자 기판을 변형시키지 않고 효과적으로 실리콘 층을 결정화할 수 있다.
- [0056] 특히, 레이저 어닐링에 의해 폴리실리콘을 형성하는 기술에는 비정질 실리콘 층을 완전히 용융시키고 수평으로 결정화를 유도하여 그레인의 경계를 최소화하는 연속적 수평결정화(sequential lateral solidification, SLS) 방법에 의해서 채널층을 구성할 수 있는데, SLS방법에 의해서 소자의 특성을 극대화시킬 수 있다.
- [0057] 본 발명의 액정표시소자에 사용되는 액티브층의 제조방법은 가열 결정화 방법이나 레이저 조사에 의한 결정화 방법으로 제한될 것은 아니며 비정질 실리콘을 폴리실리콘으로 형성 가능한 방법이면 어떠한 방법도 가능하다.
- [0058] 도면에는 도시되지 않았지만, 기판 상에 폴리실리콘 층이 형성된 다음으로 상기 폴리실리콘 층상에 게이트 전극과 상기 폴리실리콘 층을 절연시키기 위한 실리콘 산화막 또는 실리콘 질화막의 게이트 절연막을 형성한다. 상기 게이트 절연막은 플라즈마 CVD방법에 의해 형성될 수 있다.
- [0059] 기판 상에 게이트 절연막이 형성된 후, 도 5b에서 도시된 바와 같이, 상기 폴리실리콘 층(501)의 TFT소자 영역(501a)에는 게이트 라인(503)과 상기 게이트 라인에서 분기되는 게이트 전극(504)을 형성하고 스토리지 커패시터 영역(501b)에는 스토리지 커패시터의 일 전극(505)을 각각 형성한다.
- [0060] 도 5b에서 게이트 전극(504)과 폴리실리콘 층이 겹치는 영역은 TFT의 채널 영역이 되고 상기 스토리지 커패시터의 일 전극(505)은 상기 스토리지 커패시터 영역 중 커패시터 전극 영역(502b)에 형성된다.
- [0061] 특히, 상기 스토리지 커패시터 전극(505)은 상기 스토리지 커패시터 영역의 일부, 즉 커패시터 전극 영역에 형성되고 상기 스토리지 커패시터 영역의 일부는 불순물이 주입될 영역(502a)으로 남겨둔다.
- [0062] 게이트 전극(504) 및 스토리지 커패시터 전극(505)을 형성한 다음, 상기 스토리지 커패시터의 불순물 주입 영역(502a)에 불순물을 주입하는 공정을 실시한다.
- [0063] 상기 불순물 주입 영역(502a)은 다시 N형 불순물 주입 영역(506a)과 P형 불순물 주입 영역(506b)으로 구분된다. N형 불순물 주입 영역(506a)에 불순물을 주입하는 단계는 N형 TFT를 제조하기 위하여 고농도 N도핑이 이루어질 때 함께 이루어지며, P형 불순물 영역(506b)에 불순물 주입은 P형 TFT 제조를 위하여 고농도의 P도핑이 이루어질 때 함께 이루어진다. 그러므로 상기의 N형 불순물 영역(506a) 또는 P형 불순물 영역(506b)를 형성하기 위해서는 별도의 마스크를 사용하지 않고 N형 TFT또는 P형 TFT를 형성하는 단계에서 사용되는 마스크에 패턴만 추가함으로써 이루어질 수 있다.
- [0064] 도 5c와 도 5d를 통하여 상기 공정을 더욱 자세히 설명한다.
- [0065] 본 실시예의 폴리실리콘 액정표시소자는 구동회로부의 구동소자로서 CMOS 스위칭 소자를 사용하고 CMOS 스위칭 소자는 N형 TFT영역과 P형 TFT 영역이 존재한다. 특히, N형 TFT는 핫 캐리어에 의한 누설전류가 발생하는 문제를 해결하기 위해 보통 LDD형의 TFT로 제조되는데, LDD형의 TFT는 채널과 인접한 액티브층은 저농도의 N이 도핑되고 저농도의 N도핑 영역 외곽으로는 고농도의 N이 도핑된 구조를 가진다.
- [0066] 기판 상에 N형 TFT와 P형 TFT를 형성하기 위하여 LDD구조의 N형 TFT의 채널에 불순물 이온을 주입하는 공정, P형 TFT의 채널층에 불순물 이온을 주입하는 공정 순으로 공정을 진행할 수 있다.
- [0067] 먼저, 도 5c를 통하여 N형 TFT의 채널 영역에 불순물 이온을 주입하는 공정을 살펴보면, 게이트 전극(504)과 스토리지 커패시터의 커패시터 전극(505)이 형성된 기판 전면에서 게이트 전극(504)을 마스크로 적용하여 N형의 저농도 불순물을 주입하면 TFT영역(501a)에 저농도의 N형 이온이 주입된다. 이때 스토리지 커패시터의 불순물 이온 주입 영역(502b)에도 저농도의 불순물이 주입될 수 있다. 그러나 상기 스토리지 커패시터의 불순물 이온 주입 영역(502b)에 주입되는 저농도의 N불순물은 이후 진행될 고농도의 P 주입 과정에서 상쇄됨으로 문제되지 않는다.
- [0068] 다음으로, 저농도의 N형 불순물이 주입된 N형 TFT 영역(501a)에 감광막으로 채널과 일부 실리콘층을 가리고 고농도의 N 불순물 이온을 주입하는 공정을 진행한다. 상기 N형 TFT영역에 감광막을 형성할 때에 커패시터의 불순물

물 주입 영역중 P형 불순물 영역위에도 감광막 패턴을 형성한다. 상기 N형 TFT와 P형 불순물 주입영역 상의 감광막은 종래의 저농도 N형 불순물 주입을 위하여 사용되는 마스크에 패턴만 추가함으로써 완성될 수 있다.

[0069] 그 결과, 도 5c에서 보는바와 같이 감광막 패턴은 N 형 TFT 상부(미도시)와 P형 불순물 주입 영역 상부(507)에 각각 형성된다. 상기 감광막을 고농도의 불순물 이온 주입을 위한 마스크로 적용하고 N형의 고농도 불순물 이온을 기관 전면에 도핑하면 N형 TFT 영역에는 LDD형의 TFT가 형성되고 스토리지 커패시터의 불순물 주입영역 중 N형 불순물 주입 영역에는 고농도의 N형 불순물이 주입되게 된다.

[0070] 상기의 결과, 기관 상에 존재하는 TFT 중 LDD형의 TFT는 완성되고 다음으로 P형 TFT를 형성하는 공정을 진행한다.

[0071] P형 TFT를 형성하는 공정은 기관 상에 존재하는 N형 TFT영역을 감광막으로 가리고 P형 TFT영역은 노출시킨 다음, P형 이온을 주입함으로써 형성되는데, 상기 공정을 도 5d를 통하여 설명한다.

[0072] 본 실시 예에서는 N형 TFT 형성을 중심으로 설명하는 관계상 도 5d에서는 P형 TFT는 도시되지 않았으나 P형 TFT는 기관의 임의의 영역에 존재한다. 상기 P형 TFT의 채널층에 불순물 이온을 주입하기 위하여 기관 상에 형성된 N형 TFT를 감광막(508)으로 가리고 P형 TFT 영역은 노출시킨 다음, 기관 전면에 P형 불순물을 주입한다. P형 TFT의 게이트 전극은 상기 P형 불순물 주입시에 마스크로 작용하여 P형 TFT는 게이트 전극의 측면으로 P형 불순물이 주입되어 P형 TFT가 형성될 수 있다.

[0073] 이때 N형 TFT를 가리는 감광막 패턴을 형성할 때 스토리지 커패시터 중 N형 불순물 주입 영역도 가려지도록 감광막 패턴을 형성함으로써 기관 전면에 P형 불순물 이온을 주입할 때 커패시터의 P형 불순물 주입 영역에도 P형 불순물이 주입되게 한다.

[0074] 그 결과, 스토리지 커패시터의 불순물 주입 영역에는 새로운 마스크의 추가 없이도 N형과 P형의 불순물 이온이 주입되게 된다.

[0075] 도 5e는 커패시터의 불순물 이온 주입 영역에 N형 및 P형 불순물이 주입된 액티브 층을 주목한 것이다. 불순물 이온 주입 영역은 전극 물질(540)을 연결부위로 하여 제 1컨택홀(520) 및 제 2컨택홀(530)을 통하여 화소전극(미도시)과 연결되어 있다. 제 1컨택홀(520)은 불순물 이온 주입 영역과 연결되고 제 2 컨택홀(530)은 화소전극과 연결된다.

[0076] 절단선 I-I'을 통하여 본 단면을 중심으로 그 제조 공정을 도 6a 내지 도 6f 를 통하여 상세히 살펴본다.

[0077] 도 6a를 참조하면, 기관(500)상에 비정질의 실리콘 박막을 형성하고 상기 실리콘 박막을 열처리하여 결정질의 실리콘 막으로 형성한다. 다음 상기 결정질 실리콘 막을 패턴닝하여 원하는 실리콘 액티브 층(501)을 형성한다. 본 발명의 실시예에서는 동작특성이 우수한 TFT를 얻고자 상기 액티브 층은 폴리실리콘 층이다.

[0078] 상기 폴리실리콘의 액티브 층 상에 게이트 절연막을 PECVD 방법등을 통하여 형성하고 게이트 메탈을 상기 게이트 절연막 상에 증착한다. 게이트 메탈의 증착이 이루어진 후, 상기 게이트 메탈을 게이트 전극(504), 게이트 라인(503) 및 스토리지 전극(505)을 구성하도록 패턴닝한다.

[0079] 다음으로 도 6b에서 도시된 바와 같이, 게이트 전극(504), 게이트 라인(503) 및 스토리지 전극(505)이 형성된 기관 전면에 N형의 저농도 불순물 이온을 주입한다. 이때 상기 게이트 전극(504), 게이트 라인(503) 및 스토리지 전극(505)은 주입되는 불순물 이온의 마스크로 작용하여 상기 금속 패턴의 하방에는 불순물 이온이 주입되지 않는다. 상기 저농도 N형 불순물 이온은 LDD형의 TFT를 형성하기 위하여 주입하는 것으로 게이트 전극의 측면 액티브 층에 주입되는 것을 목적으로 한다.

[0080] 도 6c에서 도시된 바와 같이, 상기 금속 패턴을 마스크로 적용하여 불순물 이온을 주입한 후, N형 TFT의 채널 영역과 스토리지 커패시터의 불순물 영역 중 N형 불순물 영역(506a)에 고농도의 N형 불순물 이온을 주입하기 위하여 게이트 전극(504) 및 스토리지 커패시터의 불순물 영역 중 P형 불순물 주입 영역(506b)상에 감광막 패턴(507)을 형성한다. 상기 감광막 패턴은 주입되는 고농도 n형 불순물 이온의 블로킹 마스크로써 작용하기 위한 것이다.

[0081] 상기 마스크 패턴(507)을 마스크로 적용하고 기관 전면에 고농도의 불순물 이온을 하여 LDD형의 N형 TFT와 스토리지 커패시터의 불순물 영역에 고농도의 N형 불순물 이온 주입을 완성한다. 이때에 스토리지 커패시터의 불순물 영역 중 일부는 고농도의 N형 불순물이 주입된 상태가 되고 감광막(507)에 의해 가려진 영역의 불순물 영역은 저농도의 불순물 이온이 주입된 형태가 된다. 게이트 라인은 도 6c에서 도시된 바와 같이, 고농도 불순물 이온

을 주입할 때 감광막에 의해 가려질 수도 있고 감광막 없이 고농도 이온주입이 될 수도 있다.

- [0082] 다음으로, 도 6d에서 도시된 바와 같이, 상기 기관 전면에 다른 감광막을 도포하고 스토리지 커패시터의 불순물 영역중 P형 불순물 영역이 오픈되도록 상기 감광막(508)을 패터닝한다. 상기 패터닝된 감광막(508)을 마스크로 적용하여 고농도의 P형 불순물을 기관 전면에 도핑하면 스토리지 영역의 불순물 주입 영역에 고농도의 P형 불순물이 형성된다. 주입되는 P형 불순물 이온은 고농도의 불순물임으로 먼저 주입된 저농도의 N형 불순물 이온을 상쇄하고도 남아 고농도의 P형 불순물 영역을 형성할 수 있다.
- [0083] 커패시터의 불순물 영역에 P형 및 N형의 불순물 이온을 주입한 후에 도 6e에서 도시된 바와 같이, 실리콘 질화막 또는 실리콘 산화막의 절연막을 기관 전면에 형성하여 절연하고 상기 절연막 상에 소오스(510) 및 전극물질(540)을 형성한다. 상기 상기 전극물질은 TFT의 드레인 전극으로써 역할과 불순물 주입영역과 화소전극을 연결하는 가교역할을 수행한다. 즉, 상기 전극물질(540)은 제 1컨택홀(520)을 통하여 불순물 주입 영역과 연결되며 향후 형성되는 제 2 컨택홀을 통하여 화소전극(미도시)과 연결된다.
- [0084] 소오스(510) 및 전극물질(540)이 형성된 다음, 도 6f에서 도시된 바와 같이, 상기 소오스(510) 및 전극물질 상에 평탄화 및 소자를 보호하기 위한 보호막(512)을 기관 전체면에 형성한다. 다음으로, 상기 보호막(512) 상에 화소전극(513)과 연결되는 제 2컨택홀(530)을 더 형성한다. 보호막 상에 제 2컨택홀을 형성한 다음, 상기 기관 전체면에 투명전극으로 구성되는 화소전극을 형성함으로써 액정표시소자를 구동하는 스위칭 소자가 완성된다.
- [0085] 불순물 주입 영역과 화소전극은 도 6g에서 도시된 바와 같이 화소전극이 직접 불순물 주입 영역과 연결될 수도 있다.
- [0086] N형 및 P형의 TFT를 구비하는 CMOS는 고속 동작 특성보다는 안정된 소자 특성이 요구되는 구동회로부에 주로 사용되기 때문에 본 발명의 상기 소자가 구동회로부에 형성될 경우에는 화소전극이 불필요할 수 있다.
- [0087] 특히, 도 6d에서 살펴보면, P형 TFT에 불순물을 주입하기 위하여 사용되는 마스크에 스토리지 커패시터 중 불순물 주입 영역의 일부가 가려지도록 패터닝을 추가함으로써 마스크의 추가 사용 없이 불순물 이온 주입 영역에 고농도의 P를 주입 할 수 있다.
- [0088] 또한, 폴리실리콘의 TFT 영역에 게이트 전극(504)이 형성되고 스토리지 커패시터 영역(501b)에 커패시터 전극(505)과 불순물 이온 주입 영역(502a)에 P형과 N형의 불순물이 주입된 모습을 도 5e를 통하여 확인할 수 있다. 특히, 상기 불순물 이온 주입 영역(502a)은 P형 불순물 이온 주입 영역(506b)과 N형 불순물 이온 주입 영역(506a)이 균등하게 등분된 구조를 하고 있다.
- [0089] 상기 불순물 이온 주입 영역(502a)은 스토리지 커패시터 영역(501b)중 임의의 영역에 형성될 수 있으며 상기 불순물 이온 주입 영역에 주입되는 불순물에 의해 커패시터의 일 전극으로써의 역할을 수행한다.
- [0090] 이제, 스토리지 커패시터의 불순물 이온 주입 영역에 불순물이 주입된 구조를 가지는 본 실시 예가 커패시터 역할을 수행하는 원리를 살펴본다.
- [0091] 커패시터는 대향하는 두 도전체에 유전체가 충전되어 있는 구조를 하고 있다. 특히 기관 상에 일정한 간격을 유지하면서 평행하게 형성된 게이트 라인에 +전압과 -전압이 교번하여 인가되는 라인 인버전(line inversion)형의 액정표시장치에서는 스토리지 영역에 불순물 이온을 도핑하지 않을 경우는 커패시터 용량이 일정하지 않게되는 문제점이 있다.
- [0092] 도 7을 통하여 그 원인을 살펴본다. 도 7은 라인 인버전형의 액정표시장치의 사용되는 N형 TFT와 P형 TFT내의 커패시터의 특성을 나타내는 그래프이다.
- [0093] N형 TFT를 고려해 볼 때, 커패시터의 일 전극으로는 고농도의 N이 도핑된 폴리콘이 사용됨으로 상기 폴리실리콘과 대응하는 다른 커패시터 전극에 - 전압이 인가되면 N형 TFT의 다수 캐리어인 전자는 폴리실리콘 층의 하방으로 밀려나 커패시터의 거리 값이 증가되어 커패시터 용량은 감소한다. 즉 커패시터 용량 공식 $C = \sigma A/d$ (σ :커패시터 상수, A:면적, d:거리)에 의해 커패시터 요량은 감소하고 커패시터 전극에 +전압이 인가되면 거리 d가 감소하여 커패시터 용량은 증가한다.
- [0094] 마찬가지로 원리에 의해 다수 캐리어로 전공이 작용하는 P형 TFT에 있어서는 N형 TFT와 반대로 커패시터의 일 전극에 +전압이 인가되면 커패시터 용량은 감소하고 -전압이 인가되면 커패시터 용량은 증가한다. 도 7a 및 도 7b의 그래프에서 상기 사실을 확인할 수 있다.
- [0095] 본 실시 예는 커패시터의 일 전극으로 작용하는 폴리실리콘 층에 N불순물 도핑 영역과 P불순물 도핑 영역을 구

비함으로써 라인 인버전형의 액정표시장치의 교번하는 전압인가에 균일한 커패시터 용량을 유지하는 효과를 얻을 수 있다.

[0096] 즉, 커패시터의 일 전극에 +전압이 인가되면 스토리지 커패시터의 N형 불순물 영역에 도핑된 불순물 이온이 폴리실리콘 층에 공급되어 커패시터 용량을 유지하고 -전압이 인가되면 스토리지 커패시터의 P형 불순물 영역에 도핑된 불순물 이온이 폴리실리콘 층에 공급되어 커패시터 용량을 유지함으로써 게이트 라인에 전압이 교번하여 인가되더라도 일정한 커패시터 값을 유지할 수 있다.

발명의 효과

[0097] 본 발명은 상기에서 살펴본 바와 같이, 폴리실리콘 액정표시소자의 스토리지 커패시터를 형성하기 위하여 사용되는 마스크 수를 줄여 공정 수를 감소시키는 효과를 얻을 수 있으며 특히 화소의 구동방식으로 라인 인버전 방식을 사용하는 액정표시소자에서 커패시터를 형성하기 위하여 마스크 수를 줄임과 동시에 커패시터의 용량을 일정하게 유지할 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0001] 도 1은 구동회로부 일체형 액정표시장치의 개략적 단면도.

[0002] 도 2는 종래의 폴리실리콘 박막트랜지스터의 구조를 나타내는 단면도.

[0003] 도 3a 내지 3e는 종래의 폴리실리콘 박막트랜지스터 제조 공정을 나타내는 수순도.

[0004] 도 4a 내지 4c는 종래의 폴리실리콘 박막트랜지스터 제조 공정 중 게이트 라인과 캐패시터 전극 형성 공정을 나타내는 수순도.

[0005] 도 5a 내지 5e는 본 발명의 폴리실리콘 박막트랜지스터 제조 공정 중 게이트 라인 및 캐패시터 전극 형성공정을 나타내는 순서도.

[0006] 도 6a 내지 6f는 본 발명의 폴리실리콘 박막트랜지스터 제조 공정을 나타내는 수순도.

[0007] 도 6g는 본 발명의 다른 실시 예에 의한 폴리실리콘 박막트랜지스터 구조를 나타내는 단면도.

[0008] 도 7a 내지 7c는 캐패시터 용량 특성을 나타내는 그래프.

[0009] ***** 도면의 주요부분에 대한 부호의 설명 *****

[0010] 501:폴리실리콘 층 501a:TFT 영역

[0011] 501b:스토리지 캐패시터 영역 502a:불순물 이온 주입 영역

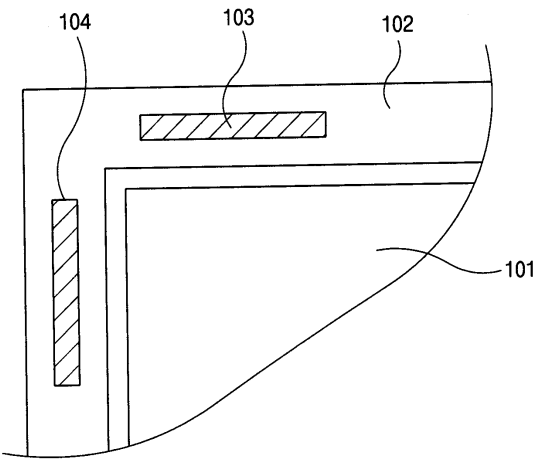
[0012] 502b:캐피시터 형성 영역 503:게이트 라인

[0013] 504: 게이트 전극 505: 캐패시터 전극

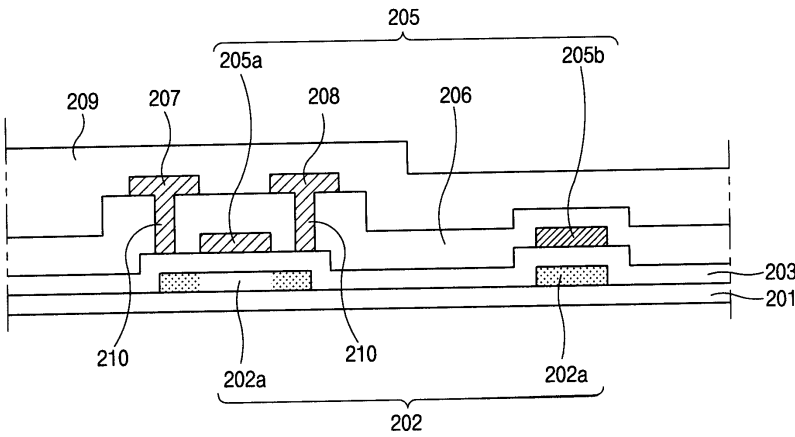
[0014] 506a, 506b: 불순물 이온 주입 영역

도면

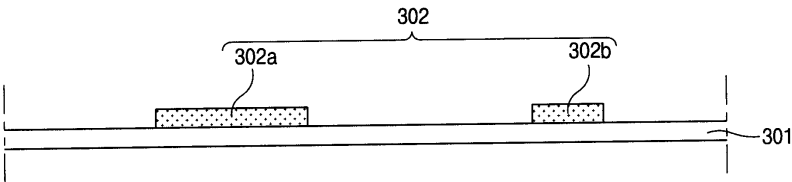
도면1



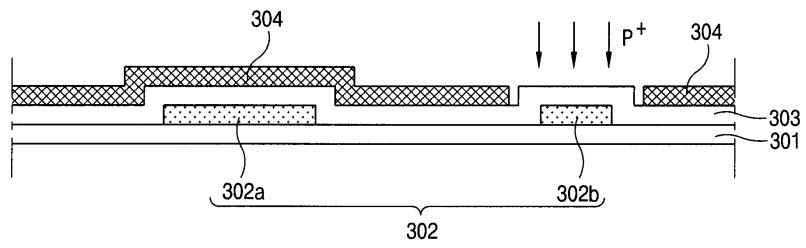
도면2



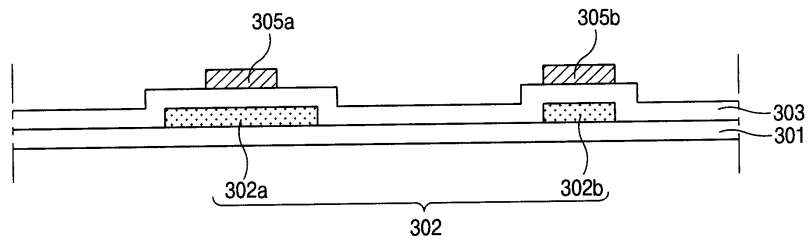
도면3a



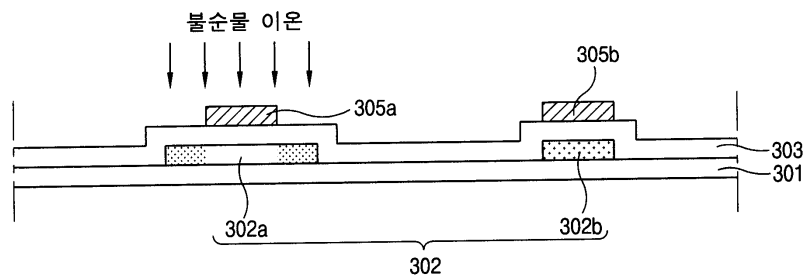
도면3b



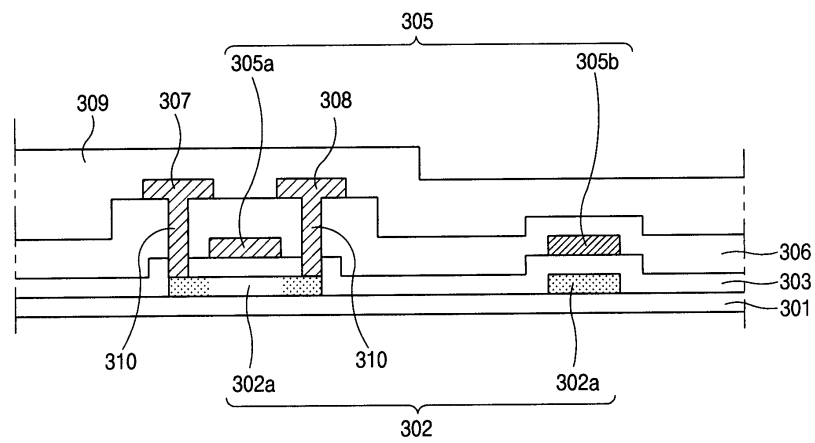
도면3c



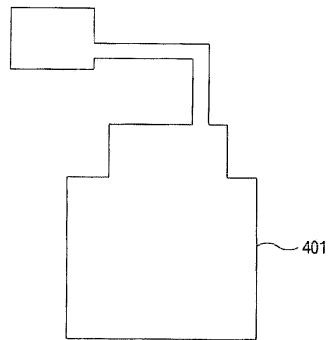
도면3d



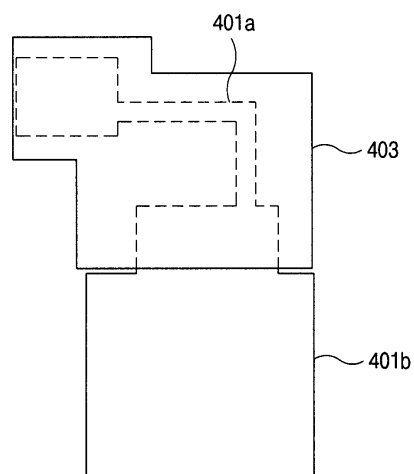
도면3e



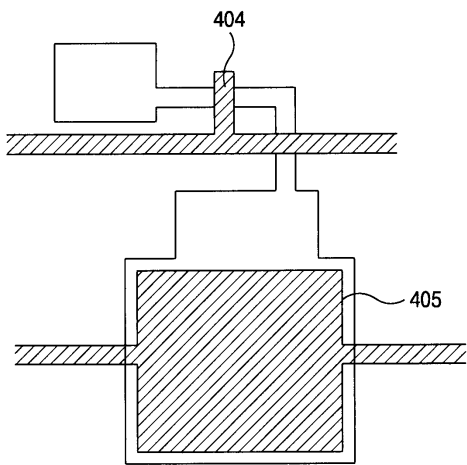
도면4a



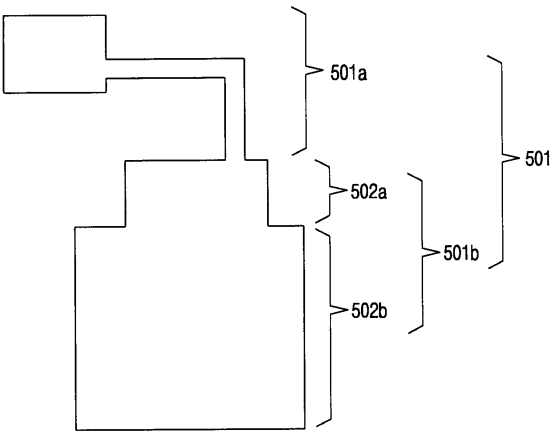
도면4b



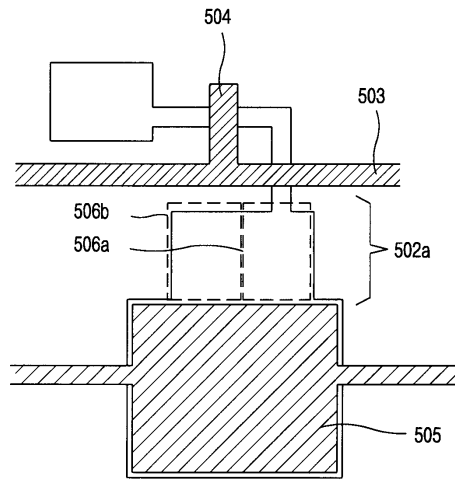
도면4c



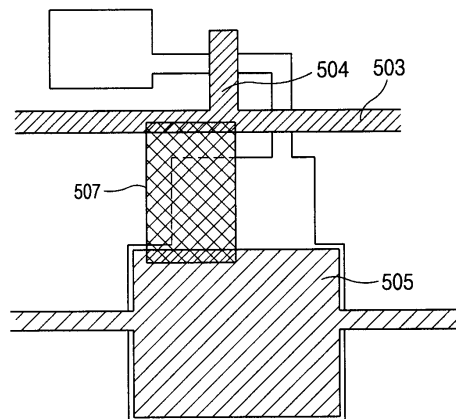
도면5a



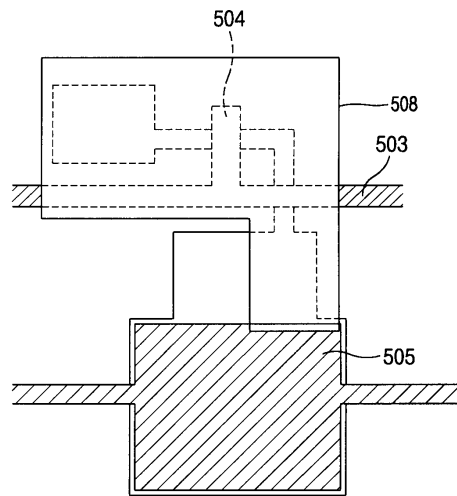
도면5b



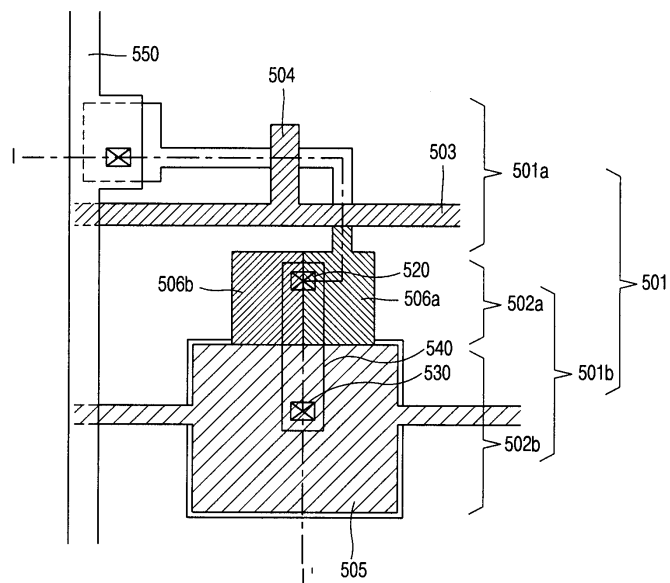
도면5c



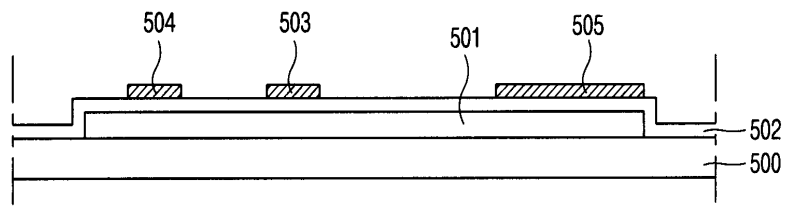
도면5d



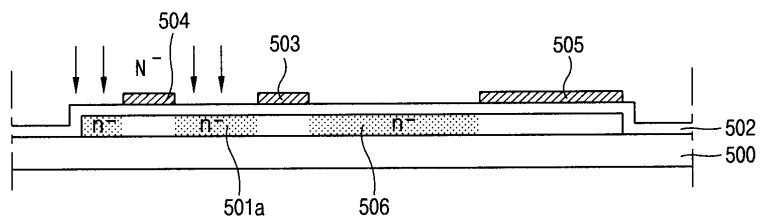
도면5e



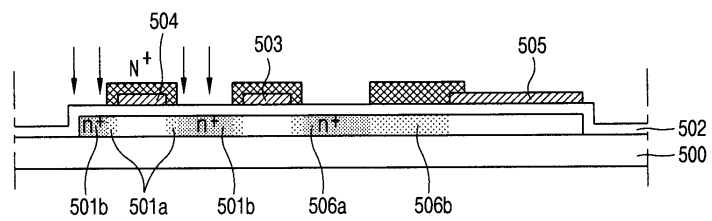
도면6a



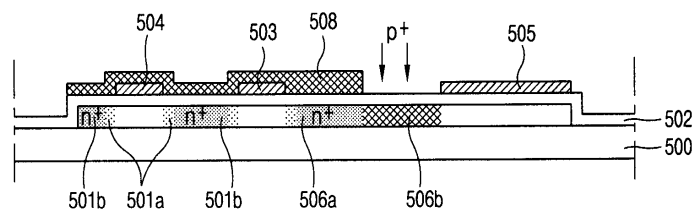
도면6b



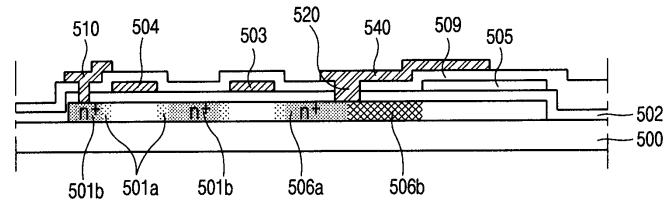
도면6c



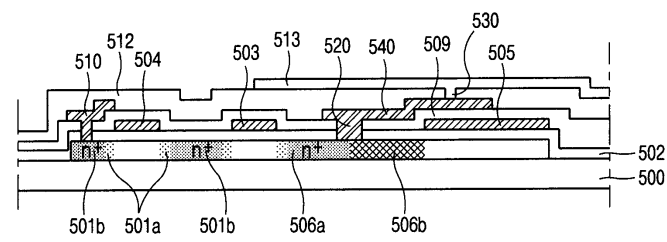
도면6d



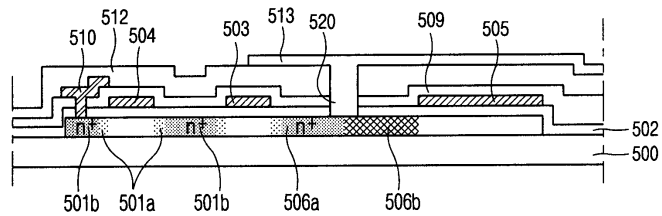
도면6e



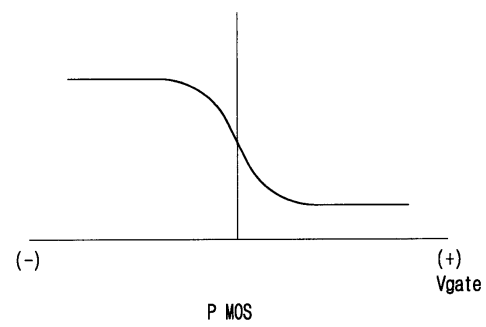
도면6f



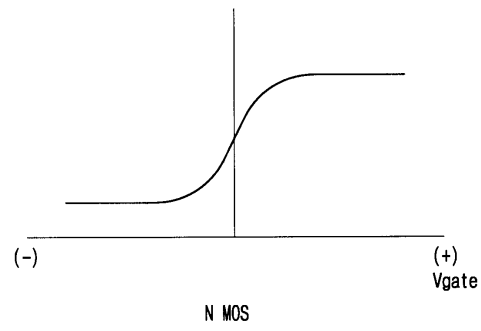
도면6g



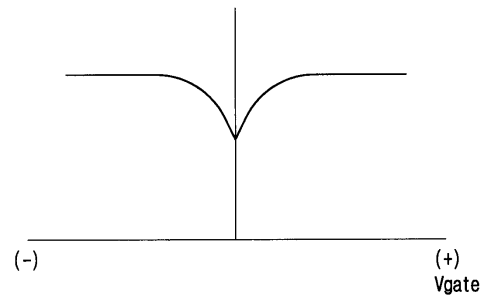
도면7a



도면7b



도면7c



专利名称(译)	多晶硅液晶显示装置及其制造方法		
公开(公告)号	KR100987859B1	公开(公告)日	2010-10-13
申请号	KR1020030077367	申请日	2003-11-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SANGHO 김상호 CHUNG HOONJU 정훈주		
发明人	김상호 정훈주		
IPC分类号	G02F1/1362 G02F G02F1/136		
CPC分类号	G02F2001/136231 G02F1/136213		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020050042597A		
外部链接	Espacenet		

摘要(译)

用途：提供一种多晶液晶显示装置及其制造方法，以减少在多晶液晶显示装置中用于制造电容器的掩模数量。

