



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월13일
(11) 등록번호 10-0878264
(24) 등록일자 2009년01월06일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2001-0078396

(22) 출원일자 2001년12월12일

심사청구일자 2006년12월05일

(65) 공개번호 10-2003-0048326

(43) 공개일자 2003년06월19일

(56) 선행기술조사문헌

KR1020000073727 A*

KR1020000067259 A*

KR1020000067257 A*

KR1020010097962 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김상갑

서울특별시강동구명일동309-1번지삼익아파트205동913호

홍문표

경기도성남시분당구수내동푸른마을쌍용아파트401동2202호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 8 항

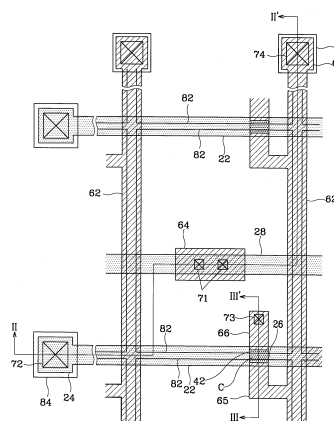
심사관 : 임동재

(54) 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법

(57) 요약

먼저, 절연 기판 위에 알루미늄 계열의 도전 물질을 적층하고 패터닝하여 게이트선, 게이트선과 연결되어 있는 게이트 전극 및 외부로부터 주사 신호를 전달받아 게이트선으로 전달하는 게이트 패드를 포함하는 게이트 배선을 형성한다. 이어, 게이트 배선을 덮는 게이트 절연막을 형성한 다음 게이트 전극의 게이트 절연막 상부에 반도체층을 형성한다. 이어, 반도체층 위에 저항성 접촉층을 형성한다. 이어, 저항성 접촉층 또는 게이트 절연막 상부에 폴리브덴-텅스텐 합금을 포함하는 도전체층을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 데이터선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극과 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극 및 외부로부터 영상 신호를 전달받아 데이터선으로 전달하는 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 데이터 배선 및 반도체층 상부에 보호막을 적층하고 패터닝하여 드레인 전극 상부에 제1 접촉 구멍을 형성한다. 이어, 보호막 상부에 제1 접촉 구멍을 통하여 드레인 전극과 연결되는 화소 전극을 형성한다. 이때, 데이터 배선과 저항성 접촉층 및 반도체층을 연속적으로 건식 식각 방법으로 패터닝한다.

대표도 - 도1



(72) 발명자

유승희

경기도수원시팔달구영통동황골마을주공아파트140
동501호

권대진

경기도성남시중원구성남동1302-3
번지현대빌라나동402호

송진호

경기도평택시지산동건영아파트112동503호

특허청구의 범위

청구항 1

절연 기판 위에 게이트선 및 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 전극의 게이트 절연막 상부에 반도체층을 형성하는 단계,

상기 반도체층 위에 저항성 접촉층을 형성하는 단계,

상기 저항성 접촉층 상부에 폴리브덴 또는 폴리브덴 합금을 포함하는 도전체층을 적층하는 단계,

$\text{SF}_6 + \text{Cl}_2$ 를 포함한 제1 건식 식각용 기체를 이용하여 상기 도전체 표면을 식각하는 제1 식각 단계,

$\text{Cl}_2 + \text{O}_2$ 를 포함하는 제2 건식 식각용 기체를 이용한 제2 식각 단계를 포함하는 건식 식각으로 상기 도전체를 식각하여 상기 저항성 접촉층 상부에 서로 분리되어 있는 소스 및 드레인 전극과 상기 소스 전극과 연결되어 있는 데이터선을 포함하는 데이터 배선을 형성하는 단계,

상기 소스 및 드레인 전극을 식각 마스크로 상기 저항성 접촉층을 식각하는 단계

상기 데이터 배선 및 상기 반도체층 상부에 보호막을 적층하고 패터닝하여 상기 드레인 전극 상부에 제1 접촉 구멍을 형성하는 단계,

상기 보호막 상부에 상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하고,

상기 데이터 배선 형성 단계와 상기 저항성 접촉층 식각 단계는 연속적인 건식 식각 방법으로 패터닝하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 2

제1항에서,

상기 데이터 배선 형성 단계와 상기 저항성 접촉층 식각 단계는 인 시류로 실시하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 3

제1항에서,

상기 데이터 배선, 상기 저항성 접촉층 및 상기 반도체층은 하나의 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 상기 감광막 패턴은 제1 두께를 가지는 제1 부분과 상기 제1 부분보다 두꺼운 두께를 가지는 제2 부분 및 상기 제1 부분보다 얇은 두께를 가지며 상기 제1 및 제2 부분을 제외한 제3 부분을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 4

제3항에서,

상기 사진 식각 공정에서 상기 제1 부분은 상기 소스 전극과 상기 드레인 전극 사이, 상기 제2 부분은 상기 데이터 배선 상부에 위치하도록 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 5

제4항에서,

상기 데이터 배선, 상기 저항성 접촉층, 상기 반도체층의 형성 단계는,

상기 제3 부분 아래의 상기 도전층을 습식 또는 건식 식각하여 상기 저항성 접촉층을 노출시키는 단계,

상기 제3 부분 아래의 저항성 접촉층 및 그 아래의 상기 반도체층을 상기 제1 부분과 함께 건식 식각하여 상기 제3 부분 아래의 상기 게이트 절연막을 노출시킴과 동시에 상기 반도체층을 완성하는 단계,

PR 에치 백 또는 애싱 공정을 통하여 상기 제1 부분의 감광막을 제거하는 단계,

상기 제1 부분의 상기 도전층 아래의 상기 저항성 접촉층을 건식 식각하여 상기 제1 부분의 반도체층을 드러냄으로써 상기 데이터 배선과 상기 저항성 접촉층을 완성하는 단계를 포함하고

상기 제1 식각 단계는 상기 제1 부분의 산화막을 제거하고, 상기 제2 식각 단계는 상기 제1 부분의 도전층을 제거하여 상기 데이터 배선을 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

청구항 6

제5항에서,

상기 제3 부분 아래의 데이터 배선, 상기 저항성 접촉층 및 상기 반도체층은 연속적으로 건식 식각 방법으로 패터닝하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

청구항 7

삭제

청구항 8

제1항에서,

상기 데이터 배선과 상기 저항성 접촉층 및 상기 반도체층을 하나의 마스크를 사용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

청구항 9

제1항에서,

상기 보호막은 상기 데이터선 끝에 형성된 데이터 패드 및 상기 게이트 절연막과 함께 상기 게이트선 끝에 형성된 게이트 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에 상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 전기적으로 연결되는 보조 게이트 패드와 보조 데이터 패드를 더 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에 관한 것이다.
- <14> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열 시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- <15> 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기관에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기관 중 하나에 형성되는 것이 일반적이다.
- <16> 이러한 액정 표시 장치에서도, 신호 지연을 방지하기 위하여 배선은 저 저항을 가지는 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 저 저항 물질을 사용하는 것이 일반적이다. 그러나, 액정 표시 장치에서와 같이 투명한 도전 물질인 IZO(indium zinc oxide)를 사용하여 화소 전극을 형성하거나 패드부의 신뢰성을 확보하

는 경우에 알루미늄 계열의 금속과 IZO의 접촉 특성이 좋지 않아 IZO와 접촉 특성이 우수한 다른 금속을 개재하지만, 다른 금속을 형성하기 위한 마스크 공정 수를 추가하는 문제점이 있다.

<17> 한편, 액정 표시 장치를 제조 방법 중에서, 박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이다. 이때, 생산비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

<18> 본 발명이 이루고자 하는 기술적 과제는 우수한 접촉 특성을 가지는 동시에 저 저항 배선을 가지는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 제공하는 것이다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 단순화하는 것이다.

발명의 구성 및 작용

<20> 이러한 문제점을 해결하기 위하여 본 발명의 실시예에서는 데이터 배선을 폴리브덴-텅스텐 합금의 도전막으로 형성하며, 데이터 배선을 그 아래의 중간층 및 반도체층을 함께 패터닝한다. 여기서, 소스 전극 및 드레인 전극을 분리하고 이들 사이의 채널부를 드러내기 위해 데이터 배선용 도전막은 중간층과 연속적으로 건식 식각으로 패터닝한다.

<21> 더욱 상세하게, 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서는 우선, 절연 기판 위에 게이트선 및 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하고, 그 상부에 게이트 절연막, 반도체층 및 저항성 접촉층을 형성한다. 이어, 기판 상부에 폴리브덴 또는 폴리브덴 합금을 포함하는 도전층을 적층하고 패터닝하여 저항성 접촉층 상부에 서로 분리되어 있는 소스 및 드레인 전극과 소스 전극과 연결되어 있는 데이터선을 포함하는 데이터 배선을 형성하고, 소스 및 드레인 전극을 식각 마스크로 저항성 접촉층을 식각한다. 이어, 데이터 배선 및 반도체층 상부에 보호막을 적층하고 패터닝하여 드레인 전극 상부에 제1 접촉 구멍을 형성하고, 보호막 상부에 제1 접촉 구멍을 통하여 드레인 전극과 연결되는 화소 전극을 형성한다. 여기서, 데이터 배선 형성 단계와 저항성 접촉층 식각 단계는 연속적인 건식 식각 방법으로 패터닝한다.

<22> 이때, 데이터 배선 형성 단계와 저항성 접촉층 식각 단계는 인 시트로 실시할 수 있다.

<23> 데이터 배선, 저항성 접촉층 및 반도체층은 하나의 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 제1 두께를 가지는 제1 부분과 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 제1 두께보다 얇은 두께를 가지며 제1 및 제2 부분을 제외한 제3 부분을 포함하는 것이 바람직하다. 여기서, 제1 부분은 소스 전극과 드레인 전극 사이, 제2 부분은 데이터 배선 상부에 위치하도록 형성하는 것이 바람직하다.

<24> 데이터 배선, 저항성 접촉층 및 반도체층의 형성하기 위해서는, 제3 부분 아래의 도전층을 습식 또는 건식 식각하여 저항성 접촉층을 노출시키고, 제3 부분 아래의 저항성 접촉층 및 그 아래의 반도체층을 제1 부분과 함께 건식 식각하여 제3 부분 아래의 게이트 절연막을 노출시킴과 동시에 반도체층을 완성한다. 이어, PR 에치 백 또는 애싱 공정을 통하여 제1 부분의 감광막을 제거하고, 플로린 계열과 클로린 계열의 기체를 포함하는 제1 건식 식각용 기체를 이용한 제1 식각 단계와 Cl_2+O_2 를 포함하는 제2 건식 식각용 기체를 이용한 제2 식각 단계를 이용하여 제1 부분 아래의 도전층을 건식 식각한다. 이어, 제1 부분 아래의 도전층 아래의 저항성 접촉층을 건식 식각하여 제1 부분의 반도체층을 드러냄으로써 데이터 배선과 저항성 접촉층을 완성한다.

<25> 이때, 제3 부분 아래의 데이터 배선, 저항성 접촉층 및 반도체층은 연속적으로 건식 식각 방법으로 패터닝할 수 있으며, 제1 건식 식각용 기체는 SF_6+Cl_2 를 포함하는 것이 바람직하다.

<26> 여기서, 데이터 배선과 저항성 접촉층 및 반도체층을 하나의 마스크를 사용하여 형성하는 것이 바람직하다.

<27> 보호막은 데이터 패드 및 게이트 절연막과 함께 게이트 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며, 화소 전극과 동일한 층에 제2 및 제3 접촉 구멍을 통하여 게이트 패드 및 데이터 패드와 전기적으로 연결되는 보조 게이트 패드와 보조 데이터 패드를 더 형성할 수 있다.

<28> 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설

명한다.

- <29> 먼저, 도 1 내지 도 3을 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.
- <30> 도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2 및 도 3은 각각 도 1의 II-II' 선 및 III-III' 선에 대한 단면도이다.
- <31> 먼저, 절연 기판(10) 위에 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 구리(Cu) 또는 구리 합금(Cu alloy) 등의 금속 또는 도전체로 이루어진 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기판(10) 상부에 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.
- <32> 게이트 배선(22, 24, 26, 28) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.
- <33> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.
- <34> 저항성 접촉층 패턴(55, 56, 58) 위에는 저저항 및 접촉 특성이 우수한 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금 등의 금속 또는 도전체로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(64), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 64, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(68)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(68) 또한 형성하지 않는다.
- <35> 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 64, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(68)과 동일하다.
- <36> 한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 57)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(68) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 64, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.
- <37> 데이터 배선(62, 64, 65, 66, 68) 위에는 보호막(70)이 형성되어 있으며, 보호막(70)은 드레인 전극(66), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉구멍(71, 73, 74)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(72)을 가지고 있다. 보호막(70)은 질화규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있다.
- <38> 보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IZO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉구멍(73)을 통하여 드레인 전극(66)과 전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(71)을 통하여 유지 축전기용 도전체 패턴(68)과도 연결되어 도전체 패턴(64)으로 화상

신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(72, 74)을 통하여 각각 이들과 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

- <39> 여기에서는 화소 전극(82)의 재료의 예로 투명한 IZO를 들었으나, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.
- <40> 그러면, 도 1 내지 도 3의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기관을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 1 내지 도 3과 도 4a 내지 도 10c를 참조하여 설명하기로 한다.
- <41> 먼저, 도 4a 내지 4c에 도시한 바와 같이, 알루미늄-네오디뮴 합금의 도전막을 2,500Å 정도의 두께로 적층하고 제1 마스크를 이용한 사진 식각 공정으로 기관(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선을 형성한다. 이때, 본 발명의 실시예에서와 같이 알루미늄을 포함하는 도전막의 단일막으로 형성할 수 있으나, 이중층 이상으로 형성할 있으며 이 경우에는 한 층은 저항이 작은 알루미늄 계열의 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 몰리브덴 계열 또는 크롬 등의 물질로 만드는 것이 바람직하다. 그 예로는 Cr/Al(또는 Al 합금) 또는 Al(또는 Al 합금)/Mo 등을 들 수 있다,
- <42> 다음, 도 5a 및 5b에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 몰리브덴 및 텅스텐을 포함하는 몰리브덴-텅스텐 합금(MoW)의 도전체층(60)을 3000Å 내지 20000Å의 두께로 적층한 후, 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다.
- <43> 그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 12b 및 12c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.
- <44> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과율을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.
- <45> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해 능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.
- <46> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.
- <47> 이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.
- <48> 이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.
- <49> 먼저, 도 7a 및 7b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식

각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

<50> 도전체층(60)이 본 발명의 실시예와 같이 MoW 합금인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF_4 와 HCl 또는 Cl_2 와 O_2 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

<51> 이렇게 하면, 도 7a 및 도 7b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(64)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다.

<52> 이어, 도 8a 및 8b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF_6 과 HCl의 혼합 기체나, SF_6 과 O_2 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<53> 여기서, 도전체층(60)과 그 하부의 중간층(50)과 반도체층(40)은 연속으로 건식 식각으로 패터닝하여 제조 공정을 단순화할 수 있으며, 이 경우에는 동일한 식각 챔버에서 식각 공정을 실시하는 인 시튜(in-situ)로 행할 수도 있으며, 그렇지 않을 수도 있다.

<54> 이렇게 하면, 도 8a 및 도 8b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거된다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 여기서, 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

<55> 이어, O_2 플라스마를 이용한 애싱(ashing) 또는 PR 에치 백(etch back)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<56> 여기서, 채널부(C)의 소스/드레인용 도전체 패턴(67)은 별도의 PR 에치 백(etch back) 공정을 통하여 드러낼 수도 있으며, 소스/드레인용 도전체 패턴(67)의 상부에 감광막이 충분히 식각된 경우에는 조건에서는 PR 에치 백 공정을 생략할 수도 있다. 이는 O_2 플라스마를 이용한 애싱(ashing)만으로 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거하는 공정에서 이루어진다.

<57> 다음, 도 9a 및 9b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 건식 식각으로 연속으로 제거한다. 이때, 몰리브덴-텅스텐 합금은 소스/드레인용 도전체 패턴(67)을 식각하기 위한 건식 식각은 Ar 상태에서 Cl_2 와 O_2 를 포함하는 혼합 기체를 사용하는데, 이러한 혼합 기체는 바로 적용하여 건식 식각을 실시하는 경우에는 애싱 공정이나 에치 백 공정에서 소스/드레인 도전체 패턴(67)의 표면에 산화막 등의 잔류막이 형성되어 있어 소스/드레인 도전체 패턴(67)은 거의 식각되지 않는다. 이러한 문제점을 방지하기 위해 본 발명의 실시예에서는 F를 포함하는 플로린 계열과 Cl을 포함하는 클로린 계열을 혼합한 기체를 건식 식각용 기체를 사용하여 Ar 상태에서 소스/드레인용 도전체 패턴(67) 표면에 형성된 산화막을 제거한 다음, Cl_2 와 O_2 의 혼합 기체를 사용하여 Ar 상태에서 몰리브덴-텅스텐 합금막(67)을 식각한다. 이어, 동일한 식각 챔버 내에서 인 시튜 공정으로 F를 포함하는 플로린 계열과 Cl을 포함하는 클로린 계열을 혼합한 기체를 건식 식각용 기체를 사용하여 Ar 분위기에서 소스/드레인용 중간층 패턴(57)을 식각한다. 여기서, 건식 식각용 혼합 기체에 대한 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)의

식각 특성에 대한 상세한 결과는 이후에 설명하기로 한다.

- <58> 이때, 도 9b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제 2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.
- <59> 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다. 이 단계에서 채널부(C)의 반도체 패턴(42) 표면을 드러낸 다음 O_2 , H_2 , He, Ar 또는 N_2 플라스마 처리를 실시하는 것이 바람직하며, 이에 따른 박막 트랜지스터의 특성에 대한 설명은 이후에 설명하기로 한다.
- <60> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.
- <61> 이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 10a 내지 10c에 도시한 바와 같이 질화규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스핀 코팅하여 3,000 Å 이상의 두께를 가지는 보호막(70)을 형성한다. 이어 제3 마스크를 이용하여 보호막(70)을 게이트 절연막(30)과 함께 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(73, 72, 74, 71)을 형성한다.
- <62> 마지막으로, 도 1 내지 도 3에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 IZO층을 증착하고 제4 마스크를 사용하여 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 패드(24)와 연결된 보조 게이트 패드(84) 및 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다.
- <63> 이러한 본 발명의 실시예에서는 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 도전체층(60)과 중간층(50) 및 반도체층(40)을 연속적으로 건식 식각하며, 채널부의 소스/드레인 도전체 패턴(67)과 소스/드레인용 중간층 패턴(57)을 연속적으로 건식 식각의 조건으로 패터닝하여 소스 전극(65)과 드레인 전극(66)이 분리함으로써 제조 공정을 단순화할 수 있다.
- <64> 그러면, 앞에서 설명한 바와 같이 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에서 건식 식각용 혼합 기체에 대한 소스/드레인용 도전체 패턴의 식각 특성 및 플라스마 처리의 유무에 따른 박막 트랜지스터의 특성에 대한 상세한 결과에 대하여 구체적으로 설명하기로 한다.
- <65> 실험예
- <66> 실험예에서는 O_2 와 Cl_2 를 포함하는 건식 식각용 혼합 기체에 대한 O_2 플라스마를 경험하지 않은 몰리브덴-텅스텐 합금의 단일막과 본 발명의 실시예에 따른 제조 방법에서와 같이 애싱 또는 에치 백 공정을 진행한 후 몰리브덴-텅스텐 합금의 소스/드레인용 도전체 패턴(67)의 식각비를 측정하였다. 여기서, O_2 기체의 유량은 100 Sccm이고, Cl_2 기체 유량이 50Sccm이고, 고주파 전력(radio frequency power)은 800-1500W의 범위에서, 압력은 30-80mT의 범위에서 변화시키면서 각각에 대한 식각비를 측정하였다.
- <67> 표 1은 O_2 와 Cl_2 를 포함하는 건식 식각용 혼합 기체에 대한 몰리브덴-텅스텐 합금의 도전막에 대한 식각비를 각각 나타낸 것이고, 도 11은 표 1의 식각 특성을 그래프로 나타낸 것이다. 도 11에서 "▲"는 몰리브덴-텅스텐 합금(MoW)의 단일막의 식각비이고, "??"는 본 발명의 실시예에 따른 제조 방법에서와 같이 애싱 또는 에치 백 공정을 경험한 몰리브덴-텅스텐 합금의 소스/드레인용 도전체 패턴(채널부의 MoW)의 식각비이다.
- <68> 표 1 및 도 11에서 보는 바와 같이, 애싱 공정이나 에치 백 공정을 경험한 채널부의 몰리브덴 텅스텐 합금막(채널부의 MoW)의 식각비는 150-210 Å/min의 범위로 거의 식각되지 않는 것으로 측정되었으나 단일막으로 적층한 몰리브덴 텅스텐 합금막(MoW)의 식각비는 844-1059 Å/min의 범위에서 크게 나타나는 것으로 측정되었다. 이는 O_2 플라스마를 이용한 애싱 또는 에치 백을 통해 채널부의 소스/드레인용 도전체 패턴(67, 도 8b 참조) 상부의 감광막을 제거할 때, 소스/드레인용 도전체 패턴의 표면에 산화막이 형성되고 이로 인하여 Cl_2 와 O_2 를 포함하는 건식 식각용 기체로는 식각이 이루어지지 않음을 알 수 있다.

표 1

<69>

공정 조건	MoW 단일막의 식각비	채널부의 소스/드레인용 도전체의 식각비	비고
30mT/800W/100 O ₂ /50 Cl ₂ /50 Ar	844 Å/min	150 Å/min	
30mT/1200W/100 O ₂ /50 Cl ₂ /50 Ar	1059 Å/min	210 Å/min	소스 전력 변경
30mT/1500W/100 O ₂ /50 Cl ₂ /50 Ar	-	180 Å/min	
50mT/1500W/100 O ₂ /50 Cl ₂ /50 Ar	-	-	압력 변경
80mT/1500W/100 O ₂ /50 Cl ₂ /50 Ar	-	130 Å/min	

<70>

이러한 문제점을 개선하기 위하여 플로린 계열의 기체와 클로린 계열의 기체를 혼합한 기체를 건식 식각용 기체로 건식 식각을 진행한 다음, 앞에서 설명한 바와 같은 건식 식각용 기체를 이용하여 채널부의 소스/드레인용 도전체 패턴을 식각하였다.

<71>

도 12는 SF₆과 Cl₂를 포함하는 건식 식각용 기체를 이용한 식각 여부에 따른 Cl₂와 O₂를 포함하는 건식 식각용 기체에 대한 소스/드레인용 도전체 패턴에 대한 식각 특성을 나타낸 그래프이다. 여기서, 1 단계 식각은 건식 소스/드레인용 도전체 패턴을 고주파 전력(radio frequency)이 800W이고, 압력이 30mT이고, O₂ 기체의 유량이 150 Sccm이고, Cl₂ 기체 유량이 50 Sccm이고, Ar 기체의 유량이 100 Sccm인 조건에서 건식 식각으로 식각하였을 때의 식각비이며, 2 단계 식각은 SF₆+Cl₂를 포함하는 건식 식각용 기체를 이용하여 소스/드레인용 도전체 패턴을 식각한 다음, 1 단계 식각 조건과 동일한 조건으로 식각한 경우 소스/드레인용 도전체 패턴의 식각비이다.

<72>

도 12에서 보는 바와 같이, SF₆+Cl₂를 포함하는 건식 식각용 기체를 이용하여 소스/드레인용 중간층 패턴을 식각한 다음 2 단계 식각의 식각비가 약 1200Å/min으로 매우 크게 측정되었다. 이를 통하여 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에서는 첫 번째 단계로 SF₆+Cl₂를 포함하는 건식 식각용 기체를 이용하여 소스/드레인용 도전체 패턴(67) 표면의 산화막을 제거한 다음 Cl₂+O₂를 포함하는 건식 식각용 기체를 이용하여 소스/드레인 도전체 패턴(67)을 식각할 때 양호한 식각비를 얻을 수 있음을 알 수 있다.

<73>

이러한 채널부의 소스/드레인용 도전체 패턴 및 중간층 패턴의 식각한 후의 SEM(scanning electron microscope) 분석 결과에 대해 도 19 및 도 20에 대해 설명하기로 한다.

<74>

도 13은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 소스/드레인용 도전체 패턴을 식각한 다음, 식각된 중간층(저항성 접촉층)의 표면 및 몰리브덴-텅스텐 합금을 촬영한 SEM(scanning electron microscope) 사진으로서, 식각되지 않는 중간층 표면이 손상되지 않고 양호한 상태임을 알 수 있다.

<75>

도 14는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 채널부의 소스/드레인용 도전체 패턴 및 중간층을 연속적으로 건식 식각한 다음 반도체층 패턴의 표면 및 몰리브덴-텅스텐 합금을 촬영한 SEM(scanning electron microscope) 사진으로서, 몰리브덴-텅스텐 합금막 및 중간층의 식각 프로파일이 약 40° 정도로 측정되었으며, 반도체층의 표면이 손상되지 않음을 알 수 있다.

발명의 효과

<76>

이와 같이, 본 발명에 따르면 도전체층과 그 하부의 중간층과 반도체층을 건식 식각 방법으로 연속으로 식각하며, 채널부의 도전체층과 그 하부의 중간층을 연속적으로 건식 식각 공정을 진행함으로써 액정 표시 장치의 제조 공정을 단순화할 수 있다.

도면의 간단한 설명

<1>

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

<2>

도 2 및 도 3은 각각 도 1의 II-II' 선 및 III-III' 선에 대한 단면도이고,

<3>

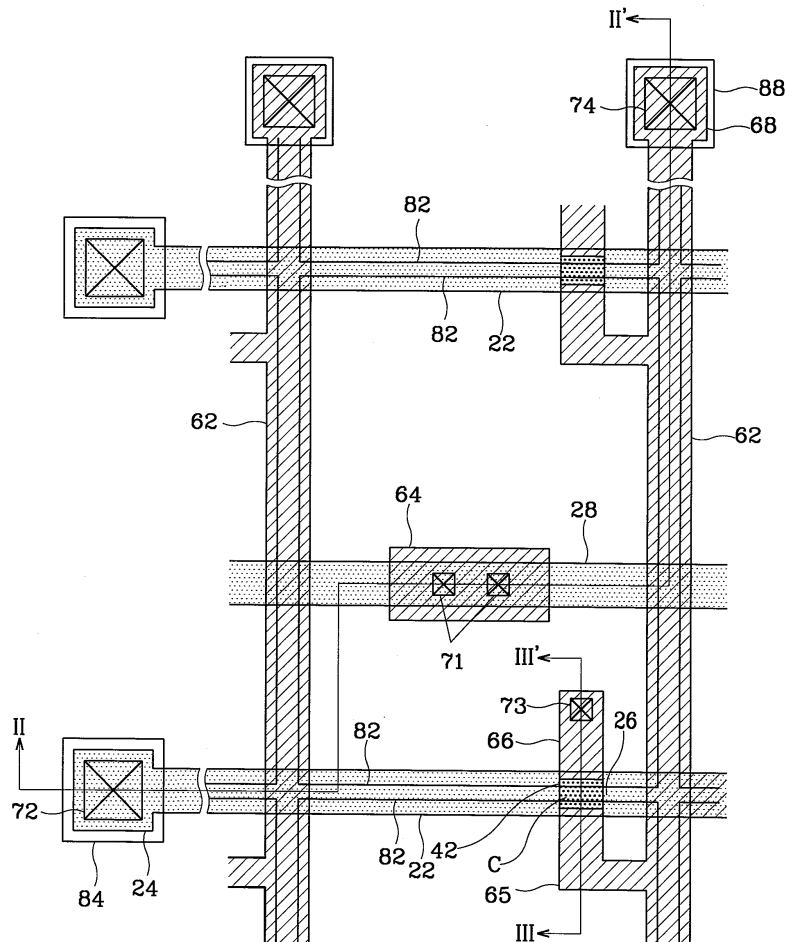
도 4a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터를 4장의 마스크를 이용하여 제조하는 첫

단계에서의 박막 트랜지스터 기관의 배치도이고,

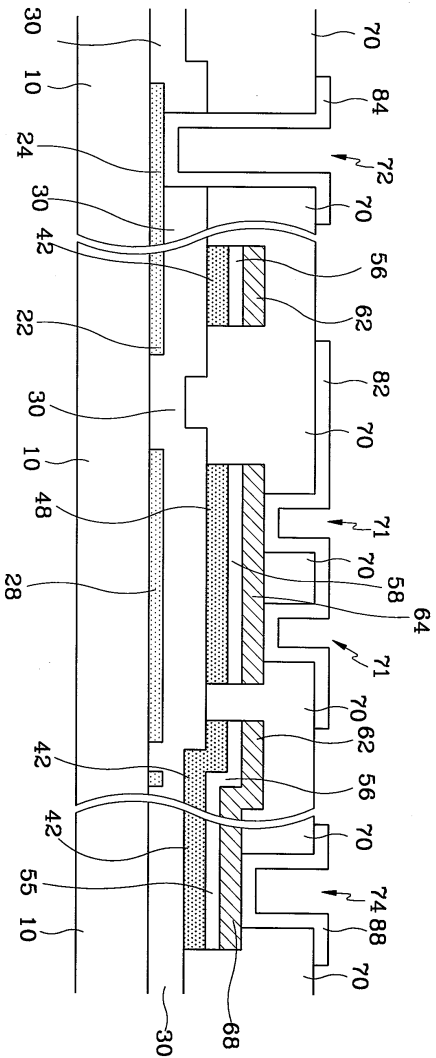
- <4> 도 4b 및 4c는 각각 도 4a의 IVb-IVb' 선 및 IVc-IVc' 선에 대한 단면도이며,
- <5> 도 5a 및 5b는 각각 도 5a의 Vb-Vb' 선 및 Vc-Vc' 선에 대한 단면도로서, 도 4b 및 도 4c 다음 단계에서의 단면도이고,
- <6> 도 6a는 도 5a 및 5b 다음 단계에서의 박막 트랜지스터 기관의 배치도이고,
- <7> 도 6b 및 6c는 각각 도 6a의 VIb-VIb' 선 및 VIc-VIc' 선에 대한 단면도이며,
- <8> 도 7a, 8a, 9a와 도 7b, 8b, 9b는 각각 도 6a의 VIb-VIb' 선 및 VIc-VIc' 선에 대한 단면도로서 도 6b 및 6c 다음 단계를 공정 순서에 따라 도시한 것이고,
- <9> 도 10a는 도 9a 및 9b 다음 단계에서의 박막 트랜지스터 기관의 배치도이고,
- <10> 도 10b 및 10c는 각각 도 10a의 Xb-Xb' 선 및 Xc-Xc' 선에 대한 단면도이고,
- <11> 도 11 및 도 12는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에서 몰리브덴-텅스텐 합금막의 식각 특성을 나타낸 그래프이고,
- <12> 도 13 및 14는 본 발명의 실시예에 따른 박막 트랜지스터 기관의 제조 방법에서 채널부의 몰리브덴-텅스텐 합금막 및 저항성 접촉층을 건식 식각한 후의 SEM(scanning electron microscope)을 통하여 나타낸 사진이다.

도면

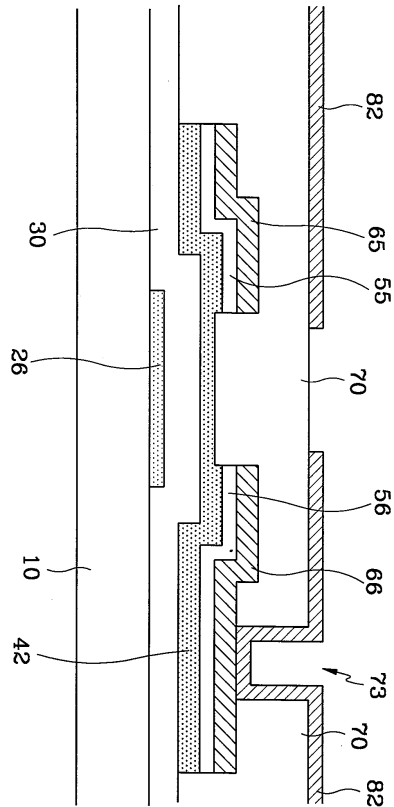
도면1



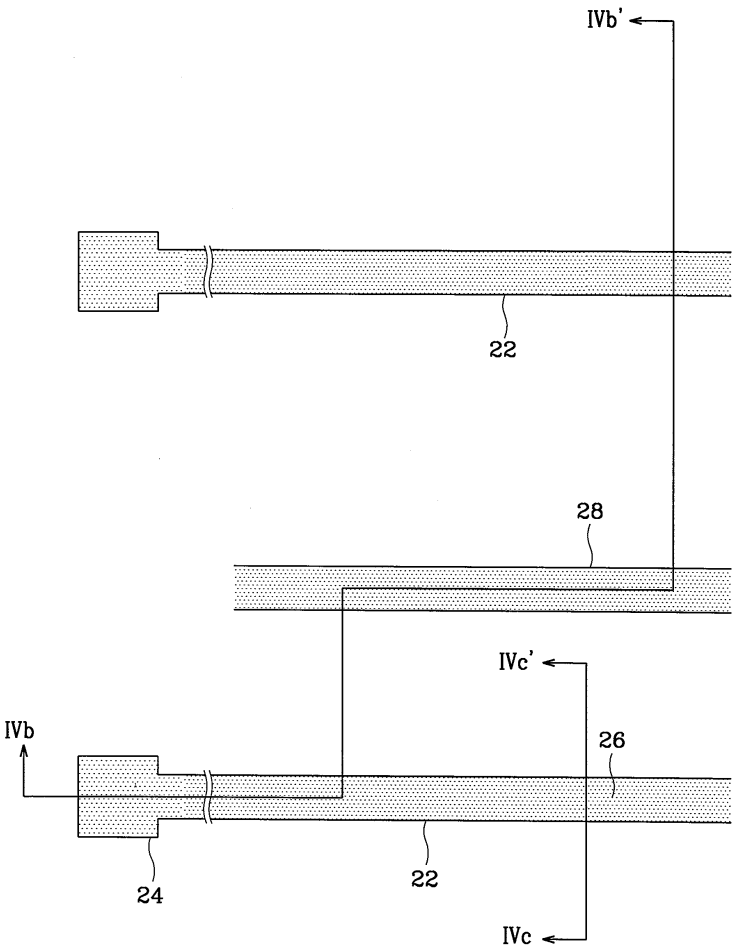
도면2



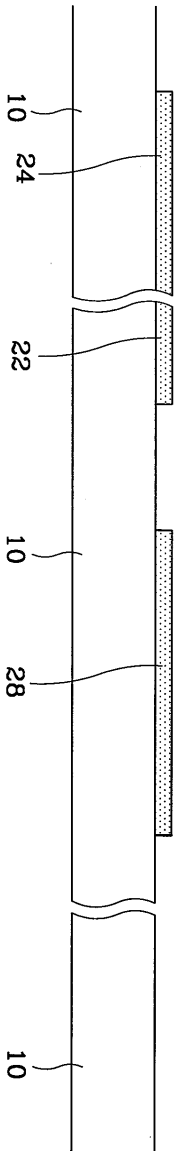
도면3



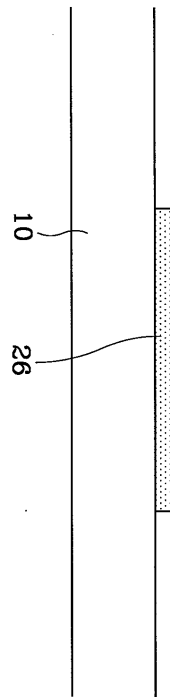
도면4a



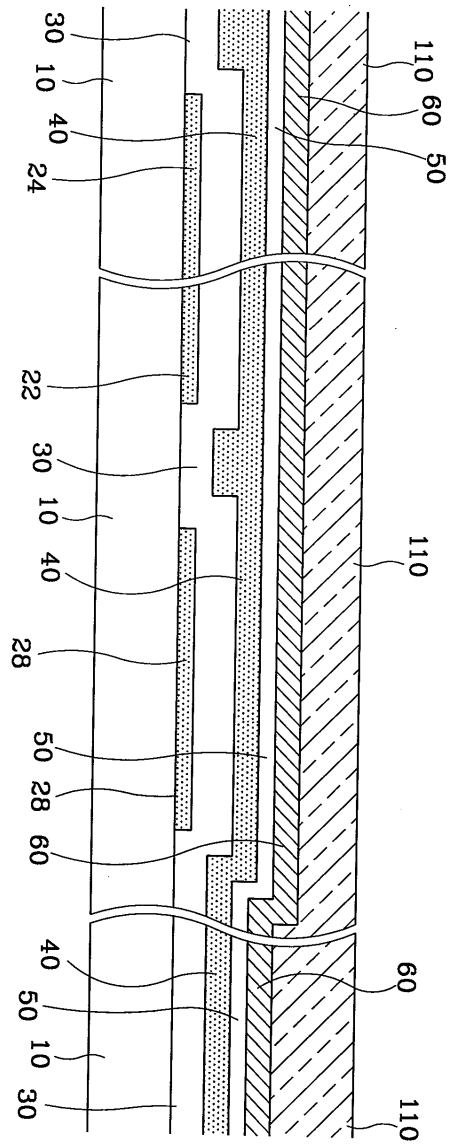
도면4b



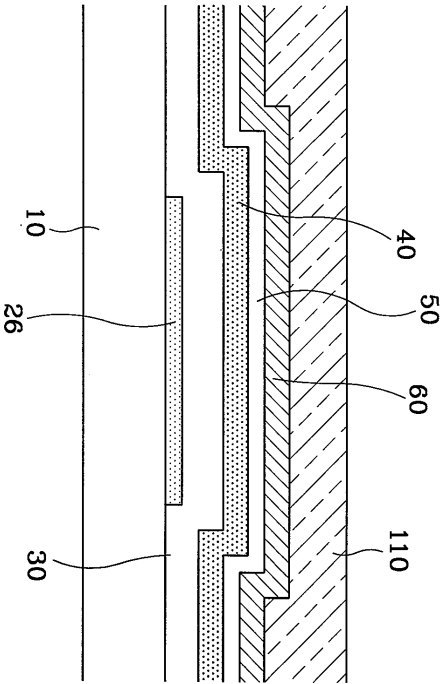
도면4c



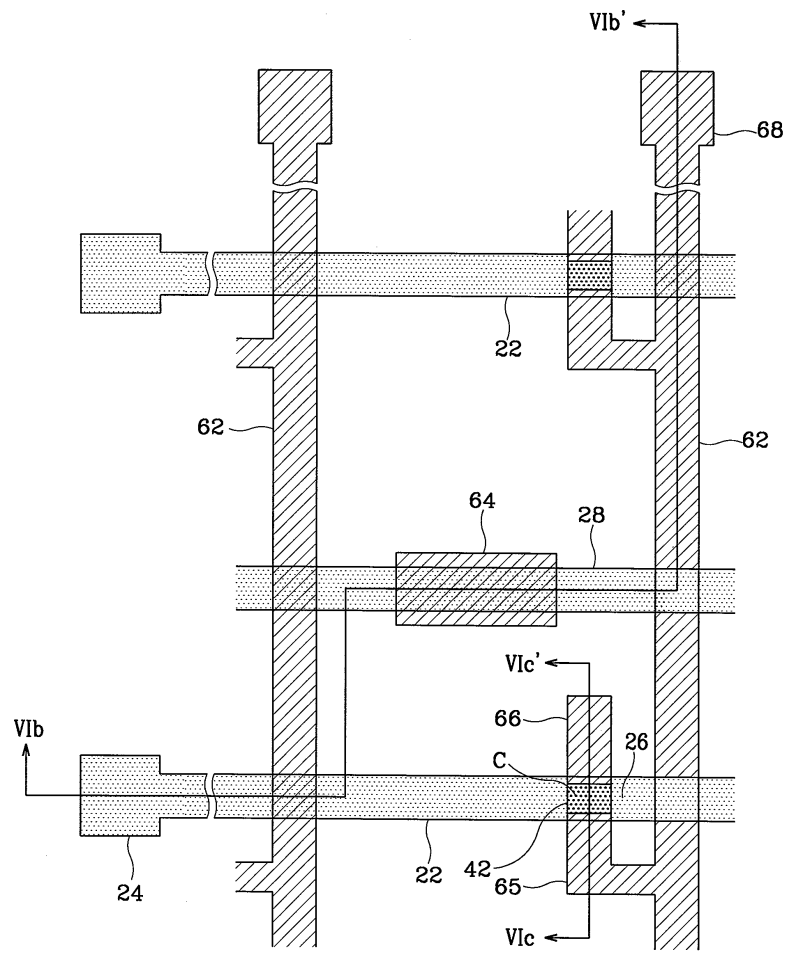
도면5a



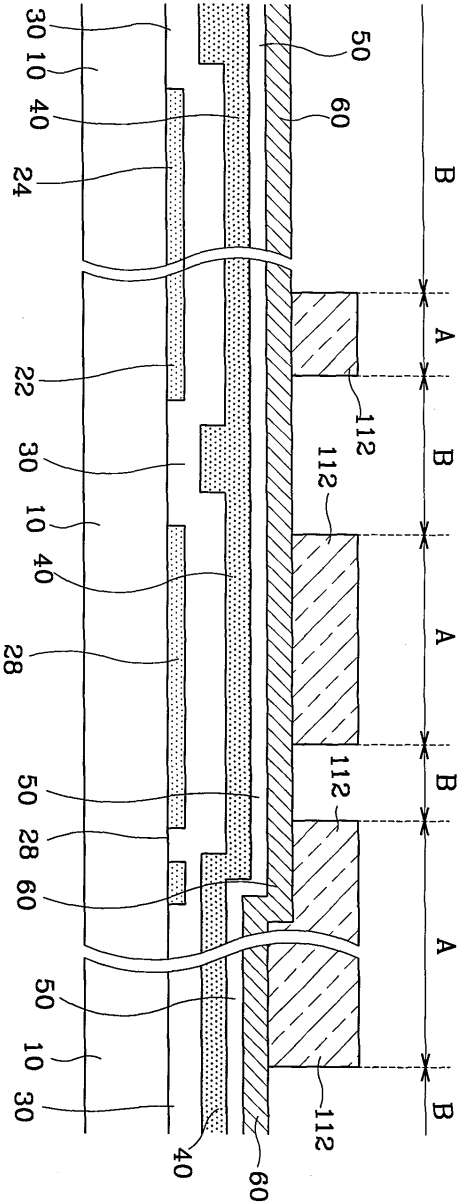
도면5b



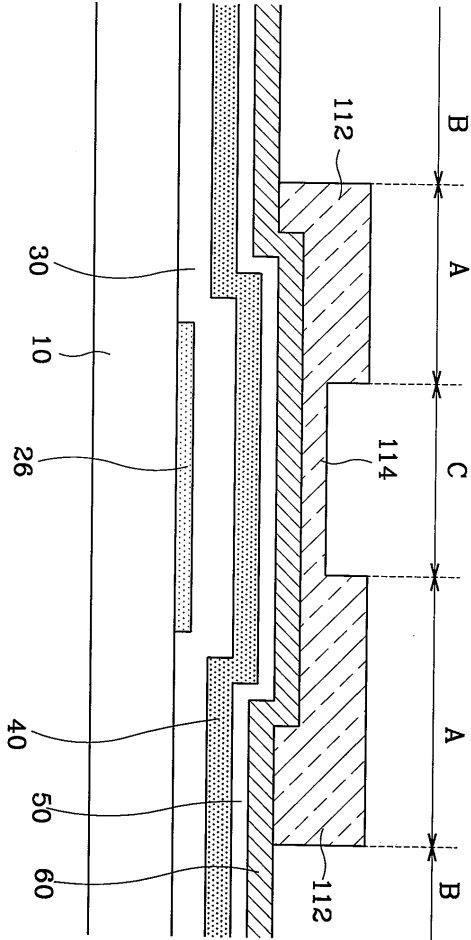
도면6a



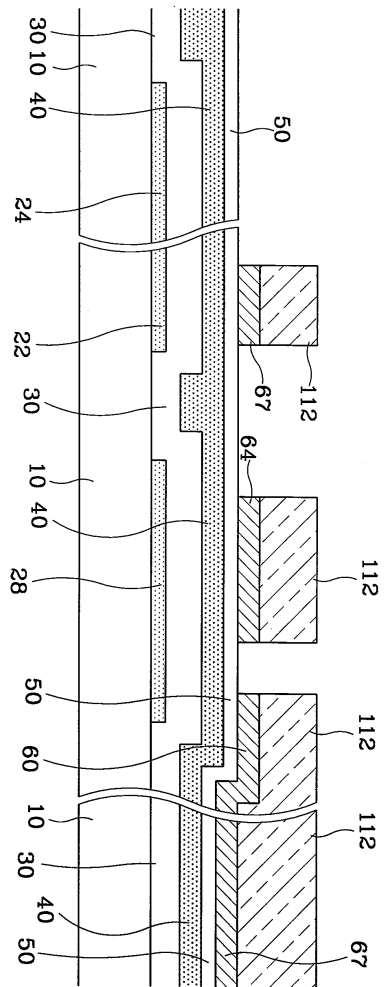
도면6b



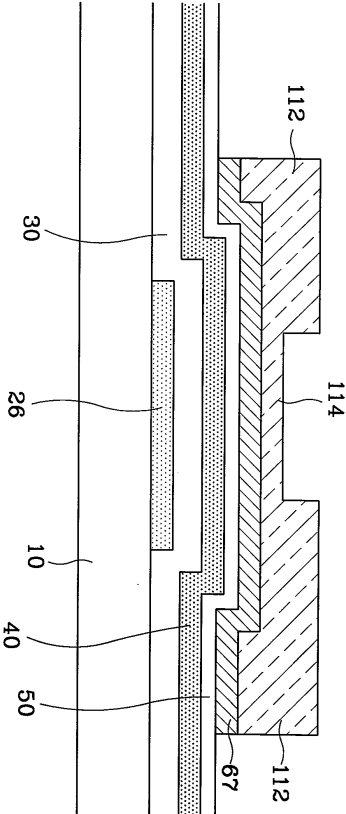
도면6c



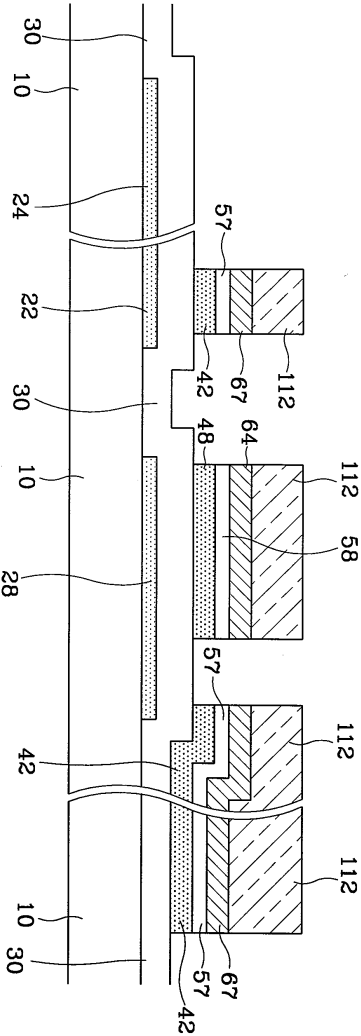
도면7a



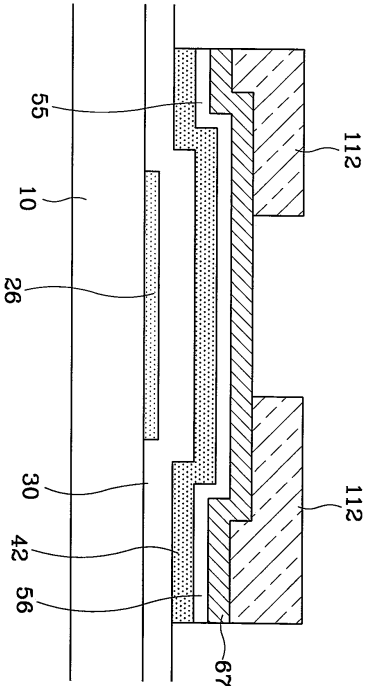
도면7b



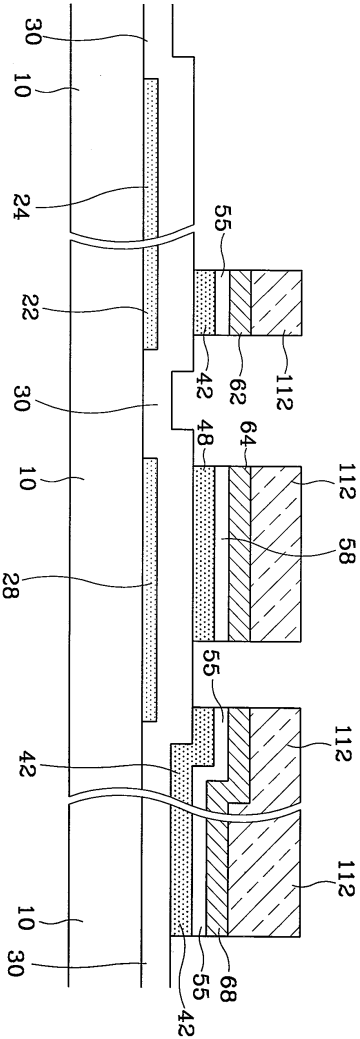
도면8a



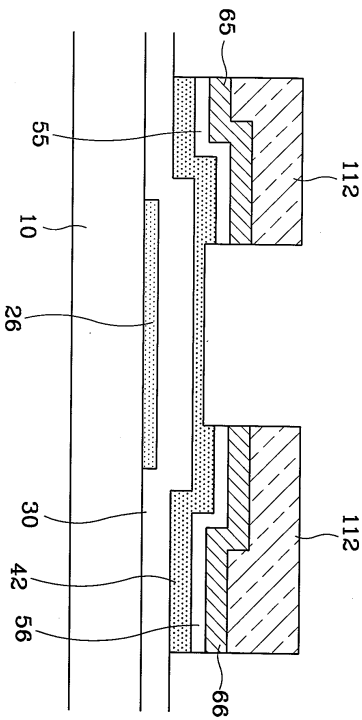
도면8b



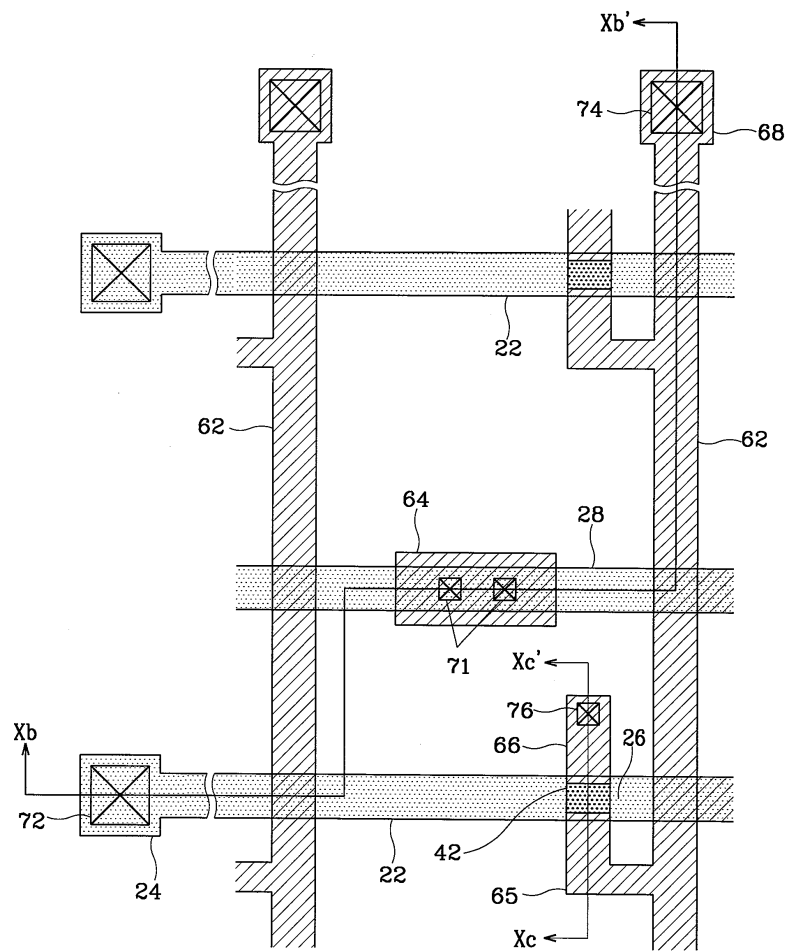
도면9a



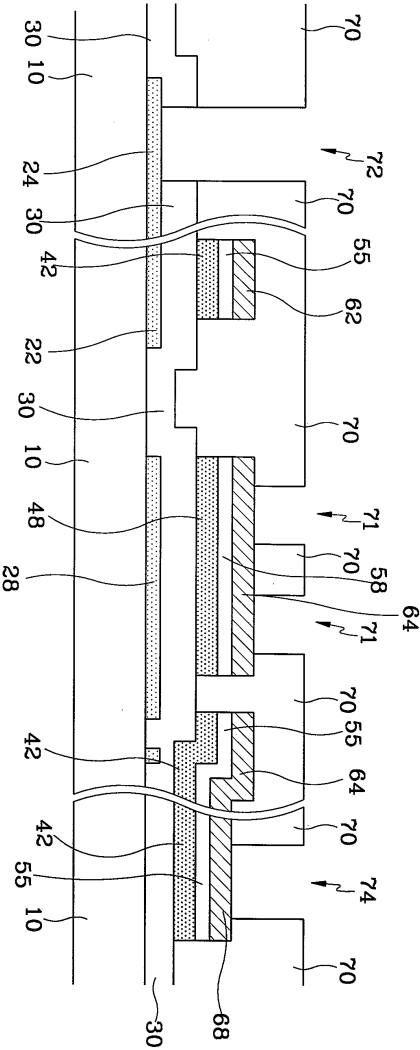
도면9b



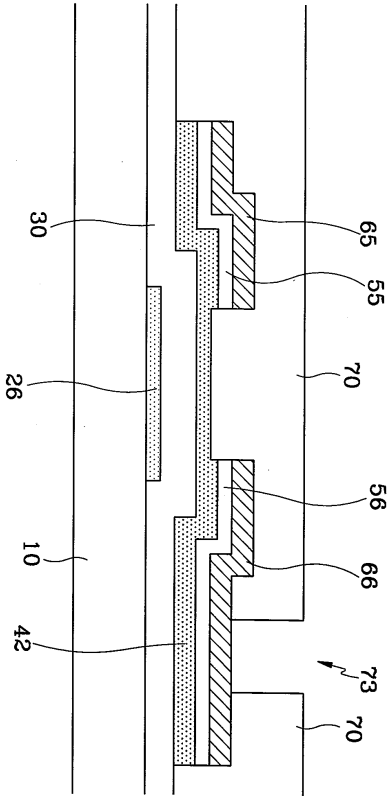
도면10a



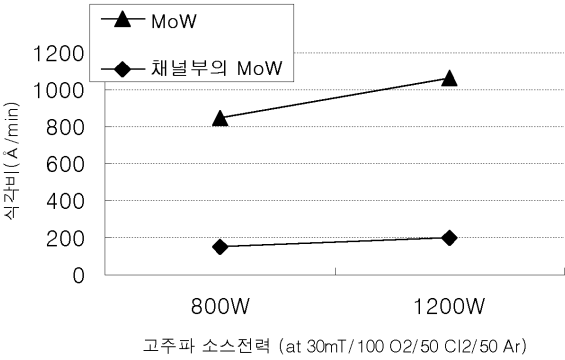
도면10b



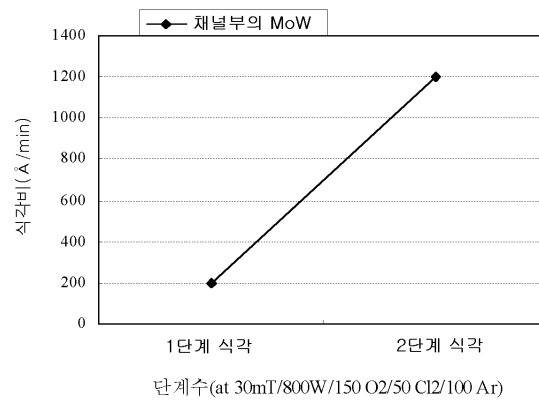
도면10c



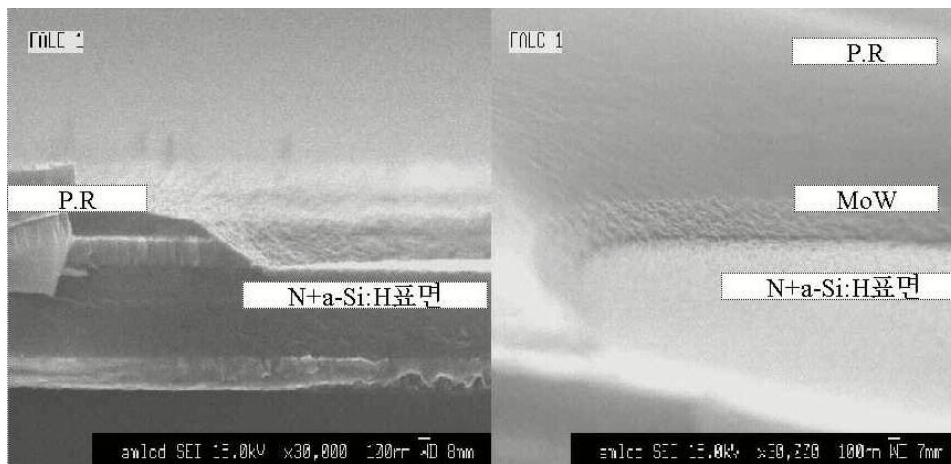
도면11



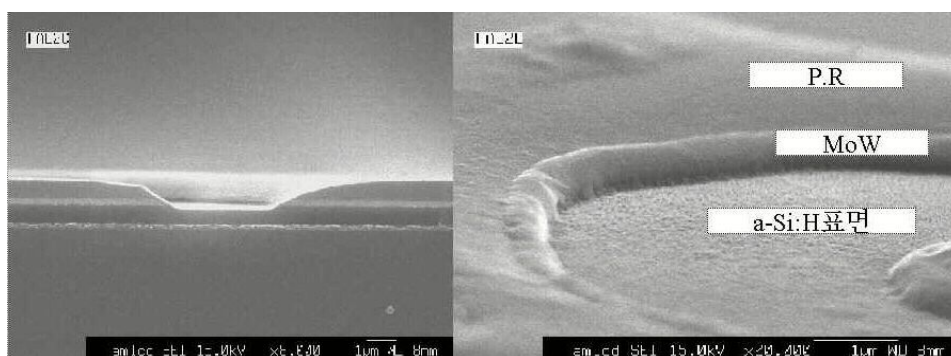
도면12



도면13



도면14



专利名称(译)	制造用于液晶显示器的薄膜晶体管基板的方法		
公开(公告)号	KR100878264B1	公开(公告)日	2009-01-13
申请号	KR1020010078396	申请日	2001-12-12
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM SANGGAB 김상갑 HONG MUNPYO 홍문표 YU SEUNGHEE 유승희 KWON DAEJIN 권대진 SONG JEANHO 송진호		
发明人	김상갑 홍문표 유승희 권대진 송진호		
IPC分类号	G02F1/136		
其他公开文献	KR1020030048326A		
外部链接	Espacenet		

摘要(译)

首先，将铝基导电材料层压在绝缘基板上并图案化以形成栅极布线，栅极布线包括栅极线，连接到栅极线的栅极电极，以及用于从外部接收扫描信号以将栅极信号传输到栅极线的栅极焊盘。接下来，形成覆盖栅极布线的栅极绝缘膜，然后在栅极电极的栅极绝缘膜上形成半导体层。接着，将半导体层在其上形成电阻接触层。接下来，在欧姆接触层或栅极在上部绝缘膜的膜-层压到含钨合金和图案化由数据线的导电层，连接到所述数据线交叉的邻近于栅极电极上的栅极线和源电极的源极电极和栅极电极以及从外部接收视频信号的数据线从而形成包括要传送的数据焊盘的数据线。然后，通过在上数据线层叠的保护膜，所述半导体层图案化，以形成第一接触孔在其上的漏电极上。接着，以形成通过在连接到漏极电极上的保护顶的第一接触孔的像素电极。此时，与数据线的干蚀刻法和欧姆接触层和所述半导体层是连续地这是图案。

