



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(45) 공고일자

2007년07월06일

(11) 등록번호

10-0736143

(24) 등록일자

2007년06월29일

(21) 출원번호

10-2005-0102322

(65) 공개번호

10-2007-0045728

(22) 출원일자

2005년10월28일

(43) 공개일자

2007년05월02일

심사청구일자

2005년10월28일

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

하영석

경기 군포시 금정동 주공아파트 113-404

박진우

경기 용인시 기흥읍 고매리 우남 드림밸리 101-801

(74) 대리인

정상빈

특허법인가산

(56) 선행기술조사문헌

KR 10-1999-0062856

KR 10-1999-0074552

심사관 : 이병우

전체 청구항 수 : 총 17 항

(54) 자동 디지털 가변 저항 및 이를 포함하는 액정표시장치

(57) 요약

액정 패널에 발생하는 불량을 방지할 수 있는 자동 디지털 가변 저항 및 이를 포함하는 액정표시장치가 제공된다. 자동 디지털 가변 저항은, $n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부 및 상기 메모리부에 저장되어 있는 상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하고, 외부 제어 신호에 따라 상기 메모리부에 저장되는 중간 데이터값을 변경하여 변경된 데이터값에 대응하는 아날로그 전압값을 출력하되, 상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값에 대응하는 상기 아날로그 전압값을 출력하는 전압 조절부를 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

$n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부; 및

상기 메모리부에 저장되어 있는 상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하고, 외부 제어 신호에 따라 상기 메모리부에 저장되는 중간 데이터값을 변경하여 변경된 데이터값에 대응하는 아날로그 전압값을 출력하되, 상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값에 대응하는 상기 아날로그 전압값을 출력하는 전압 조절부를 포함하는 자동 디지털 가변 저항.

청구항 2.

제 1 항에 있어서,

상기 자동 디지털 가변 저항은 외부로부터 제공되는 제어 인에이블 신호에 의해 인에이블되며, 상기 제어 인에이블 신호는 상기 자동 디지털 가변 저항을 인에이블시키는 외부의 동작 전압에 연결되는 자동 디지털 가변 저항.

청구항 3.

제 1 항에 있어서,

상기 제어 신호는 일정 전압을 기준으로 하이레벨 신호와 로우레벨 신호를 갖는 펄스 형태의 신호인 자동 디지털 가변 저항.

청구항 4.

제 1 항에 있어서,

상기 메모리부는 이이피롬인 자동 디지털 가변 저항.

청구항 5.

$n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부;

외부 제어 신호에 따라 상기 메모리부에 저장되어 있는 상기 중간 데이터값을 읽어오거나 또는 상기 메모리부에 저장되어 있는 상기 중간 데이터값을 변경하는 인터페이스 제어부;

상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값으로 변환하는 예러 검출부;

상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하는 디지털/아날로그 변환부; 및

상기 변환된 아날로그 전압값을 증폭하여 출력하는 출력부를 포함하는 자동 디지털 가변 저항.

청구항 6.

제 5 항에 있어서,

상기 에러 검출부는 상기 중간 데이터값이 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값인 경우에는 하이레벨 신호를 출력하고, 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값이 아닌 경우에는 로우레벨 신호를 출력하는 데이터 검출부; 및

상기 하이레벨 신호인 경우에는 상기 중간 데이터값의 최상위 비트를 제외한 나머지 비트를 인버팅시켜서 출력하고, 상기 로우레벨 신호인 경우에는 상기 중간 데이터값을 출력하는 데이터 변환부를 포함하는 자동 디지털 가변 저항.

청구항 7.

제 5 항에 있어서,

상기 자동 디지털 가변 저항은 외부로부터 제공되는 제어 인에이블 신호에 의해 인에이블되며, 상기 제어 인에이블 신호는 상기 자동 디지털 가변 저항을 인에이블시키는 외부의 동작 전압에 연결되는 자동 디지털 가변 저항.

청구항 8.

제 5 항에 있어서,

상기 제어 신호는 일정 전압을 기준으로 하이레벨 신호와 로우레벨 신호를 갖는 펄스 형태의 신호인 자동 디지털 가변 저항.

청구항 9.

제 5 항에 있어서,

상기 메모리부는 이이피롬인 자동 디지털 가변 저항.

청구항 10.

다수 개의 게이트 라인과 데이터 라인이 교차되며, 상기 데이터 라인에 매트릭스 형태로 배열된 다수 개의 단위 화소를 포함하는 액정 패널;

상기 액정 패널을 구동하기 위한 제어 신호를 생성하는 타이밍 제어부;

상기 타이밍 제어부에서 생성된 제어 신호를 입력 받아 다수 개의 구동 전압을 생성하는 구동전압 발생부로, $n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부, 상기 메모리부에 저장되어 있는 상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하고, 외부 제어 신호에 따라 상기 메모리부에 저장되는 중간 데이터값을 변경하여 변경된 데이터값에 대응하는 아날로그 전압값을 출력하되, 상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값에 대응하는 상기 아날로그 전압값을 출력하는 전압 조절부를 포함하는 자동 디지털 가변 저항을 포함하는 구동전압 발생부; 및

상기 구동 전압을 입력 받아 상기 게이트 라인에 인가하는 게이트 구동부를 포함하는 액정표시장치.

청구항 11.

제 10 항에 있어서,

상기 자동 디지털 가변 저항은 외부로부터 제공되는 제어 인에이블 신호에 의해 인에이블되며, 상기 제어 인에이블 신호는 상기 자동 디지털 가변 저항을 인에이블시키는 외부의 동작 전압에 연결되는 액정표시장치.

청구항 12.

제 10 항에 있어서,

상기 제어 신호는 일정 전압을 기준으로 하이레벨 신호와 로우레벨 신호를 갖는 펄스 형태의 신호인 액정표시장치.

청구항 13.

제 10 항에 있어서,

상기 메모리부는 이이피롬인 액정표시장치.

청구항 14.

다수 개의 게이트 라인과 데이터 라인이 교차되며, 상기 데이터 라인에 매트릭스 형태로 배열된 다수 개의 단위 화소를 포함하는 액정 패널;

상기 액정 패널을 구동하기 위한 제어 신호를 생성하는 타이밍 제어부;

상기 타이밍 제어부에서 생성된 제어 신호를 입력 받아 다수 개의 구동 전압을 생성하는 구동전압 발생부로, $n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부, 외부 제어 신호에 따라 상기 메모리부에 저장되어 있는 상기 중간 데이터값을 읽어오거나 또는 상기 메모리부에 저장되어 있는 상기 중간 데이터값을 변경하는 인터페이스 제어부, 상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값으로 변환하는 예러 검출부, 상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하는 디지털/아날로그 변환부 및 상기 변환된 아날로그 전압값을 증폭하여 출력하는 출력부를 포함하는 자동 디지털 가변 저항을 포함하는 구동전압 발생부; 및

상기 구동 전압을 입력 받아 상기 게이트 라인에 인가하는 게이트 구동부를 포함하는 액정표시장치.

청구항 15.

제 14 항에 있어서,

상기 자동 디지털 가변 저항은 외부로부터 제공되는 제어 인에이블 신호에 의해 인에이블되며, 상기 제어 인에이블 신호는 상기 자동 디지털 가변 저항을 인에이블시키는 외부의 동작 전압에 연결되는 액정표시장치.

청구항 16.

제 14 항에 있어서,

상기 제어 신호는 일정 전압을 기준으로 하이레벨 신호와 로우레벨 신호를 갖는 펄스 형태의 신호인 액정표시장치.

청구항 17.

제 14 항에 있어서,

상기 메모리부는 이이피롬인 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 자동 디지털 가변 저항 및 이를 포함하는 액정표시장치에 관한 것으로, 더욱 상세하게는, 액정 패널에 발생하는 불량을 방지할 수 있는 자동 디지털 가변 저항 및 이를 포함하는 액정표시장치에 관한 것이다.

일반적으로, 액정표시장치(Liquid Crystal Display)는 액정(Liquid Crystal)을 이용하여 영상을 디스플레이하는 평판표시장치의 하나로써, 다른 디스플레이 장치에 비해 얇고 가벼우며, 낮은 소비전력 및 낮은 구동전압을 갖는 장점이 있다.

액정표시장치는 기준전극과 컬러필터 등이 형성되어 있는 색필터 표시판과 박막 트랜지스터와 화소전극 등이 형성되어 있는 박막트랜지스터 기판 사이에 액정층이 개재되며, 화소전극과 기준전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현한다.

이러한 액정표시장치는 액정 패널, 구동 전압 발생부, 게이트 구동부, 감마 전압 발생부, 데이터 구동부 및 타이밍 제어부를 포함한다.

액정 패널은 등가 회로로 볼 때 다수의 게이트 라인과 이에 연결되어 있으며, 매트릭스(matrix) 형태로 배열된 다수의 데이터 라인을 포함한다. 구동 전압 발생부는 게이트 온 전압, 게이트 오프 전압 및 공통 전압을 생성한다. 게이트 구동부는 액정 패널의 게이트 라인에 연결되어 외부로부터의 게이트 온 전압과 게이트 오프 전압의 조합으로 이루어진 게이트 신호를 게이트 라인에 인가한다. 감마 전압 발생 회로는 단위 화소의 투과율과 관련된 두 별의 복수 감마 전압 즉, 정극성 및 부극성 전압을 생성하여 액정 패널에 각각 제공한다. 데이터 구동부는 액정 패널의 데이터 라인에 연결되어 있으며, 감마 전압 발생 회로로부터 제공된 다수의 감마 전압에 기초하여 다수의 계조 전압을 생성하고, 생성된 계조 전압을 선택하여 데이터 신호로서 단위 화소에 인가한다.

타이밍 제어부는 외부의 그래픽 제어기로부터 화상 데이터 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 타이밍 컨트롤러는 입력 제어 신호를 기초로 게이트 제어 신호 및 데이터 제어 신호 등을 생성하고 영상 신호(R, G, B)를 액정 패널의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호를 게이트 구동부로 제공하고 데이터 제어 신호와 처리한 영상 신호(R', G', B')는 데이터 구동부로 제공한다.

여기에서, 구동 전압 발생부는 공통 전압을 생성하기 위해 디지털 가변 저항(digital variable resistor)을 포함한다. 디지털 가변 저항은 내부에 메모리를 포함하고 있으며, 이 메모리에는 n 비트 데이터의 중간 데이터값이 초기에 저장되어 있다. 그리고, 디지털 가변 저항은 동작 전압(V_{DD})과 제어 신호(CTL)를 입력 받아 제어 신호에 따라 메모리에 저장되어 있는 중간 데이터값을 읽어온 다음, 중간 데이터값에 대응하는 아날로그 전압값을 출력한다.

그러나, 디지털 가변 저항은 메모리에 데이터를 저장하는 과정에서 메모리가 리셋되어 메모리에 n 비트 데이터의 중간 데이터값이 저장되어야 하는데, 메모리에 n 비트 데이터의 최대 데이터값이 저장된다. 또한, 메모리에 정상적으로 n 비트 데이터

이터의 중간 데이터값이 저장되더라도 외부로부터의 정전기 또는 메모리의 읽기 동작 오류로 인해 n 비트 데이터의 최대 데이터값 또는 최소 데이터값을 메모리에서 읽어 오게 된다. 이로 인해, 액정 패널에 플리커 또는 계조상에서의 노이즈가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 액정 패널에 발생하는 불량을 방지할 수 있는 자동 디지털 가변 저항을 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는, 액정 패널에 발생하는 불량을 방지할 수 있는 자동 디지털 가변 저항을 포함하는 액정표시장치를 제공하는 데 있다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 자동 디지털 가변 저항은, $n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부 및 상기 메모리부에 저장되어 있는 상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하고, 외부 제어 신호에 따라 상기 메모리부에 저장되는 중간 데이터값을 변경하여 변경된 데이터값에 대응하는 아날로그 전압값을 출력하되, 상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값에 대응하는 상기 아날로그 전압값을 출력하는 전압 조절부를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 자동 디지털 가변 저항은, $n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부, 외부 제어 신호에 따라 상기 메모리부에 저장되어 있는 상기 중간 데이터값을 읽어오거나 또는 상기 메모리부에 저장되어 있는 상기 중간 데이터값을 변경하는 인터페이스 제어부, 상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값으로 변환하는 에러 검출부, 상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하는 디지털/아날로그 변환부 및 상기 변환된 아날로그 전압값을 증폭하여 출력하는 출력부를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치는, 다수 개의 게이트 라인과 데이터 라인이 교차되며, 상기 데이터 라인에 매트릭스 형태로 배열된 다수 개의 단위 화소를 포함하는 액정 패널, 상기 액정 패널을 구동하기 위한 제어 신호를 생성하는 타이밍 제어부, 상기 타이밍 제어부에서 생성된 제어 신호를 입력 받아 다수 개의 구동 전압을 생성하는 구동전압 발생부로, $n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부, 상기 메모리부에 저장되어 있는 상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하고, 외부 제어 신호에 따라 상기 메모리부에 저장되는 중간 데이터값을 변경하여 변경된 데이터값에 대응하는 아날로그 전압값을 출력하되, 상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값에 대응하는 상기 아날로그 전압값을 출력하는 전압 조절부를 포함하는 자동 디지털 가변 저항을 포함하는 구동전압 발생부 및 상기 구동 전압을 입력 받아 상기 게이트 라인에 인가하는 게이트 구동부를 포함한다.

또한, 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정표시장치는, 다수 개의 게이트 라인과 데이터 라인이 교차되며, 상기 데이터 라인에 매트릭스 형태로 배열된 다수 개의 단위 화소를 포함하는 액정 패널, 상기 액정 패널을 구동하기 위한 제어 신호를 생성하는 타이밍 제어부, 상기 타이밍 제어부에서 생성된 제어 신호를 입력 받아 다수 개의 구동 전압을 생성하는 구동전압 발생부로, $n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기 저장되며 프로그래밍 가능한 메모리부, 외부 제어 신호에 따라 상기 메모리부에 저장되어 있는 상기 중간 데이터값을 읽어오거나 또는 상기 메모리부에 저장되어 있는 상기 중간 데이터값을 변경하는 인터페이스 제어부, 상기 중간 데이터값의 읽기 동작시 상기 중간 데이터값을 상기 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우 상기 n 비트 데이터의 중간 데이터값으로 변환하는 에러 검출부, 상기 중간 데이터값에 대응하는 아날로그 전압값을 출력하는 디지털/아날로그 변환부 및 상기 변환된 아날로그 전압값을 증폭하여 출력하는 출력부를 포함하는 자동 디지털 가변 저항을 포함하는 구동전압 발생부 및 상기 구동 전압을 입력 받아 상기 게이트 라인에 인가하는 게이트 구동부를 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치에 대해 상세히 설명한다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.

도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정표시장치는 액정 패널(100), 구동 전압 발생부(200), 게이트 구동부(300), 감마 전압 발생부(400), 데이터 구동부(500), 타이밍 제어부(600)를 포함한다.

액정 패널(100)은 등가 회로로 볼 때 다수의 표시 신호선($G1 - Gn$, $D1 - Dm$)과 이에 연결되어 있으며, 매트릭스(matrix) 형태로 배열된 다수의 단위 화소(pixel)를 포함한다.

여기서, 표시 신호선($G1 - Gn$, $D1 - Dm$)은 게이트 신호를 전달하는 다수의 게이트선($G1 - Gn$)과 데이터 신호를 전달하는 데이터선($D1 - Dm$)을 포함한다. 게이트선($G1 - Gn$)은 행방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선($D1 - Dm$)은 열방향으로 뻗어 있으며 서로가 거의 평행하다.

각 단위 화소는 표시 신호선($G1 - Gn$, $D1 - Dm$)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor)(C_{LC}) 및 유지 커패시터(storage capacitor)(C_{ST})를 포함한다. 유지 커패시터(C_{ST})는 필요에 따라 생략할 수 있다.

스위칭 소자(Q)는 TFT 기판에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선($G1 - Gn$) 및 데이터선($D1 - Dm$)에 연결되어 있으며, 출력 단자는 액정 커패시터(C_{LC}) 및 유지 커패시터(C_{ST})에 연결되어 있다.

액정 커패시터(C_{LC})는 TFT 기판의 화소 전극과 컬러 필터 기판의 공통 전극(24)을 두 단자로 하며 두 전극 사이의 액정층은 유전체로서 기능한다. 화소 전극은 스위칭 소자(Q)에 연결되며 공통 전극은 컬러 필터 기판의 전면에 형성되어 있고 공통 전압(VCOM)을 인가받는다. 여기에서, 공통 전극이 TFT 기판에 구비되는 경우도 있으며 이때에는 두 전극이 모두 선형 또는 막대형으로 만들어진다.

유지 커패시터(C_{ST})는 TFT 기판에 구비된 별개의 신호선(도시하지 않음)과 화소 전극이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(VCOM) 등의 정해진 전압이 인가된다(독립 배선 방식). 그러나, 유지 커패시터(C_{ST})는 화소 전극(12)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다(전단 게이트 방식).

한편, 색 표시를 구현하기 위해서는 각 단위 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극에 대응하는 영역에 적색, 녹색, 또는 청색의 컬러 필터를 구비함으로써 가능하다. 여기에서, 컬러 필터는 컬러 필터 기판의 해당 영역에 형성할 수 있으며, 또한, TFT 기판의 화소 전극 위 또는 아래에 형성할 수도 있다.

액정 패널(100)의 TFT 기판 및 컬러 필터 기판 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착된다.

구동 전압 발생부(200)는 다수의 구동 전압을 생성한다. 예를 들어, 구동 전압 발생부(200)는 게이트 온 전압(V_{on}), 게이트 오프 전압(V_{off}) 및 공통 전압(VCOM)을 생성한다. 여기에서, 구동 전압 발생부는 최적화된 공통 전압을 생성하기 위해 자동 디지털 가변 저항을 포함한다. 이에 대하여 도 2를 참조하여 자세하게 설명한다.

게이트 구동부(300)는 액정 패널(100)의 게이트선($G1 - Gn$)에 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선($G1 - Gn$)에 인가한다.

감마 전압 발생부(400)는 단위 화소의 투과율과 관련된 두 별의 복수 감마 전압을 생성할 수 있다. 즉, 두 별 중 한 별은 정극성 전압이고, 다른 한 별은 부극성 전압이 된다. 정극성 전압과 부극성 전압은 공통 전압(VCOM)에 대해 데이터 전압의 극성이 반대인 전압을 의미하며, 반전 구동시 교대하여 액정 패널에 각각 제공된다.

데이터 구동부(500)는 액정 패널(100)의 데이터선(D1 - Dm)에 연결되어 있으며, 감마 전압 발생부(400)로부터 제공된 다수의 감마 전압에 기초하여 다수의 계조 전압을 생성하고, 생성된 계조 전압을 선택하여 데이터 신호로서 단위 화소에 인가하며 통상 다수의 집적 회로로 이루어진다.

타이밍 제어부(600)는 게이트 구동부(300) 및 데이터 구동부(500) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(300) 및 데이터 구동부(500)에 제공한다.

이하에서 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.

타이밍 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 타이밍 컨트롤러(600)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 액정 패널(100)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(300)로 제공하고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R', G', B')는 데이터 구동부(500)로 제공한다.

여기서, 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 온 전압 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클록 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다. 이 중, 출력 인에이블 신호(OE)와 게이트 클록 신호(CPV)는 구동 전압 발생부(200)로 제공된다.

데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선(D1 - Dm)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(VCOM)에 대한 데이터 전압의 극성(이하 '공통 전압에 대한 데이터 전압의 극성'을 줄여 '데이터 전압의 극성'이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클록 신호(HCLK) 등을 포함한다.

데이터 구동부(500)는 타이밍 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 단위 화소에 대응하는 영상 데이터(R', G', B')를 차례로 입력받고, 계조 전압 중 각 영상 데이터(R', G', B')에 대응하는 계조 전압을 선택함으로써, 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환한다.

게이트 구동부(300)는 타이밍 컨트롤러(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G1 - Gn)에 인가하여 이 게이트선(G1 - Gn)에 연결된 스위칭 소자(Q)를 턴온시킨다.

하나의 게이트선(G1 - Gn)에 게이트 온 전압(Von)이 인가되어 이에 연결된 한 행의 스위칭 소자(Q)가 턴온되어 있는 동안[이 기간을 '1H' 또는 '1 수평 주기(horizontal period)'이라고 하며 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 게이트 클록(CPV)의 한 주기와 동일함], 데이터 구동부(500)는 각 데이터 전압을 해당 데이터선(D1 - Dm)에 공급한다. 데이터선(D1 - Dm)에 공급된 데이터 전압은 턴온된 스위칭 소자(Q)를 통해 해당 단위 화소에 인가된다.

액정 분자들은 화소 전극과 공통 전극이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 TFT 기판 및 컬러 필터 기판에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G1 - Gn)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 단위 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 단위 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다('프레임 반전'). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나('라인 반전'), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다('도트 반전').

도 2는 본 발명의 일 실시예에 따른 자동 디지털 가변 저항의 블록도이다.

도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 자동 디지털 가변 저항(20)은 메모리부(30) 및 전압 조절부(40)를 포함한다.

메모리부(30)는 $n(n \geq 2)$ 비트 데이터의 최소 데이터값과, $n(n \geq 2)$ 비트 데이터의 최대 데이터값 사이의 중간 데이터값이 초기에 저장되는데, 예를 들면, 7 비트 데이터의 중간 데이터값인 "1000000"이 초기에 저장된다. 또한, 메모리부(30)는 프로그래밍 가능하며, 예를 들면, 이이피롬(electrically erasable and programmable-read only memory)을 사용하는 것이 바람직하다.

전압 조절부(40)는 외부 제어 신호(CTL)에 따라 메모리부(30)에 저장되어 있는 중간 데이터값에 대응하는 아날로그 전압값(V_{out})을 출력하거나 또는 메모리부(30)에 저장되는 중간 데이터값을 변경하여 변경된 데이터값에 대응하는 아날로그 전압값(V_{out})을 출력한다. 또한, 외부 제어 신호(CTL)에 따라 메모리부(30)에 저장되어 있는 중간 데이터값의 읽기 동작시 외부의 정전기 또는 메모리 읽기 동작 오류로 인해 중간 데이터값을 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우, n 비트 데이터의 중간 데이터값에 대응하는 아날로그 전압값(V_{out})으로 출력한다.

도 3은 본 발명의 일 실시예에 따른 전압 조절부의 내부 블록도이다.

도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 전압 조절부(40)는 인터페이스 제어부(42), 에러 검출부(44), 디지털/아날로그 변환부(46) 및 출력부(48)를 포함한다.

인터페이스 제어부(42)는 외부로부터 제어 인에이블 신호(CE)와 제어 신호(CTL)를 입력 받아 제어 신호(CTL)에 따라 메모리부(30)에 저장되어 있는 중간 데이터값을 디지털/아날로그 변환부(44)로 전달한다. 또한, 제어 신호(CTL)에 따라 메모리부(30)에 저장되는 중간 데이터값을 변경한다.

여기에서, 제어 인에이블 신호(CE)는 디지털 가변 저항을 인에이블(enable) 시키는 신호로서, 동작 전압(V_{DD})에 연결되어 있다. 이때, 디지털 가변 저항을 디스에이블(disable) 시키려면, 제어 인에이블 신호(CE)에 그라운드(GND)를 연결하면 된다. 제어 신호(CTL)는 타이밍 제어부(600)로부터 인가되며, 하이레벨과 로우레벨을 갖는 펄스 형태의 신호이다.

에러 검출부(44)는 외부 제어 신호(CTL)에 따라 메모리부(30)에 저장되어 있는 중간 데이터값의 읽기 동작시 외부의 정전기 또는 메모리 읽기 동작 오류로 인해 중간 데이터값을 n 비트 데이터의 최대 데이터값 또는 최소 데이터값으로 읽는 경우, n 비트 데이터의 중간 데이터값에 대응하는 아날로그 전압값으로 출력한다.

또한, 에러 검출부(44)는 중간 데이터값이 n 비트 데이터의 최대 데이터값 또는 최소 데이터값인 경우에는 하이레벨 신호를 출력하고, n 비트 데이터의 최대 데이터값 또는 최소 데이터값이 아닌 경우에는 로우레벨 신호를 출력하는 데이터 검출부(52) 및 하이레벨 신호인 경우에는 중간 데이터값의 최상위 비트(MSB)를 제외한 나머지 비트를 인버팅시켜서 출력하고, 로우레벨 신호인 경우에는 중간 데이터값을 출력하는 데이터 변환부(54)를 포함한다. 이에 대하여 도 4 내지 도 6을 참조하여 자세하게 설명한다.

디지털/아날로그 변환부(46)는 중간 데이터값에 대응하는 아날로그 전압값을 출력한다.

출력부(48)는 변환된 아날로그 전압값을 증폭하여 트랜지스터를 통해 출력한다.

도 4는 본 발명의 일 실시예에 따른 데이터 검출부의 회로도이다.

도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 데이터 검출부(52)는 인터페이스 제어부(42)로부터 전달된 중간 데이터값이 n 비트 데이터의 최대 데이터값 또는 최소 데이터값인지를 확인하기 위해 다수 개의 앤드 게이트(AND1~AND6)와 다수 개의 오어 게이트(OR1~OR6)를 포함하는 제 1 검출부(62) 및 중간 데이터값의 확인 결과를 출력하기 위한 제 2 검출부(64)를 포함한다.

제 1 검출부(62)는 인터페이스 제어부(20)로부터 입력된 중간 데이터값이 입력 신호($In1 \sim In7$)에 인가되면, 다수 개의 앤드 게이트(AND1~AND6)와 다수 개의 오어 게이트(OR1~OR6)는 입력 신호에 따라 논리 연산을 하여 출력신호($Q1, Q2$)

를 출력한다. 예를 들면, 인터페이스 제어부(20)로부터 입력된 중간 데이터값이 "1111111"라면, 이 중간 데이터값이 입력 신호(In1~In7)에 인가되어 앤드 게이트(AND1~AND7)와 오어 게이트(OR1~OR6)의 출력 신호(Q1, Q2)는 모두 하이레벨 신호가 된다.

제 2 검출부(64)는 제 1 검출부(62)의 출력 신호(Q1, Q2)가 오어 게이트(OR7)의 입력 신호로 인가되면, 논리 연산을 하여 출력 신호(Z)를 출력한다. 이때, 제 2 검출부(64)는 오어 게이트로 이루어져 있으므로, 출력 신호(Q1, Q2)의 둘 중 어느 하나가 하이레벨 신호이면, 출력 신호(Z)는 하이레벨 신호를 출력한다. 이때, 출력 신호(Z)가 하이레벨 신호인 경우에는 입력된 중간 데이터값이 n 비트 데이터의 최대 데이터값 또는 최소 데이터값이라는 것을 나타낸다.

도 5는 본 발명의 일 실시예에 따른 데이터 변환부를 나타내는 회로도이다.

도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 데이터 변환부(54)는 데이터 검출부(52)의 출력 신호(Z)에 따라 입력 신호를 선택하는 다수 개의 멀티플렉서(MUX1~MUX7)를 포함한다. 이때, 입력 신호는 인터페이스 제어부(42)로부터 전달되는 중간 데이터값과 미리 정해져 있는 n 비트 데이터의 중간 데이터값 중에서 하나를 선택한다. 여기에서는, 임의로 n 비트 데이터의 중간 데이터값이 "1000000"로 설정되어 있다.

멀티플렉서(MUX1~MUX7)는 데이터 검출부(52)의 출력 신호(Z)가 로우레벨 신호이면, 중간 데이터값 즉, 입력 신호(In1~In7)가 그대로 출력 신호(Out1~Out7)에 출력한다. 그러나, 데이터 검출부(52)의 출력 신호(Z)가 하이레벨 신호이면, 미리 정해져 있는 n 비트 데이터의 중간 데이터값 즉, 임의로 설정되어 있는 중간 데이터값 "1000000"가 출력된다.

도 6은 본 발명의 일 실시예에 따른 데이터 변환부의 내부 회로도이다.

도 6에 도시된 바와 같이, 본 발명의 일 실시예에 따른 데이터 변환부(54)의 내부 회로는 입력 신호를 인버팅시켜서 출력하는 다수 개의 인버터(INV1~INV7)와 다수 개의 NMOS 트랜지스터(T1~T12)를 포함한다.

데이터 검출부(52)의 출력 신호(Z)가 로우레벨 신호이면, 인버터(INV1)는 하이레벨 신호를 출력하고, 이 하이레벨 신호가 NMOS 트랜지스터(T1~T6)의 게이트 단자에 인가되어 NMOS 트랜지스터(T1~T6)가 턴 온된다. 그러면, 인터페이스 제어부(42)로부터 입력된 중간 데이터값 즉, 입력 신호(In2~In7)가 그대로 출력 신호(Out2~Out7)에 출력된다. 이때, 입력 신호(In1)는 그대로 출력 신호(Out1)에 출력되며, NMOS 트랜지스터(T7~T12)의 게이트 단자에는 로우레벨 신호가 인가되어 NMOS 트랜지스터(T7~T12)는 턴 오프된다. 예를 들면, 데이터 검출부(52)의 출력 신호(Z)가 로우레벨 신호이고, 입력 신호(In1~In7)에 입력된 중간 데이터값이 "0000001"이라고 하면, 인버터(INV1)는 하이레벨 신호를 출력하고, 이 하이레벨 신호가 NMOS 트랜지스터(T1~T6)의 게이트 단자에 인가되어 NMOS 트랜지스터(T1~T6)가 턴 온된다. 그러면, 출력 신호(Out1~Out7)에는 입력된 중간 데이터값인 "0000001"이 출력된다.

또한, 데이터 검출부(52)의 출력 신호(Z)가 하이레벨 신호이면, 이 하이레벨 신호가 NMOS 트랜지스터(T7~T12)의 게이트 단자에 인가되어 NMOS 트랜지스터(T7~T12)가 턴 온된다. 그러면, 인터페이스 제어부(20)로부터 입력된 중간 데이터값 즉, 입력 신호(In2~In7)는 인버터(INV2~INV7)를 통해 신호가 인버팅되어 출력 신호(Out2~Out7)에 출력된다. 이때, 인버터(INV1)는 로우레벨 신호를 출력하고, 이 로우레벨 신호가 NMOS 트랜지스터(T1~T6)의 게이트 단자에는 인가되어 NMOS 트랜지스터(T1~T6)가 턴 오프된다. 예를 들면, 데이터 검출부(52)의 출력 신호(Z)가 하이레벨 신호이고, 입력 신호(In1~In7)에 입력된 중간 데이터값이 "1111111"이라고 하면, NMOS 트랜지스터(T7~T12)의 게이트 단자에 하이레벨 신호가 인가되어 NMOS 트랜지스터(T7~T12)가 턴 온된다. 그러면, 출력 신호(Out2~Out7)에는 인버터(INV2~INV7)를 통해 n 비트 데이터의 중간 데이터값인 "1000000"가 출력된다. 이때, 중간 데이터값의 최상위 비트(MSB)는 변하지 않고, 그대로 출력된다.

도 7은 본 발명의 일 실시예에 따른 자동 디지털 가변 저항의 동작을 나타내는 흐름도이다.

도 7에 도시된 바와 같이, 먼저, 인터페이스 제어부(42)는 외부로부터 제어 인에이블 신호(CE)와 제어 신호(CTL)를 입력받으며, 제어 신호(CTL)에 따라 메모리부(30)에 저장되어 있는 중간 데이터값을 읽어온다(S100). 이어서, 인터페이스 제어부(42)는 메모리부(30)에서 읽어온 중간 데이터값을 예러 검출부(44)로 전달한다(S102).

그 다음, 예러 검출부(44)는 전달된 중간 데이터값이 n 비트 데이터의 최대 데이터값 또는 최소 데이터값인지를 확인한다(S104). 확인 결과, 중간 데이터값이 n 비트 데이터의 최대 데이터값 또는 최소 데이터값인 경우에는 n 비트 데이터의 중간 데이터값으로 변환한다(S106). 예를 들면, 예러 검출부(44)로 전달된 중간 데이터값이 "1111111"이라고 하면, 예러 검출부(44)는 "1111111"이 7 비트 데이터의 최대 데이터값이므로, 7 비트 데이터의 중간 데이터값인 "1000000"로 변환한다.

이어서, 에러 검출부(44)는 변환된 중간 데이터값을 디지털/아날로그 변환부(46)로 전달하며, 디지털/아날로그 변환부(46)는 변환된 중간 데이터값을 아날로그 전압값으로 변환하고(S108), 변환된 아날로그 전압값을 출력부(48)로 전달한다(S110).

그러나, 중간 데이터값이 n 비트 데이터의 최대 데이터값 또는 최소 데이터값이 아닌 경우에는 중간 데이터값을 디지털/아날로그 변환부(46)로 전달한다. 그러면, 디지털/아날로그 변환부(46)는 중간 데이터값을 아날로그 전압값으로 변환하고(S108), 변환된 아날로그 전압값을 출력부(48)로 전달한다(S110).

도 8은 본 발명의 일 실시예에 따른 자동 디지털 가변 저항의 타이밍도를 나타내는 도면이다.

도 8에 도시된 바와 같이, 본 발명의 일 실시예에 따른 자동 디지털 가변 저항은 외부로부터 제어 인에이블 신호(CE)와 제어 신호(CTL)를 입력 받아 소정의 딜레이 시간 후에 제어 신호(CTL)가 인에이블 되고, 일정 전압을 기준으로 하여 하이레벨과 로우레벨을 갖는 펄스 형태의 신호가 입력된다. 여기에서, 제어 인에이블 신호(CE)는 동작 전압(V_{DD})에 연결되어 디지털 가변 저항을 인에이블 시키며, 제어 신호(CTL)는 타이밍 제어부(600)에서 인가된다. 예를 들면, 동작 전압(V_{DD})은 2.6~3.6V의 범위를 갖으며, 제어 신호(CTL)는 $V_{DD}/2$ 를 기준으로 하이레벨과 로우레벨을 갖는다. 이때, 제어 신호(CTL)의 하이레벨은 $V_{DD} \cdot 0.70$ 의 최소값과 $V_{DD} \cdot 0.82$ 의 최대값의 범위를 갖으며, 로우레벨은 $V_{DD} \cdot 0.20$ 의 최소값과 $V_{DD} \cdot 0.32$ 의 최대값의 범위를 갖는다.

제어 신호(CTL)가 입력되면, 인터페이스 제어부(42)는 제어 신호(CTL)에 따라 메모리부(30)에 저장되어 있는 중간 데이터값을 읽어온 후에 읽어온 중간 데이터값을 에러 검출부(44)로 전달한다. 도 8에서와 같이, In1~In7은 메모리부(30)에서 에러 검출부(44)로 전달되는 중간 데이터값을 나타낸다. 여기에서, 메모리부(30)에는 임의로 7 비트 데이터의 중간 데이터값인 64가 미리 저장되어 있다. 따라서, 자동 디지털 가변 저항이 인에이블 되면, 메모리부(30)에 저장되어 있는 중간 데이터값인 64를 읽어오게 된다. 그러나, 인터페이스 제어부(42)는 외부로부터의 정전기 또는 메모리의 읽기 동작 오류로 인해 중간 데이터값인 64가 아니라 128 또는 0을 읽어오게 된다.

그러면, 에러 검출부(44)는 메모리(30)에서 전달된 중간 데이터값이 n 비트 데이터의 최대 데이터값 또는 최소 데이터값인지를 확인한다. 이때에 중간 데이터값 128 또는 0은 7 비트 데이터의 최대 데이터 또는 최소 데이터값이므로, 에러 검출부(44)는 중간 데이터값 128을 64로 변환하고, 0을 63으로 변환한다. 도 8에서 DAC SETTING은 에러 검출부(44)에서 디지털/아날로그 변환부(46)로 전달되는 중간 데이터값을 나타내며, DAC SETTING의 첫 번째 데이터값과 네 번째 데이터값은 앞에서 7 비트 데이터의 중간 데이터값으로 변환된 64와 63을 나타낸다. 그리고, DAC SETTING의 데이터값들은 아날로그 전압값으로 변환되어 출력부(48)로 출력된다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해되어야만 한다.

발명의 효과

상기한 바와 같은 본 발명의 일 실시예에 따른 자동 디지털 가변 저항 및 이를 포함하는 액정표시장치는 외부로부터의 정전기 또는 메모리 읽기 동작의 오류로 인해 액정 패널에 발생하는 플리커 또는 계조상에서의 노이즈를 방지할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 자동 디지털 가변 저항의 블록도이다.

도 3은 본 발명의 일 실시예에 따른 전압 조절부의 내부 블록도이다.

도 4는 본 발명의 일 실시예에 따른 데이터 검출부의 회로도이다.

도 5는 본 발명의 일 실시예에 따른 데이터 변환부를 나타내는 회로도이다.

도 6은 본 발명의 일 실시예에 따른 데이터 변환부의 내부 회로도이다.

도 7은 본 발명의 일 실시예에 따른 자동 디지털 가변 저항의 동작을 나타내는 흐름도이다.

도 8은 본 발명의 일 실시예에 따른 자동 디지털 가변 저항의 타이밍도를 나타내는 도면이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 액정 패널 200 : 구동전압 발생부

300 : 게이트 구동부 400 : 감마전압 발생부

500 : 데이터 구동부 600 : 타이밍 제어부

20 : 자동 디지털 가변 저항 30 : 메모리부

40 : 전압 조절부 42 : 인터페이스 제어부

44 : 에러 검출부 46 : 디지털/아날로그 변환부

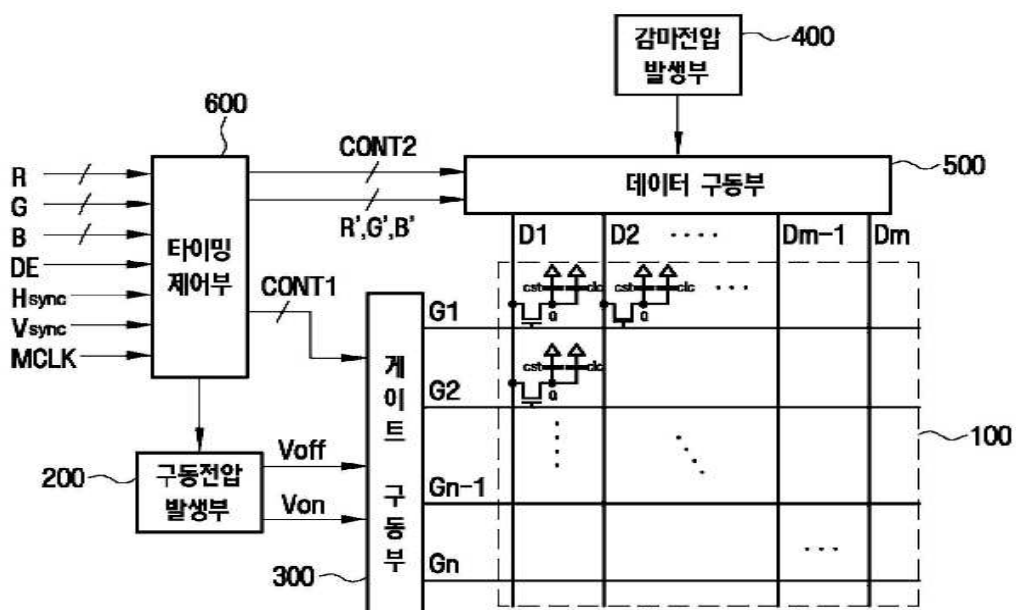
48 : 출력부 52 : 데이터 검출부

54 : 데이터 변환부 62 : 제 1 검출부

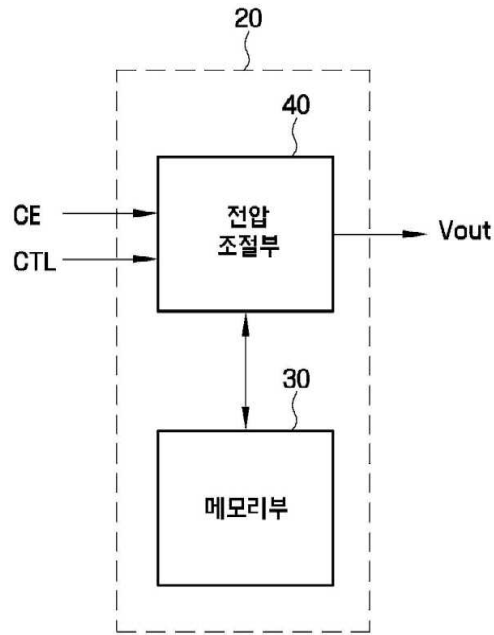
64 : 제 2 검출부

도면

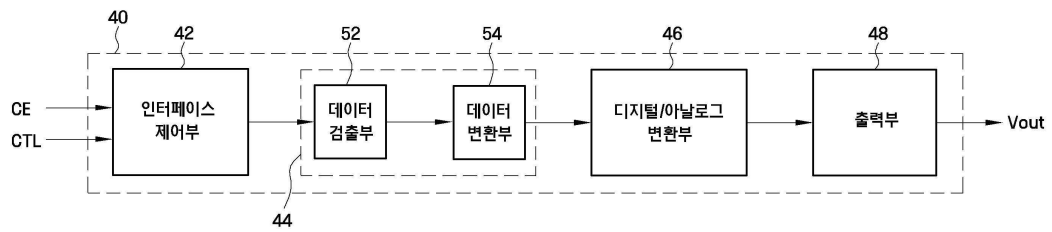
도면1



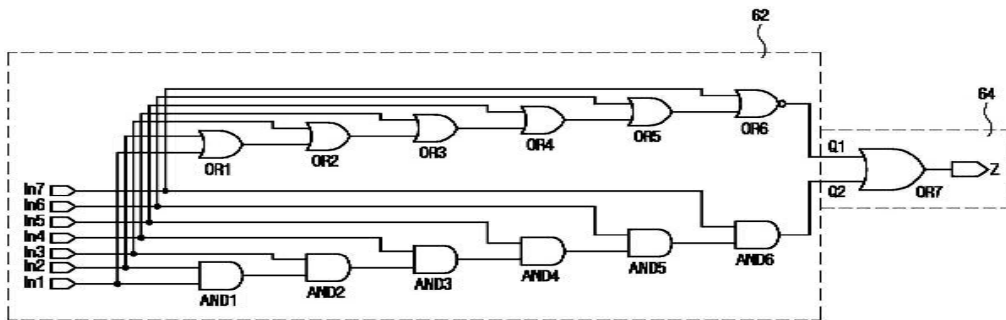
도면2



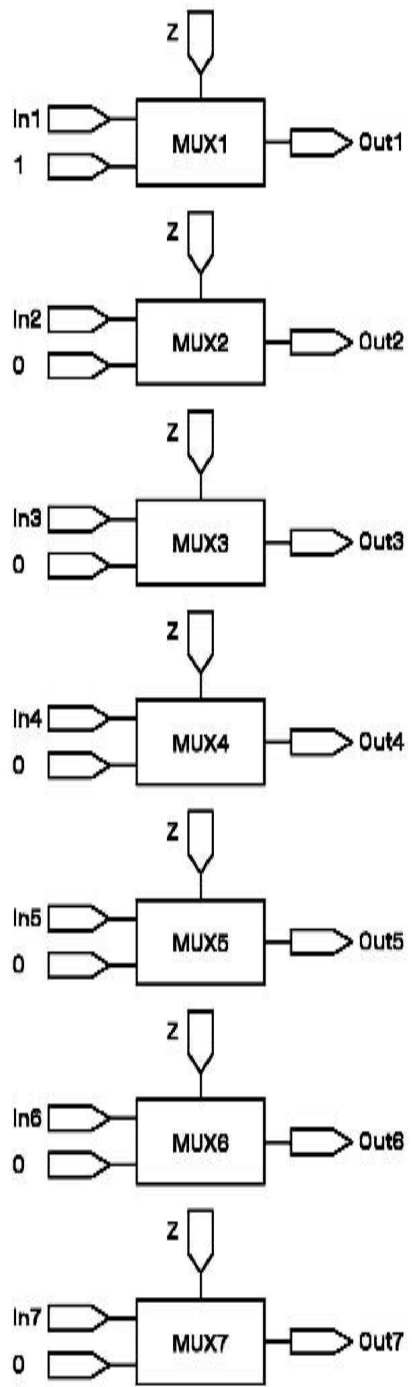
도면3



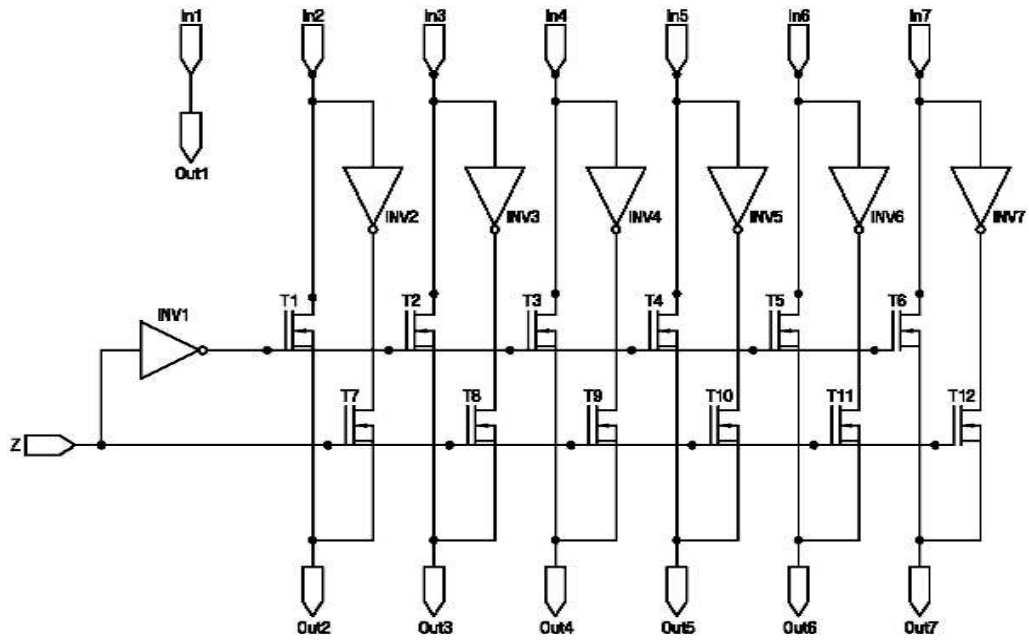
도면4



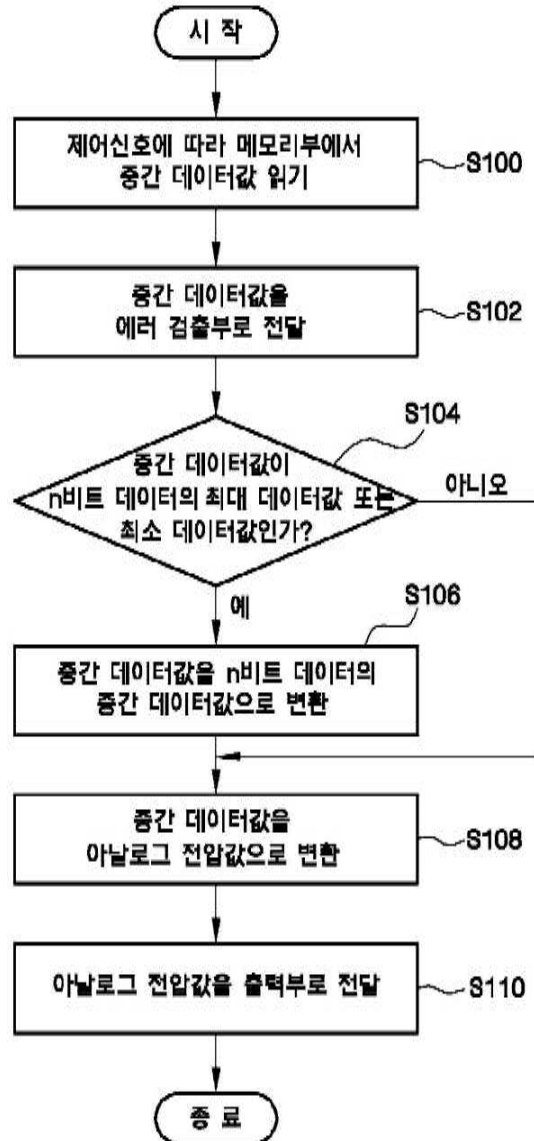
도면5



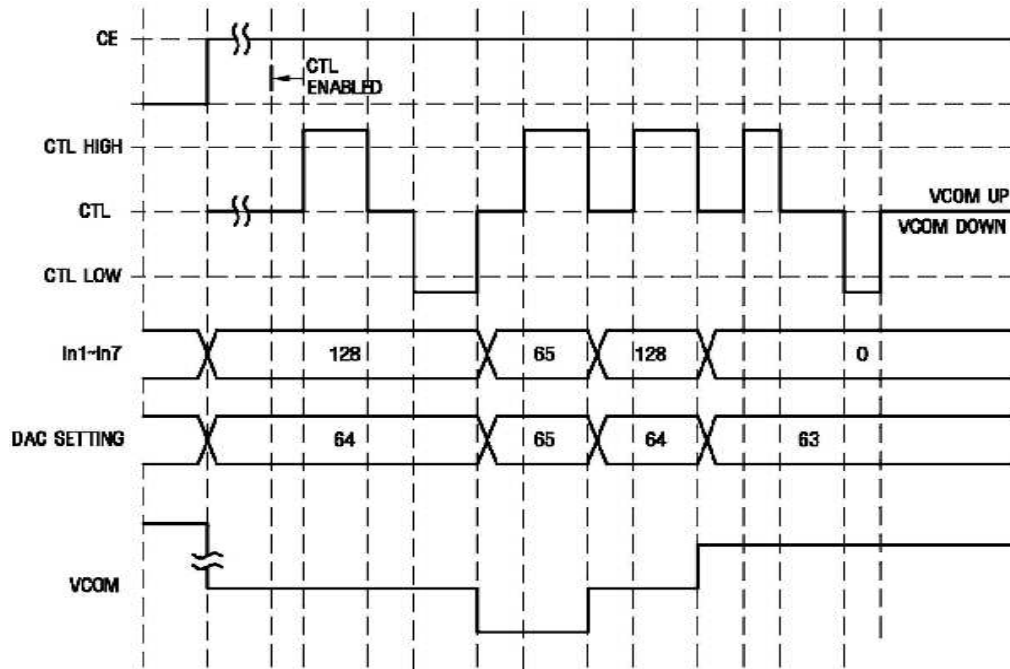
도면6



도면7



도면8



专利名称(译)	自动数字可变电阻器和包括其的液晶显示器件		
公开(公告)号	KR100736143B1	公开(公告)日	2007-07-06
申请号	KR1020050102322	申请日	2005-10-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	HA YOUNG SUK 하영석 PARK JIN WOO 박진우		
发明人	하영석 박진우		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2330/08 G09G3/3655 G09G3/3696		
代理人(译)	JEONG , SANG BIN		
其他公开文献	KR1020070045728A		
外部链接	Espacenet		

摘要(译)

用途：提供一种自动数字可变电阻器和包括该自动数字可变电阻器的液晶显示器，以抑制由于来自外部的静电或存储器的读取错误而产生的闪烁或噪声。

