



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

G02F 1/1368 (2006.01)

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

(45) 공고일자

2006년12월21일

(11) 등록번호

10-0660691

(24) 등록일자

2006년12월15일

(21) 출원번호 10-2004-7014924

(65) 공개번호

10-2004-0093175

(22) 출원일자 2004년09월21일

(43) 공개일자

2004년11월04일

심사청구일자 2004년09월21일

번역문 제출일자 2004년09월21일

(86) 국제출원번호 PCT/JP2003/002511

(87) 국제공개번호

WO 2003/081676

국제출원일자 2003년03월04일

국제공개일자

2003년10월02일

(30) 우선권주장 JP-P-2002-00082451 2002년03월25일 일본(JP)

(73) 특허권자 가부시끼가이샤 에키쇼 센탄 기쥬츠 가이하쥬 센터
일본 가나가와켄, 요코하마시, 토즈카구, 요시다쥬 292

(72) 발명자 히라마츠마사토
일본국 도쿄도 가츠시카구 아오토 8-26-6-310

마츠무라마사키요
일본국 가나가와켄 가마쿠라시 오오마치 2-8-10-101

니시타니미키히코
일본국 나라켄 나라시 가쿠엔 미도리가오카 2-16-5

기무라요시노부
일본국 도쿄도 기타구 나카쥬쥬 1-18-21

야마모토요시타카
일본국 나라켄 야마토코리야마시 이즈미하라쥬 17-7

(74) 대리인 김병진
노태정
백명자

심사관 : 정현진

전체 청구항 수 : 총 12 항

(54) 박막 트랜지스터, 회로장치, 액정 디스플레이, 반도체장치 및 그 제조방법

(57) 요약

1도전형 반도체층(11)과, 상기 반도체층내에 서로 격리해서 형성된 소스영역(12) 및 드레인영역(13)과, 상기 반도체층의 상측 또는 상기 반도체층의 하측에 절연막을 통해서 형성된 게이트전극(14)을 포함하는 박막 트랜지스터로서, 상기 소스영역 및 드레인영역간에 형성된 채널영역(16)과 상기 소스영역의 접합면의 길이(W_s)와, 상기 채널영역과 상기 드레인영역의 접합면의 길이(W_d)가 다른 것을 특징으로 한다.

대표도

도 1

특허청구의 범위

청구항 1.

기관과,

상기 기관상에 형성되며, 20도 이상의 개방각도이고, 1이상의 결정립계를 포함하고, 평면형상이 부채꼴 형상 또는 사다리꼴 형상인 1도전형 반도체층과,

상기 부채꼴 형상 또는 사다리꼴 형상의 1도전형 반도체층의 장변 및/또는 단변에, 소스영역 및/또는 드레인영역은 전류가 상기 결정립계를 따라서 흐르도록 형성된 트랜지스터를 포함하는 것을 특징으로 하는 박막 반도체장치.

청구항 2.

20도 이상의 개방각도이고, 1이상의 결정립계를 포함하고, 평면형상이 부채꼴 형상 또는 사다리꼴 형상인 결정화된 1도전형 반도체층과,

상기 부채꼴 형상 또는 사다리꼴 형상의 1도전형 반도체층의 장변 및 단변에 소스영역 및 드레인영역이 서로 격리해서 형성된 소스영역 및 드레인영역과,

상기 반도체층의 상측 또는 상기 반도체층의 하측에 절연막을 통해서 형성된 게이트전극을 포함하는 박막 트랜지스터로서,

채널영역이 상기 소스영역 및 드레인영역간에 배치되며, 제 1 접합면이 상기 소스영역과 상기 채널영역의 사이를 신장하고 또한 제 1 접합면의 길이를 가지며, 또 제 2 접합면이 상기 채널영역과 상기 드레인영역의 사이를 신장하고 또한 제 2 접합면의 길이를 가지며,

상기 제 1 접합면의 길이가 상기 제 2 접합면의 길이와 다른 트랜지스터를 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

청구항 2에 있어서,

상기 반도체층은 2이상의 결정립계를 포함하고, 각 결정립계는 상기 반도체층의 소스영역에서 드레인영역으로 향하는 방향 또는 상기 드레인영역에서 소스영역으로 향하는 방향으로 신장되고, 또 각 결정립계는 상기 사다리꼴 또는 상기 부채꼴의 개방각도에 대응해서 상기 반도체층의 면내 방향으로 신장되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 7.

청구항 2에 있어서,

상기 반도체층은 2이상의 결정립계를 포함하고, 각 결정립계는 상기 반도체층의 소스영역에서 드레인영역으로 향하는 방향 또는 상기 드레인영역에서 소스영역으로 향하는 방향으로 신장되고, 또 서로 인접하는 2개의 결정립계는, 개방각도를 가지고 상기 반도체층의 면내 방향으로 신장되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 8.

청구항 2에 있어서,

상기 반도체층은 2이상의 결정립계를 포함하고, 각 결정립계는 상기 반도체층의 소스영역에서 드레인영역으로 향하는 방향 또는 상기 드레인영역에서 소스영역으로 향하는 방향으로 신장되고, 또 서로 인접하는 2개의 결정립계는, 상기 반도체층의 면내 방향에 평행인 것을 특징으로 하는 박막 트랜지스터.

청구항 9.

청구항 2에 있어서,

상기 채널영역과 상기 소스영역의 접합면의 상기 길이의 중간위치와 상기 채널영역과 상기 드레인영역의 접합면의 상기 길이의 중간위치를 연결하는 가상선과, 상기 결정립계의 신장방향으로 신장되는 가상선이 이루는 각도와, 상기 채널영역과 상기 소스영역의 접합면의 상기 길이와 상기 채널영역과 상기 드레인영역의 접합면의 상기 길이에 의해 규정되는 개방각도와와의 차가 20도 이상인 것을 특징으로 하는 박막 트랜지스터.

청구항 10.

청구항 2에 기재된 박막 트랜지스터로서,

상기 기판에 직접 또는 간접적으로 형성된 N형인 박막 트랜지스터와,

상기 기판에 직접 또는 간접적으로 형성된 P형인 박막 트랜지스터를 포함하며,

상기 N형의 박막 트랜지스터와 상기 P형의 박막 트랜지스터는 점대칭의 위치에 배치되어 있는 것을 특징으로 하는 회로장치.

청구항 11.

청구항 2에 기재된 박막 트랜지스터를 포함하는 것을 특징으로 하는 액정 디스플레이.

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

청구항 2에 있어서,

각 결정립계는 상기 사다리꼴 또는 상기 부채꼴의 개방각도에 대응해서 상기 반도체층의 면내 방향으로 신장되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 16.

기판과,

상기 기판상에 직접 또는 간접적으로 형성된 아모르퍼스 실리콘막과,

상기 아모르퍼스 실리콘막이 각 결정립계가 평행하게 신장되도록 결정화된 복수의 가늘고 긴 결정립 열(列)과,

상기 결정립 열에 형성되며 활성층에 1이상의 결정립계를 가지는 박막 트랜지스터를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 17.

청구항 16에 있어서,

상기 박막 트랜지스터의 전자 또는 정공(正孔)의 이동하는 방향은, 활성층에 가지는 결정립계에 따르고 있는 것을 특징으로 하는 반도체장치.

청구항 18.

기판상에 직접 또는 간접적으로 아모르퍼스 실리콘막을 형성하는 공정과,

상기 아모르퍼스 실리콘막에 중심에서 약하고 또한 주변에 강한 광 강도를 가지는 레이저광을 조사하여 결정립계가 평행하게 신장되는 복수의 가늘고 긴 결정립의 열(列)을 형성하는 공정과,

상기 결정립의 열에, 활성층에 1이상의 결정립계를 가지는 박막 트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

명세서

기술분야

본 발명은 박막 트랜지스터, 상기 박막 트랜지스터를 포함하는 회로장치, 상기 박막 트랜지스터를 포함하는 액정 디스플레이 및 상기 회로장치를 포함하는 액정 디스플레이와 반도체장치 및 그 제조방법에 관한 것이다.

배경기술

박막 트랜지스터(이하 「TFT」라 함)는 예를 들면, 액정 디스플레이의 화소용 스위칭소자로서, 또는 주변회로의 구성소자로서 사용된다.

박막 트랜지스터는 1도전형으로 형성된 반도체로 이루어지는 활성층을 포함한다. 활성층은 상기 활성층의 일부의 반도체에 다른 도전형 불순물이 고농도로 도입되어서 형성된 소스영역 및 드레인영역을 포함한다. 이들 소스영역과 드레인영역의 사이에 위치하는 채널영역의 상측 또는 하측에, 게이트절연막을 통해서 게이트전극이 형성되어 있다.

활성층으로서는, 예를 들면 n채널형 다결정 실리콘막(Poly-Si막)이 사용된다.

소스영역, 드레인영역 및 채널영역을 가지는 활성층을 포함하는 박막 트랜지스터를 1장의 기판상에 복수개 형성한 경우, 활성층내의 하나하나의 결정립의 입자직경이나 면방위의 차이에 따라서, 각 박막 트랜지스터의 전기적인 특성에 불규칙함이 발생한다는 문제가 있다. 이 문제를 해결하는 수단으로서, 결정립의 입자직경의 크기를 크게 하는 것이 요구된다.

1장의 기판상에 직접 또는 간접적으로 형성된 반도체층의 결정립의 입자직경을 크게 하는 방법에 대해서, 몇몇 보고가 있다(예를 들면 비특허문헌 1을 참조). 그러나, 이러한 기술에서는 반도체층의 면내 방향에서의 결정 방위를 제어할 수 없다.

박막 트랜지스터를 포함하는 회로장치의 전기적인 특성의 불규칙함은, 상기 결정 방위에 의존하는 것에 대해서, 몇몇 보고가 있다(예를 들면 비특허문헌 2를 참조). 이에 대해서, 도 15를 참조하여 설명한다.

도 15에, 종래의 박막 트랜지스터에서의 반도체로 이루어지는 활성층의 결정립 및 결정립계의 일례를 설명하기 위한 개략 평면도를 나타낸다.

도 15에 있어서, 반도체막의 부분을 나타내고 있고, (100)은 반도체의 결정립, (101)은 결정립계, (102)는 활성층, (103)은 활성층(102)내에서의 전류가 흐르는 방향을 나타낸다. 활성층(102)이란, 1도전형으로 형성된 반도체로 이루어지는 층이다.

활성층(102)내의 결정립(100) 또는 결정립계(101)의 수에 의존해서, 박막 트랜지스터의 전기적인 특성이 다르다. 다수의 결정립계(101)를 포함하는 활성층(102)내를 전류가 화살표(103) 방향으로 흐를 때는, 전류가 각 결정립계(101)를 가로지르는 횟수가 각 박막 트랜지스터에서 다르기 때문에, 1장의 기판상에서 각 박막 트랜지스터의 특성이 불규칙해지는 과제가 있다.

상기한 다결정 실리콘막의 일부를 활성층(102)으로 사용해서 상기 활성층을 포함하는 박막 트랜지스터를 형성하는 경우, 활성층내에 존재하는 개개의 실리콘의 결정립(100)의 결정 방위를 제어할 수 없고, 결정 방위에 의한 디바이스 특성의 불규칙함을 작게 하는 것이 어렵다. 특히 채널 사이즈가 작을 때, 하나의 결정립(100)이 활성층(102)내에서 차지하는 비율이 크고, 종래의 박막 트랜지스터에서는 전기적인 특성의 불규칙함을 작게 할 수 없다는 문제점이 있다.

이와 같은 각 박막 트랜지스터의 특성이 불규칙해지는 요인은, 다결정 실리콘으로 이루어진 활성층(102)내에 존재하는 결정립계(101)가 높은 포텐셜 배리어 하이트를 형성함으로써 박막 트랜지스터의 전계효과 이동도를 저하시키는 것에 대해, 몇몇 논문에서 보고되어 있다(예를 들면 비특허문헌 3을 참조).

전기 전도의 담체인 전자 또는 정공이 이동하는 방향을 가로지르는 방향으로 존재하는 결정립계(101)와, 대체로 동일한 이동방향을 따라서 존재하는 결정립계(101)에서는, 박막 트랜지스터의 전기적인 특성에 미치는 영향이 다르다.

그 결과, 동일 기판상에 형성된 박막 트랜지스터임에도 불구하고 각 박막 트랜지스터에 대해서 전기적인 특성이 다르다는 과제가 있다(예를 들면 비특허문헌 4를 참조).

비특허문헌 1 : 마츠무라 마사키요, 「엑시머 레이저를 사용한 거대 결정립 Si박막의 형성」, 일본 표면과학회지 「표면과학」, 제21권, 제5호, 제278~287페이지(제34~43페이지), 2000년, 일본 표면과학회 발행

비특허문헌 2 : 베르트·게벨(Bernd Goebel) 외, IEEE, 전자 디바이스회보지(IEEE Trans. Elect. Dev.), 제48권, 제5호, 제897~905페이지, 2001년 5월

비특허문헌 3 : 레빈슨(Levinson) 외, 응용물리학회지(J. Appl. Phys.), 제53권, 제2호, 제1193~1202페이지(1982년 2월)

비특허문헌 4 : 재단법인 신기능소자연연구개발협회, 「3차원 회로소자 연구개발 프로젝트」, 제87~104페이지, 1991년 10월 23일 발행

발명의 상세한 설명

(발명의 개시)

본 발명의 목적은 박막 트랜지스터의 전기적인 특성의 불규칙함을 작게 하는 박막 트랜지스터, 박막 트랜지스터를 포함하는 회로장치, 박막 트랜지스터를 포함하는 액정 디스플레이 및 회로장치를 포함하는 액정 디스플레이를 제공하는 것에 있다.

본 발명에 관한 반도체 장치는, 기판과 이 기판상에 형성되며 개방각도가 20도 이상인 부채꼴 형상 또는 사다리꼴 형상으로 형성된 1도전형 반도체층과, 이 1도전형 반도체층에 형성된 트랜지스터를 포함한다. 본 발명에 의하면, 트랜지스터의 전기적인 특성의 이동도의 불규칙함이 작다.

본 발명에 관한 박막 트랜지스터는 1도전형 반도체층과, 상기 반도체층내에 서로 격리해서 형성된 소스영역 및 드레인영역과, 상기 반도체층의 상측 또는 상기 반도체층의 하측에 절연막을 통해서 형성된 게이트전극을 포함하는 박막 트랜지스터로서, 상기 소스영역 및 드레인영역간에 형성된 채널영역과 상기 소스영역의 접합면의 길이와, 상기 채널채역과 상기 드레인영역의 접합면의 길이가 다른 것을 특징으로 한다.

본 발명에 의하면, 박막 트랜지스터의 전기적인 특성의 이동도의 불규칙함이 작은 효과가 있다.

바람직하게는, 상기 반도체층은 거의 사다리꼴 또는 거의 부채꼴의 평면형상을 가진다.

바람직하게는, 상기 사다리꼴 또는 상기 부채꼴은 20도 이상의 개방각도를 가진다. 상기 사다리꼴에 있어서는, 비평행의 2 직선이 이루는 각도를 말한다.

바람직하게는, 상기 반도체층은 1이상의 결정립계를 포함하고, 상기 결정립계는 상기 반도체층의 소스영역에서 드레인영역으로 향하는 방향 또는 상기 드레인영역에서 소스영역으로 향하는 방향으로 신장되어 있다.

바람직하게는, 상기 반도체층은 2이상의 결정립계를 포함하고, 각 결정립계는 상기 반도체층의 소스영역에서 드레인영역으로 향하는 방향 또는 상기 드레인영역에서 소스영역으로 향하는 방향으로 신장되고, 또 각 결정립계는 상기 사다리꼴 또는 상기 부채꼴의 개방각도에 대응해서 상기 반도체층의 면내 방향으로 신장되어 있다.

바람직하게는, 상기 반도체층은 2이상의 결정립계를 포함하고, 각 결정립계는 상기 반도체층의 소스영역에서 드레인영역으로 향하는 방향 또는 상기 드레인영역에서 소스영역으로 향하는 방향으로 신장되고, 또 서로 인접하는 2개의 결정립계는, 개방각도를 가지고 상기 반도체층의 면내 방향으로 신장되어 있다.

바람직하게는, 상기 반도체층은 2이상의 결정립계를 포함하고, 각 결정립계는 상기 반도체층의 소스영역에서 드레인영역으로 향하는 방향 또는 상기 드레인영역에서 소스영역으로 향하는 방향으로 신장되고, 또 서로 인접하는 2개의 결정립계는, 상기 반도체층의 면내 방향에 평행이다.

바람직하게는, 상기 채널영역과 상기 소스영역의 접합면의 상기 길이의 중간위치와 상기 채널영역과 상기 드레인영역의 접합면의 상기 길이의 중간위치를 연결하는 가상선과, 상기 결정립계의 신장방향으로 신장되는 가상선이 이루는 각도와, 상기 채널영역과 상기 소스영역의 접합면의 상기 길이와 상기 채널영역과 상기 드레인영역의 접합면의 상기 길이에 의해 규정되는 개방각도와 차가 20도 이상이다.

본 발명에 관한 회로장치는, 기판과 상기 기판에 직접 또는 간접적으로 형성된 상기 박막 트랜지스터이고 N형인 박막 트랜지스터와, 상기 기판에 직접 또는 간접적으로 형성된 상기 박막 트랜지스터이고 P형인 박막 트랜지스터를 포함하는 회로 장치로서, 상기 N형의 박막 트랜지스터와 상기 P형의 박막 트랜지스터는 점대칭의 위치에 배치되어 있다.

본 발명에 관한 액정 디스플레이는 상기한 박막 트랜지스터를 포함한다.

본 발명에 관한 다른 액정 디스플레이는 상기한 회로장치를 포함한다.

본 발명에 관한 다른 회로장치는, 기판과 이 기판상에 형성된 다수의 결정립계를 가지는 반도체막과, 이 반도체막에 형성되고 상기 결정립계와 평행의 방향으로 전류가 흐르는 박막 트랜지스터를 포함한다. 이 발명에 의하면, 기판상에 형성되는 박막 트랜지스터는 전기적인 특성의 불규칙함이 작다.

본 발명에 관한 또 다른 회로장치는, 기판과 이 기판상에 형성된 다수의 결정립계를 가지는 반도체막과, 이 반도체막의 동일한 결정 방위에 복수개 형성되고 상기 결정립계와 평행의 방향으로 전류가 흐르는 박막 트랜지스터를 포함한다. 이 발명에 의하면, 기판상에 형성되는 박막 트랜지스터는 불규칙함이 작은 전기적인 특성을 얻을 수 있다.

실시예

(발명을 실시하기 위한 최량의 형태)

이하, 도면을 사용하여 본 발명의 실시형태에 대해서 상세하게 설명한다. 또한, 이하에 설명하는 도면에서, 동일한 기능을 가지는 것에는 동일한 부호를 붙이고, 그에 대한 반복된 설명은 생략한다.

반도체로 이루어지는 활성층층의 반도체의 결정 방위에 의존하는 박막 트랜지스터의 디바이스 특성의 불규칙함을 작게 하기 위해 형성된 활성층은, 거의 사다리꼴(이하 「사다리꼴 형상」이라 함) 또는 거의 부채꼴(이하 「부채꼴 형상」이라 함)의 평면형상을 가진다. 사다리꼴 형상 또는 부채꼴 형상의 개방각도가 어느 각도 이상이 되도록 형성된 반도체층은, 반도체의 결정 또는 결정립의 여러 가지의 면방위가 평균화된다는 이점이 있다. 상기 사다리꼴의 「개방각도」는, 비평행의 2직선이 이루는 각도를 말한다.

큰 입자직경을 가지는 결정립으로 이루어지고, 결정립계가 방사상으로 신장되는, 예를 들면 원형의 평면형상을 가지는 다결정 실리콘막의 일부를 활성층층으로서 사용하는 경우에는, 예를 들면, 다음과 같은 이점이 있다. 후술하는 바와 같이, 제 1의 부채꼴 형상의 활성층에 N형의 박막 트랜지스터를 형성하고, 제 2의 부채꼴 형상의 활성층에 P형의 박막 트랜지스터를 형성해서 서로 상대되도록 점대칭의 위치에 하나의 결정립내에 제작함으로써, 종래에 비해서 보다 우수한 상보성을 나타내는 상보형 회로장치(이하 「CMOS장치」라 함)를 제작할 수 있다. 사다리꼴 형상 또는 부채꼴 형상의 반도체층에는, 박막 트랜지스터, CMOS장치 등 다이오드 등의 트랜지스터를 형성해도 된다.

상기 비특허문헌 2와 같은, 반도체의 결정에 대한 이차원 방향의 결정 방위와 전계효과 이동도에 대한 고찰을 참고로 해서, 상기 부채꼴의 개방각도와 상기 이동도의 관계에 대하여 검토하였다.

도 2에, 상기 다결정 실리콘막과 같은 반도체막의 일부를 활성층층으로 하였을 때에 있어서의, 부채꼴 형상의 결정의 중심축과 (001)방향이 이루는 각도에 대한 전계효과 이동도의 변화에 대해 부채꼴의 개방각도를 변경해서 행한 실험을 설명하는 도면을 나타낸다.

도 2에 있어서, (1)은 거의 원형(이하 「원형상」이라 함)의 반도체막, (2)는 부채꼴 형상의 결정, (A)는 부채꼴 형상의 결정의 중심축, (B)는 (001)방향, (θ)는 부채꼴의 개방각도, (C)는 부채꼴 형상의 결정의 중심축(A)과 (001)방향(B)이 이루는 각도를 나타낸다.

도 3에, 상기 실험의 결과인 전계효과 이동도의 방위 의존성에 대한 도면을 나타낸다. 부채꼴의 개방각도(θ)에서의, 부채꼴 형상의 결정의 중심축(A)의 방위와 상대적인 상기 이동도와와의 관계가 나타나 있다.

도 3에 나타난 바와 같이, 부채꼴의 개방각도(θ)(도 2)가 클 때, 상기 이동도의 불규칙함이 작다. 즉, 부채꼴 형상의 결정의 중심축(A)(도 2)이 (001)방향(B)에서 벗어날 때, 상기 이동도에 차가 거의 없다. 또 부채꼴 형상의 결정의 중심축(A)을 (001)방향(B)으로 하였을 때, 그 외의 방향이 포함되는 쪽이 불규칙함이 작다. 도 3에서 알 수 있는 바와 같이, 부채꼴의 개방각도(θ)를 20도 이상으로 함으로써, 상기 이동도의 불규칙함이 거의 5% 이내에 들어간다.

즉, 박막 트랜지스터가 형성되는 활성층은, 20도 이상의 개방각도(θ)를 가지는 부채꼴 형상일 때, 활성층내의 반도체(예를 들면 실리콘)의 결정 방위에 불규칙함이 있더라도, 박막 트랜지스터의 전기적인 특성의 이동도의 불규칙함은 충분히 작다.

상기 박막 트랜지스터는 반도체로 이루어지는 활성층과, 상기 활성층의 상측 또는 상기 활성층의 하측의 적어도 일부에 직접 또는 간접적으로 형성된 게이트전극을 포함한다. 활성층은 게이트전극층의 하측 또는 상측에 위치하는 채널영역과, 채널영역의 측방에 위치하는 소스영역 및 드레인영역을 가진다.

채널영역과 소스영역의 접합면의 길이의 중간위치와, 채널영역과 드레인영역의 접합면의 길이의 중간위치를 연결하는 가상선(Lm)과, 결정립계의 신장방향으로 신장되는 가상선(Lg)이 이루는 각도를 α (이하 「트랜지스터의 방향에 대한 각도」라 함)로 한다. 또, 채널영역과 소스영역의 접합면의 길이와, 채널영역과 드레인영역의 접합면의 길이에 의해 규정되는 개방각도를 β 로 한다. 상기 활성층이 1이상의 결정립계를 포함할 때, α 와 β 의 차가 20도 이상이 되도록 활성층을 배치함으로써, 박막 트랜지스터의 전기적인 특성은 양호하고, 또 그 불규칙함이 작다. 복수의 결정립계의 방향에 대해서, 방사상 또는 평행의 어느 것이라도 된다.

또 제 1의 부채꼴 형상의 활성층에 형성된 N형의 박막 트랜지스터 및 제 2의 부채꼴 형상의 활성층에 형성된 P형의 박막 트랜지스터를 서로 상대되도록 점대칭의 위치에 1개의 결정립내에 제작함으로써, 박막 트랜지스터의 전기적인 특성이 동일해지고, 후술하는 바와 같이, 설계된 바와 같은 상보성을 나타내는 상보형 회로가 얻어진다.

실시형태 1

도 1(a)는, 본 발명에 관한 박막 트랜지스터의 실시형태 1의 개략 구성을 나타내는 평면도, 도 1(b)는 도 1(a)의 단면도, 도 1(c)는, 본 실시형태 1에 관한 다른 박막 트랜지스터의 개략 구성을 나타내는 평면도, 도 1(d)는 도 1(c)의 단면도를 각각 나타낸다.

도 1에 있어서, (10)은 박막 트랜지스터, (11)은 1도전형 반도체 예를 들면 n형 실리콘(Si)으로 이루어진 거의 사다리꼴 형상의 평면형상을 가지는 활성층, (12)는 반도체층(11)내에 고농도 불순물을 주입해서 형성된 소스영역, (13)은 반도체층(11)내에 고농도 불순물을 주입해서 형성된 드레인영역, (14)는 소스영역(12)과 드레인영역(13)의 사이에 위치하는 채널영역(16)의 상측에 형성된 게이트전극, (15)는 게이트절연막을 나타낸다.

또, 도 1에 있어서, (17)은 소스영역(12)과 드레인영역(13)이 형성되어 있는 방향{소스-드레인방향(17)으로 기재함}을 나타낸다. 또, W_s 는, 채널영역(16)과 소스영역(12)의 접합면의 길이를 나타낸다. 즉, W_s 는, 소스영역(12)의 게이트전극(14)의 단부 근방에서의 폭치수(동방향에서의 폭치수를 포함함)를 나타낸다. W_d 는, 채널영역(16)과 드레인영역(13)의 접합면의 길이를 나타낸다. 즉, W_d 는, 드레인영역(13)의 게이트전극(14)의 단부 근방에서의 폭치수를 나타낸다. 소스-드레인방향(17)은, 소스영역(12)에서 드레인영역(13)으로 캐리어가 흐르는 방향(채널방향)을 나타낸다.

본 실시형태 1에서는 반도체로 이루어지는 활성층(11)내의 소스영역(12) 및 드레인영역(13)과, 소스영역(12)과 드레인영역(13)의 사이에 위치하는 채널영역(16)의 상측 또는 하측에 형성된 게이트전극(14)을 포함하는 박막 트랜지스터에 있어서, 채널영역(16)과 소스영역(12)의 접합면의 게이트전극(14)의 단부 근방의 폭치수(길이)(W_s)와, 채널영역(16)과 드레인영역(13)의 접합면의 게이트전극(14)의 단부 근방의 폭치수(길이)(W_d)가 다르다.

즉, $W_s > W_d$ {도 1(a),(b)}, 또는, $W_s < W_d$ 이다{도 1(c),(d)}.

활성층(11)은 거의 사다리꼴 또는 거의 부채꼴의 평면형상을 가진다. 상기 거의 사다리꼴 및 상기 거의 부채꼴은, $W_s > W_d$ 또는 $W_s < W_d$ 의 관계를 만족시키는 형상을 포함한다.

게이트전극(14)이 활성층(11)의 하측에 위치하는 경우에 대해서는, 활성층(11)의 하측에 게이트절연막을 통해서 게이트전극(14)이 형성되는 것을 제외하고 동일하므로, 도시를 생략한다.

도 4에, 본 실시형태 1에 관한 사다리꼴 형상의 활성층(11)의 개략 형상과, 상기 사다리꼴의 개방각도(θ)를 나타내는 개략 평면도를 나타낸다.

본 실시형태 1에서는, 도 4에 나타낸 바와 같이, 상기 사다리꼴 또는 부채꼴 형상의 활성층(11)은, 20도 이상의 개방각도(θ)를 가진다. 이미 도 2, 도 3을 참조해서 설명한 바와 같이, 중심축(A)방향 이외의 방향이, 보다 많이 포함되어 있는 쪽이 전계효과 이동도의 불규칙함이 작기 때문에, 상기 사다리꼴의 개방각도(θ)가 20도 이상일 때, 상기 전계효과 이동도의 불규칙함이 거의 5% 이내에 들어가고, 디바이스 특성의 불규칙함이 작아진다. 부채꼴의 경우도 마찬가지이다.

도 5(a)~(d)에, 각각 사다리꼴 형상의 활성층(11)에서의 결정립계(21)에 대한 개략 평면도를 나타낸다.

도 5(a), (b)에, 본 실시형태 1에 따르는 활성층(11)의 결정립계(21)를 나타낸다. 비교를 위해, 도 5(c), (d)에, 종래의 형태에 따르는 활성층(11)의 결정립계(21)를 나타낸다.

본 실시형태 1에서는, 도 5(a), (b)에 나타낸 바와 같이, 활성층(11)의 소스-드레인방향과 해당 활성층(11)내의 결정립계의 방향이 거의 일치하도록, 해당 활성층(11)이 배치되어 있다.

본 실시형태 1에서는, 도 5(a), (b)에 나타낸 바와 같이, 소스-드레인방향(17), 즉, 전기 전도의 담체인 전자 또는 정공의 이동하는 방향에 개략 평행의 방향으로 결정립계(21)가 존재하기 때문에, 결정립계(21)에 의한 포텐셜 배리어가 담체이동 방향에 존재하지 않기 때문에, 박막 트랜지스터의 전기적인 특성은 양호하다. 이에 비해, 도 5(c), (d)에 나타낸 바와 같이, 소스-드레인방향(17)을 가로지르는 방향의 결정립계(21)가 존재하는 경우, 결정립계(21)에 의한 포텐셜 배리어수가 전류량에 영향을 미치기 때문에 상기 전기적인 특성은 양호하지 않다.

도 6(a)에 결정립계(21)가 방사상으로 신장되는 원형상의 반도체막(1)의 개략 평면도를, 도 6(b)에 상기 원형의 반도체막(1)에서의 활성층(11a)~(11e)의 형성위치의 예를 나타내는 개략 평면도를 나타낸다.

(22)는 활성층(11a)~(11e)내에서의 전류가 흐르는 방향을 나타낸다.

본 실시형태 1에서는, 박막 트랜지스터의 주요부를 이루는 활성층은, 결정립계가 방사상으로 신장되는 반도체막, 예를 들면 도 6(a), (b)의 원형상의 반도체막(1)의 일부를 사용해서 형성되어 있다. 도 6(b)에 나타낸 바와 같이, 활성층(11a), (11b), (11c)은, 활성층(11)의 소스-드레인방향(17){즉, 전류가 흐르는 방향(22)}과 상기 방사방향이 거의 일치하는 위치에 있다.

이에 의해, 소스-드레인방향(17), 즉, 전기 전도의 담체인 전자 또는 정공의 이동하는 방향을 따라서 결정립계(21)가 존재하기 때문에, 박막 트랜지스터의 전기적인 특성은 양호하다. 이에 비해, 도 6(b)의 활성층(11d), (11e)은, 본 실시형태 1에 의하지 않은 경우이고, 소스-드레인방향(17){즉, 전류가 흐르는 방향(22)}을 가로지르는 방향의 결정립계(21)가 존재하기 때문에, 상기 전기적인 특성은 양호하지 않다.

도 7에, 본 실시형태 1의 박막 트랜지스터의 개략 평면도를 나타낸다.

도 7에 있어서, (32)는 소스전극, (33)은 드레인전극, (42)는 소스영역(12)과 소스전극(32)의 전기적인 접속을 위해 형성된 콘택트 홀, (43)은 드레인영역(13)과 드레인전극(33)의 전기적인 접속을 위해 형성된 콘택트 홀을 나타낸다. 콘택트 홀(42), (43)은 전류가 결정립계(21)를 따라서 흐르고, 전류밀도가 균일하게 되도록, 소스영역(12) 및 드레인영역(13)의 각각에 이들의 폭방향으로 다수개 나란히 배치되어 있다.

도 7에 나타낸 박막 트랜지스터(10)에서는 소스영역(12)의 게이트전극(14)의 단부 근방의 폭치수는, 드레인영역(13)의 게이트전극(14)의 단부 근방의 폭치수보다 크다. 활성층(11)은 거의 부채꼴의 평면형상을 가진다. 도시는 생략하지만, 드레인영역(13)의 게이트전극(14)의 단부 근방의 폭치수가 소스영역(12)의 게이트전극(14)의 단부 근방의 폭치수보다 큰 경우이어도 된다.

《제조공정》

도 8(a)~도 10(u)에 본 실시형태 1의 박막 트랜지스터의 제조공정에서의 개략 단면도를 나타낸다.

먼저, 도 8(a)에 나타낸 바와 같이, 액정 디스플레이 제작용의 유리기관(51)상에, 플라즈마 CVD법에 의해서 기관온도 500℃, 퇴적시간 40분간의 조건에서, 800nm의 막두께를 가지는 베이스 산화막(SiO₂막)(52)을 형성한다.

다음에, 도 8(b)에 나타낸 바와 같이, Si₂H₆가스를 유속150cccm, 압력8Pa의 조건으로 공급하고 있는 동안에, LP(low pressure)-CVD법에 의해서, 기관온도 450℃, 퇴적시간 70분간의 조건에서, 100nm의 막두께를 가지는 활성층 형성용의 a-Si(아모르퍼스 실리콘)막(53)을 형성한다. 그 후, 도펀트로서 붕소(54)를 이온 샤워 도핑법에 의해 도핑한다.

다음에, 도 8(c)에 나타낸 바와 같이, KrF(불화 크립톤) 엑시머 레이저광(55)을 350mJ·cm⁻²의 강도로 조사한다. 중심에서 약하고 또한 주변에서 강한 레이저 광강도를 가지며, 동심원의 단면형상을 가지는 레이저광을 조사함으로써, 큰 입자직경을 가지는 결정립으로 이루어진 원판상의 다결정 실리콘막(56){도 8(d)}이 얻어진다.

다음에, 도 8(d)에 나타낸 바와 같이, LP-CVD법에 의해서 기관온도 500℃, 퇴적시간 10분간의 조건에서, 10nm의 막두께를 가지는 보호 산화막(SiO₂막)(57)을 형성한다.

다음에, 도 8(e)에 나타낸 바와 같이, 레지스트재를 도포하고, 노광 및 현상을 행하여, 패터닝된 레지스트막(58)을 형성한다.

다음에, 도 8(f)에 나타낸 바와 같이, 레지스트막(58)을 마스크로 해서, 보호 산화막(57) 및 다결정 실리콘막(56)을, BCl₃+CH₄가스를 사용한 드라이 에칭법에 의해서 가공한다. 이 때, 보호 산화막(57) 및 다결정 실리콘막(56)은 도 1(a), (c)에 나타낸 바와 같은 사다리꼴 형상{활성층(11)의 평면형상}, 또는 도 7에 나타낸 바와 같은 부채꼴 형상{활성층(11)의 평면형상}으로 가공한다.

다음에, 도 8(f)의 레지스트막(58)을 도 8(g)에 나타낸 바와 같이 제거한다.

다음에, 도 9(h)에 나타낸 바와 같이, LP-CVD법에 의해서 기관온도 500℃, 퇴적시간 60분간의 조건에서, 100nm의 막두께를 가지는 게이트산화막(SiO₂막)(59)을 형성한다.

다음에, 도 9(i)에 나타낸 바와 같이, 스퍼터링법에 의해서 기관온도 100℃, 퇴적시간 10분간의 조건에서, 100nm의 막두께를 가지는 게이트전극형성용의 Mo(몰리브덴)막(60)을 형성한다.

다음에, 도 9(j)에 나타낸 바와 같이, 레지스트재를 도포하고, 노광 및 현상을 행하여, 패터닝된 레지스트막(61)을 형성한다.

다음에, 도 9(k)에 나타낸 바와 같이, 레지스트막(61)을 마스크로 해서, BCl₃+CH₄가스를 사용한 드라이 에칭법에 의해서 Mo막(60)을 가공하고, 게이트전극(62)을 형성한다.

다음에, 도 9(k)에 나타낸 레지스트막(61)을 도 10(l)에 나타낸 바와 같이 제거한다.

다음에, 도 9(m)에 나타낸 바와 같이, 플라즈마 CVD법에 의해서 기관온도 500℃, 퇴적시간 20분간의 조건에서, 200nm의 막두께를 가지는 패시베이션(passivation)막(SiO₂막)(63)을 형성한다.

다음에, 도 9(n)에 나타낸 바와 같이, 레지스트재를 도포하고, 노광 및 현상을 행하여, 패터닝된 레지스트막(64)을 형성한다.

다음에, 도 9(o)에 나타낸 바와 같이, 레지스트막(64)을 마스크로 해서, CHF₃+O₂가스를 사용한 드라이 에칭법에 의해서 콘택트 홀(65)을 형성한다.

다음에, 도 9(o)에 나타낸 레지스트막(64)을 도 10(p)에 나타낸 바와 같이 제거한다.

다음에, 도 10(q)에 나타난 바와 같이, 소스영역 및 드레인영역을 형성하기 위해 인(66)의 이온 도핑을 행한 후, 500℃의 질소 분위기중에서 도펀트의 활성화 어닐을 3시간 행하여, 소스영역(67) 및 드레인영역(68)을 형성한다. (69)는 소스영역(67)과 드레인영역(68)의 사이에 위치하는 채널영역을 나타낸다.

다음에, 도 10(r)에 나타난 바와 같이, 스퍼터링법에 의해서 기판온도 100℃, 퇴적시간 10분간의 조건에서, 100nm의 막두께를 가지는 전극용 Al(알루미늄)막(70)을 형성한다.

다음에, 도 10(s)에 나타난 바와 같이, 레지스트재를 도포하고, 노광 및 현상을 행하여, 패터닝된 레지스트막(71)을 형성한다.

다음에, 도 10(t)에 나타난 바와 같이, 레지스트막(71)을 마스크로 해서, $\text{BCl}_3 + \text{CH}_4$ 가스를 사용한 드라이 에칭법에 의해서 Al막(70)을 가공하고, 소스전극(72), 드레인전극(73) 및 게이트전극(게이트전극(62)의 유도전극)(74)을 형성한다.

마지막으로, 도 10(t)에 나타난 레지스트막(71)을 도 10(u)에 나타난 바와 같이 제거한다. 이에 의해 박막 트랜지스터(10)가 제조된다.

실시형태 2

도 11(a)에, 본 실시형태 2의 상보형 회로장치(이하 「CMOS장치」라 함)의 평면도, 도 11(b)에 그 회로도도를 나타낸다.

도면에 있어서 (80)은 상보형 회로장치, (81)은 P형 박막 트랜지스터, (82)는 N형 박막 트랜지스터, (91)은 P형 박막 트랜지스터(81)의 소스영역(83)에 접속된 소스전극, (92)는 P형 박막 트랜지스터(81)의 게이트전극(84) 및 N형 박막 트랜지스터(82)의 게이트전극(85)에 접속된 입력전극, (93)은 P형 박막 트랜지스터(81)의 드레인영역(86)과 N형 박막 트랜지스터(82)의 드레인영역(87)에 접속된 출력전극, (94)는 N형 박막 트랜지스터(82)의 소스영역(88)에 접속된 소스전극을 나타낸다.

콘택트 홀(95,96,97,98)은 전류가 결정립계(21)를 따라서 흐르고, 전류밀도가 균일하게 되도록, 소스영역(83,88) 및 드레인영역(86,87)의 각각에 이들의 폭방향으로 다수개 나란히 배치되어 있다.

도 11(a)에 나타난 상보형 회로장치(80)의 P형 박막 트랜지스터(81)에서는, 소스영역(83)의 게이트전극(84)의 단부 근방의 폭치수는, 드레인영역(86)의 게이트전극(84)의 단부 근방의 폭치수보다 크다. 또 활성층(89)은 거의 부채꼴의 평면형상을 가진다. 상보형 회로장치(80)의 N형 박막 트랜지스터(82)에서는, 소스영역(88)의 게이트전극(85)의 단부 근방의 폭치수는, 드레인영역(87)의 게이트전극(85)의 단부 근방의 폭치수보다 크다. 또 활성층(90)은 부채꼴의 평면형상을 가진다.

즉, 본 실시형태 2에서는 1개의 결정립으로 이루어지는 원형상의 반도체막(1)에 있어서, 각각이 거의 부채꼴의 평면형상을 가지는 N형 박막 트랜지스터(82) 및 P형 박막 트랜지스터(81)를 이들이 서로 상대되도록 점대칭의 위치에 제작하고, 상보형 회로장치를 구성하였다.

본 실시형태 2에서는, 반도체막(1)이 1개의 결정립으로 이루어지기 때문에, 종래와 비교해서 보다 우수한 상보성을 나타내는 상보형 회로장치(80)가 얻어진다.

《제조공정》

도 12(a),(b)에 본 실시형태 2의 상보형 회로장치의 제조공정에서의 개략 단면도를 나타낸다.

본 실시형태 2에서는, 상기 실시형태 1의 제조공정에서의 도 10(q)에 나타난 바와 같은 이온 도핑공정에 있어서, P형으로 하는 박막 트랜지스터(81)에 이온 도핑처리가 되지 않도록 레지스트막(76)으로 마스크한 후, N형으로 하는 박막 트랜지스터(82)에만 예를 들면 인(66)을 도핑한다. 그 후, 반대로, N형으로 하는 박막 트랜지스터(82)에 이온 도핑처리가 되지 않도록 레지스트막(77)으로 마스크한 후, P형으로 하는 박막 트랜지스터(81)에만 예를 들면 붕소(78)를 도핑한다.

상기 도핑 후, 500℃의 질소 분위기 중에서 도펀트의 활성화 어닐을 3시간 행한다.

실시형태 3

상기 실시형태 1에서의 제조공정에서는, 도 8(c)에 있어서, a-Si막(53)에 KrF 엑시머 레이저광(55)을 조사해서 다결정 실리콘막(56){도 8(d)}을 얻는 것에 대하여, 중심에서 약하고 또한 주변에서 강한 레이저광 강도를 가지며, 동심원의 단면형상을 가지는 레이저광을 조사함으로써, 큰 입자직경을 가지는 결정립으로 이루어지는 원판상의 다결정 실리콘막(56){도 8(d)}이 얻어진다고 하였다. 이 다결정 실리콘막(56)은 도 2, 도 6(a),(b) 및 도 7의 원형상의 반도체막(1)에 상당한다.

도 13(a)에 도 8(c)와는 다른 KrF 엑시머 레이저광(55)의 조사방법을 나타낸 개략 사시도, 도 13(b)에, 그 결과 형성된 결정립을 나타내는 개략 평면도를 나타낸다.

도 13(a)에 나타낸 바와 같이, KrF 엑시머 레이저광(55)을 $350\text{mJ}\cdot\text{cm}^{-2}$ 의 강도로 조사한다. 레이저광 강도가 중심선(75)상에서 약하고, 외측일수록 강해지게 레이저광 강도를 조정함으로써, 도 13(b)에 나타낸 바와 같이, 중심선(75)에서 상기 중심선(75)과 직각의 방향으로 외측으로 길게 신장되는 큰 결정립(31)을 가지는 다결정 실리콘막이 얻어진다. 이러한 가늘고 긴 결정립(31)을 가지는 반도체막에 있어서는 결정립계(21)가 평행하게 신장되어 있다.

도 14(a)에 도 13(b)에 나타낸 결정립계(21)가 평행하게 신장된 가늘고 긴 결정립(31)의 개략 평면도, 도 14(b)에 가늘고 긴 결정립(31)에서의 활성층(11)의 배치예를 나타내는 개략 평면도를 나타낸다.

활성층(11)이 도면에 있어서 상측에 위치하는 것일수록, 상기 활성층을 함유하는 박막 트랜지스터에서의 전기적인 특성은 양호하다. 한편, 활성층(11)이 도면에 있어서 하측에 위치하는 것일수록 상기 전기적인 특성은 양호하지 않다.

즉, 본 실시형태 1에서는 박막 트랜지스터의 주요부를 이루는 활성층은 결정립계가 평행하게 신장되는 반도체로 이루어지는 층이다. 결정립은, 예를 들면 도 14(a),(b)에 나타낸 바와 같이 가늘고 긴 결정립(31)이다. 활성층(11g),(11h),(11i),(11m)은 거의 사다리꼴의 평면형상을 가진다. 활성층(11f),(11j),(11k),(11l)은 거의 직사각형의 평면형상을 가지는 활성층이고, 비교를 위해서 나타낸다.

활성층(11f),(11g),(11h),(11i)의 소스-드레인방향(즉 전류가 흐르는 방향)은, 상기 평행방향을 따르도록 배치되어 있다. 이에 의해 소스-드레인방향(17), 즉, 전기 전도의 담체인 전자 또는 정공의 이동하는 방향을 따라서 결정립계(21)가 존재하기 때문에, 박막 트랜지스터의 전기적인 특성은 양호하다.

이에 비해, 도 14(b)에 나타낸 활성층(11j),(11k),(11l),(11m)은 소스-드레인방향을 가로지르는 방향의 결정립계(21)가 존재하는 정도가 높기 때문에, 상기 전기적인 특성은 양호하지 않다.

상기 활성층이 1이상의 결정립계를 포함할 때, 채널영역과 소스영역의 접합면의 길이의 중간위치와, 채널영역과 드레인영역의 접합면의 길이의 중간위치를 연결하는 가상선과, 결정립계의 신장방향으로 신장되는 가상선이 이루는 각도(이하 「트랜지스터의 방향에 대한 각도」라 함)와, 채널영역과 소스영역의 접합면의 상기 길이와, 채널영역과 드레인영역의 접합면의 상기 길이에 의해 규정되는 개방각도의 차가 20도 이상이 되도록 활성층을 배치함으로써, 박막 트랜지스터의 전기적인 특성은 양호하고, 또 그 불규칙함이 작다.

또한, 액정 디스플레이에서의 화소의 스위칭소자로서, 또는 주변회로의 구성소자로서, 이상에서 설명한 본 발명에 관한 박막 트랜지스터를 사용함으로써, 고성능의 액정 디스플레이를 실현할 수 있다.

이상 본 발명을 실시형태에 의거해서 구체적으로 설명하였으나, 본 발명은 상기의 실시형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에 있어서 여러 가지로 변경가능한 것은 물론이다.

도면의 간단한 설명

도 1은, 본 발명의 실시형태 1에 관한 박막 트랜지스터 및 다른 박막 트랜지스터의 개략 구성을 나타내는 도면으로서, (a)는 본 발명의 실시형태 1에 관한 박막 트랜지스터의 개략 구성을 나타내는 평면도, (b)는 (a)의 단면도, (c)는 본 실시형태 1에 관한 다른 박막 트랜지스터의 개략 구성을 나타내는 평면도, (d)는 (c)의 단면도

도 2는, 원형상의 반도체막에서의, 부채꼴 형상의 결정의 중심축과 (001)방향이 이루는 각도에 대한 전계효과 이동도의 변화를 부채꼴의 개방각도를 변경해서 행한 실험을 설명하는 도면

도 3은, 도 2의 실험결과인 전계효과 이동도의 방위 의존성을 나타내는 도면으로서, 부채꼴의 개방각도(θ)에서의 부채꼴 형상의 결정의 중심축(A)의 방위와 상대 이동도와의 관계를 나타내는 도면

도 4는, 본 실시형태 1에 관한 활성층의 개략 형상과, 사다리꼴의 개방각도를 나타내는 개략 평면도

도 5는, 결정립계를 나타내는 도면으로서, (a)~(d)는 각각 활성층에서의 결정립계를 나타내는 개략 평면도

도 6은, 원형상의 반도체막을 나타내는 도면으로서, (a)는 결정립계가 방사상으로 신장되는 원형상의 반도체막의 개략 평면도, (b)는 원형상의 반도체막에서의 활성층의 배치예를 나타내는 개략 평면도

도 7은, 본 실시형태 1의 박막 트랜지스터의 개략 평면도

도 8은, 본 실시형태 1의 박막 트랜지스터의 제조공정에서의 도면으로서, (a)~(g)는, 본 실시형태 1의 박막 트랜지스터의 제조공정에서의 개략 단면도

도 9는, 본 실시형태 1의 박막 트랜지스터의 제조공정에서의 도면으로서, (h)~(o)는, 본 실시형태 1의 박막 트랜지스터의 제조공정에서의 개략 단면도

도 10은, 본 실시형태 1의 박막 트랜지스터의 제조공정에서의 도면으로서, (p)~(u)는, 본 실시형태 1의 박막 트랜지스터의 제조공정에서의 개략 단면도

도 11은, 본 실시형태 2의 상보형 회로장치를 나타내는 도면으로서, (a)는 본 실시형태 2의 상보형 회로장치의 평면도, (b)는 그 회로도

도 12는, 본 실시형태 2의 상보형 회로장치의 제조공정에서의 도면으로서, (a), (b)는, 본 실시형태 2의 상보형 회로장치의 제조공정에서의 개략 단면도

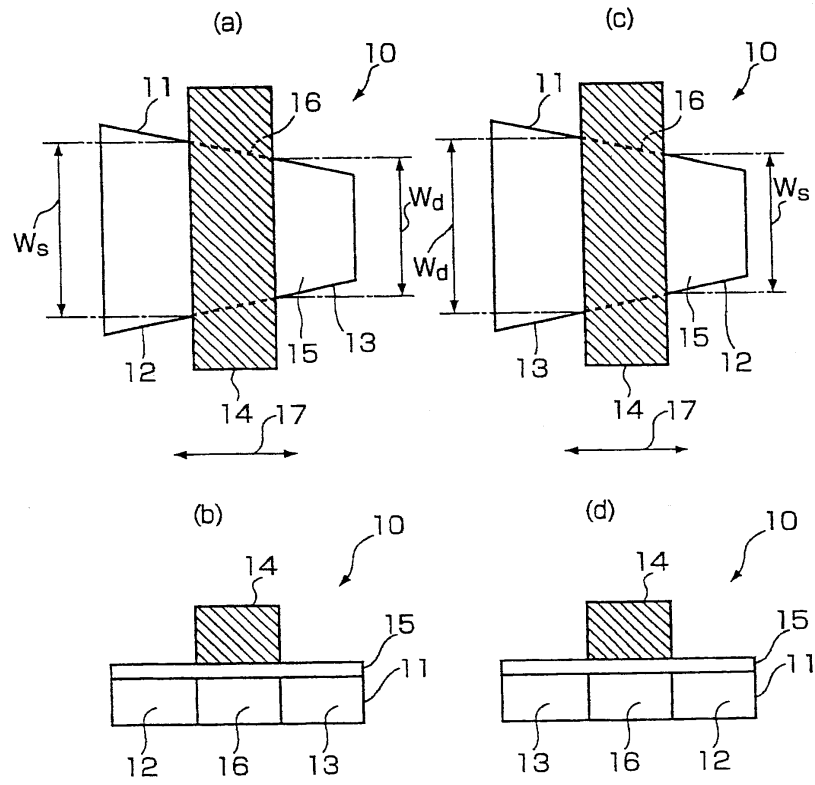
도 13은, 본 발명의 실시형태 3을 나타내는 도면으로서, (a)는, 도 8(c)와는 다른 레이저의 조사방법을 나타내는 개략 사시도, (b)는, 그 결과 형성된 본 발명의 실시형태 3의 결정립을 나타내는 개략 평면도

도 14는, 가늘고 긴 결정립을 나타내는 도면으로서, (a)는 복수의 결정립계가 평행하게 신장되는 가늘고 긴 결정립의 개략 평면도, (b)는 가늘고 긴 결정립에서의 활성층의 배치예를 나타내는 개략 평면도

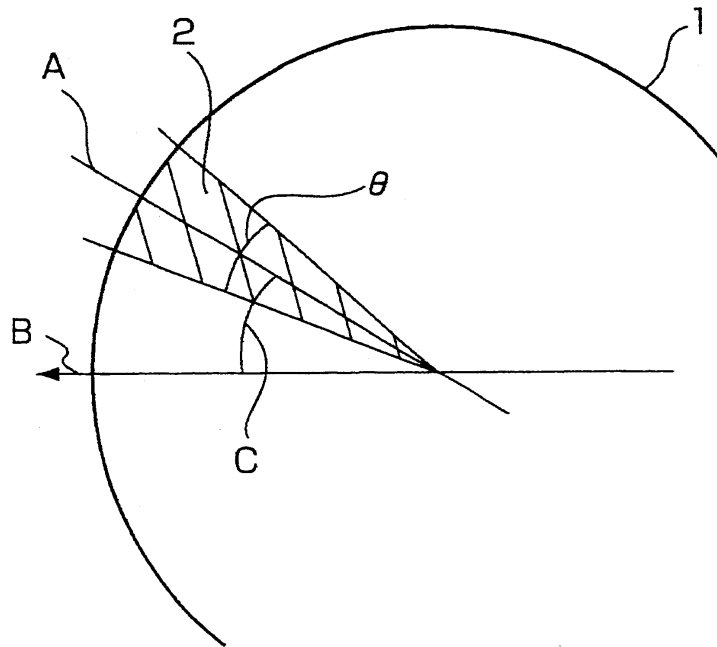
도 15는, 종래의 박막 트랜지스터에서의 반도체로 이루어지는 활성층의 결정립 및 결정립계의 일례를 설명하기 위한 개략 평면도

도면

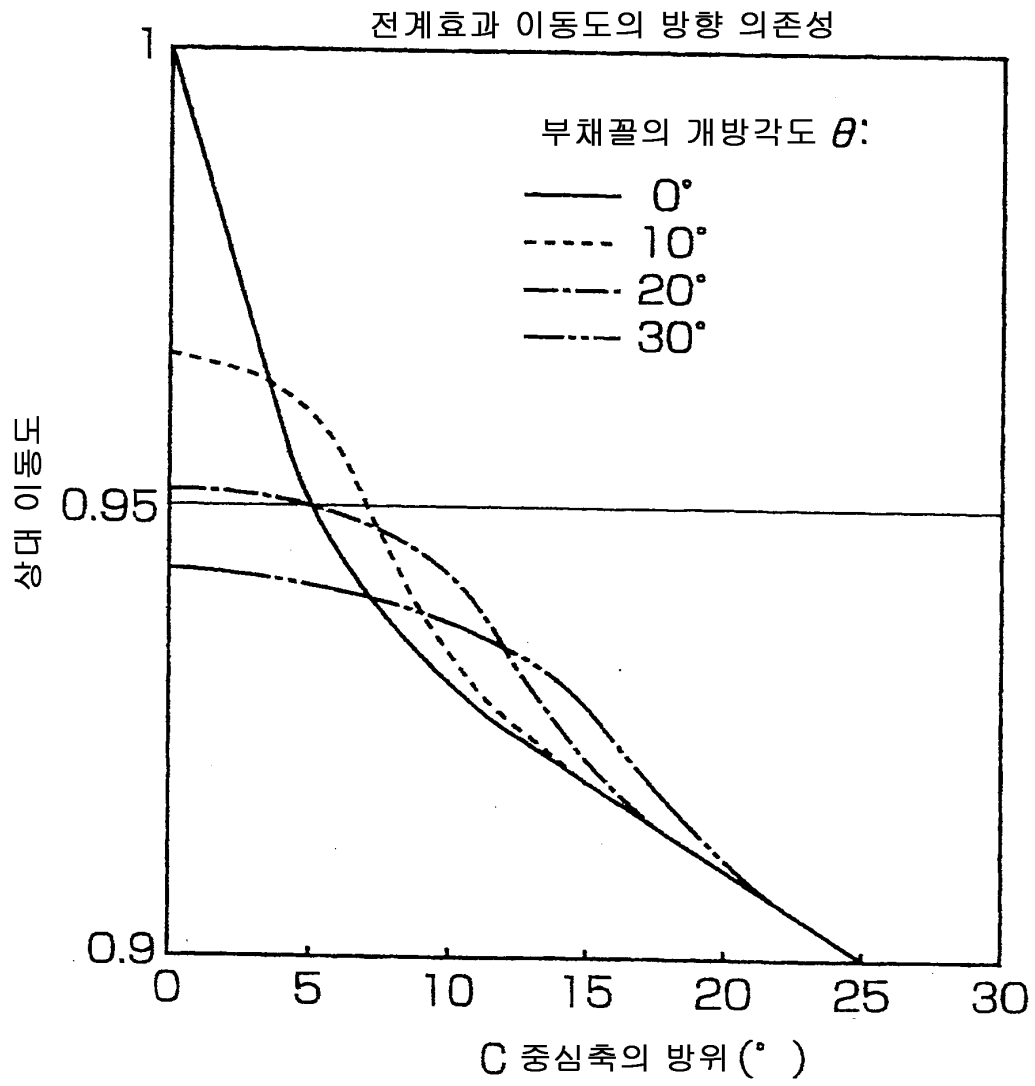
도면1



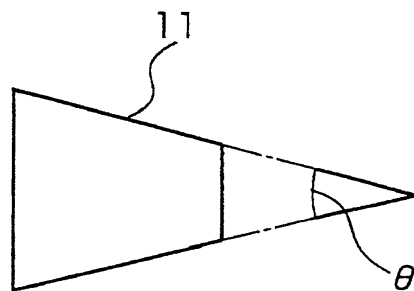
도면2



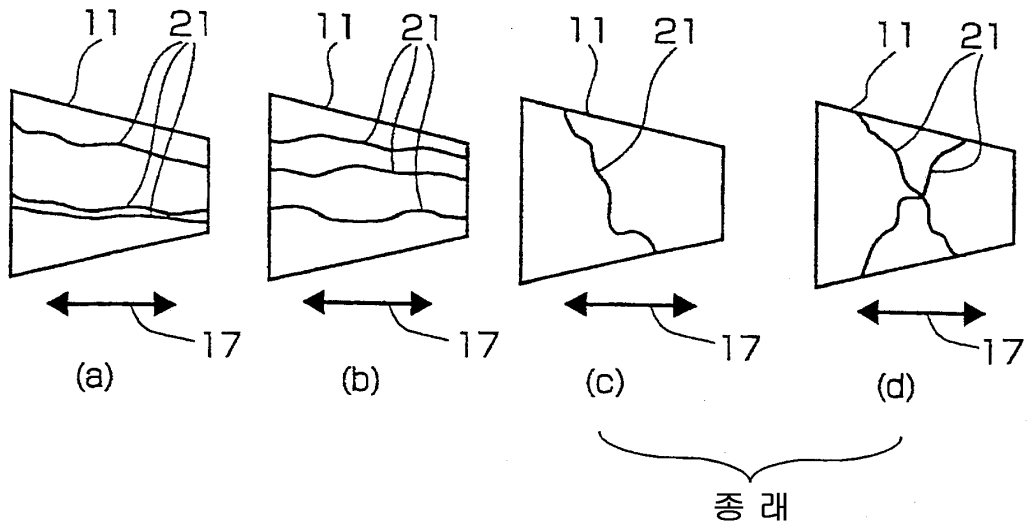
도면3



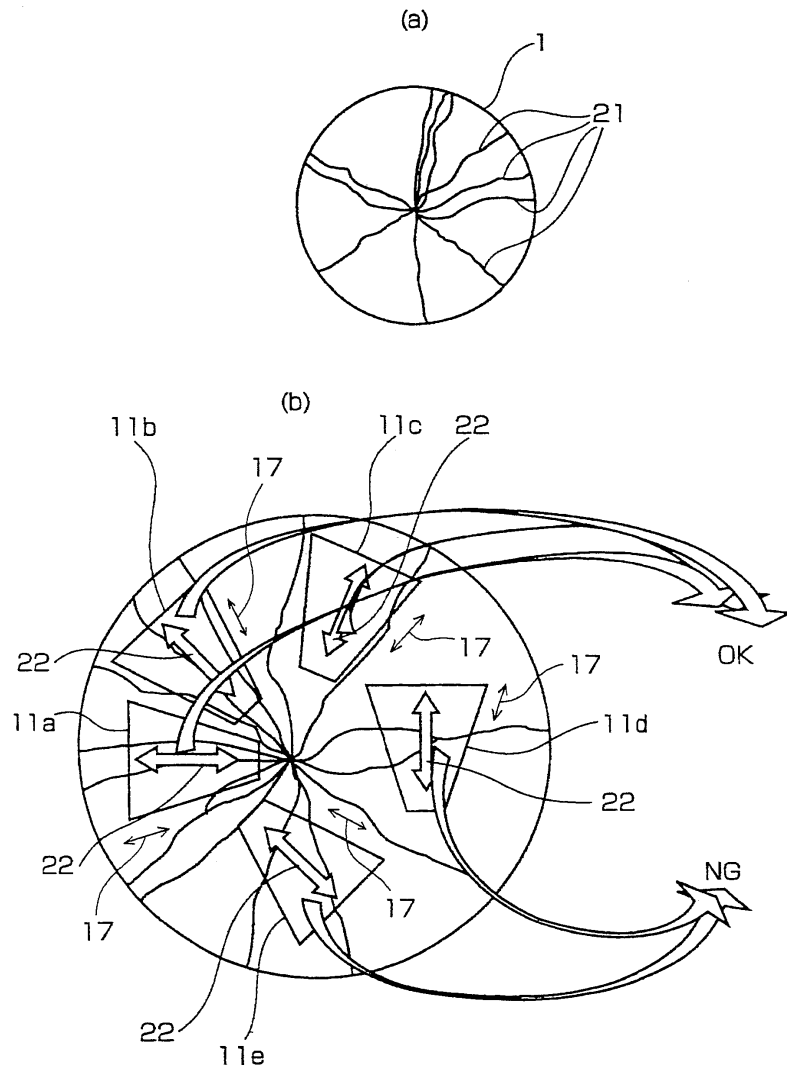
도면4



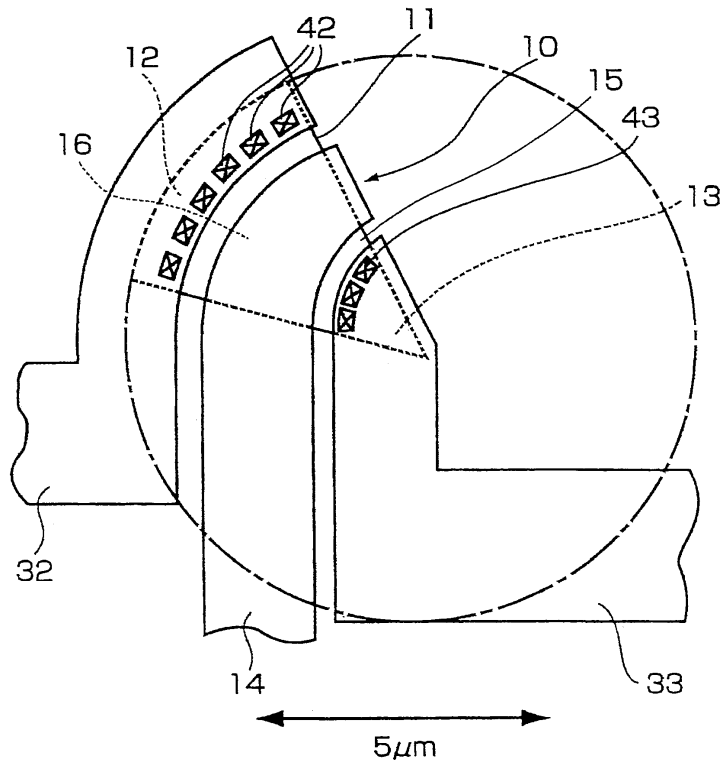
도면5



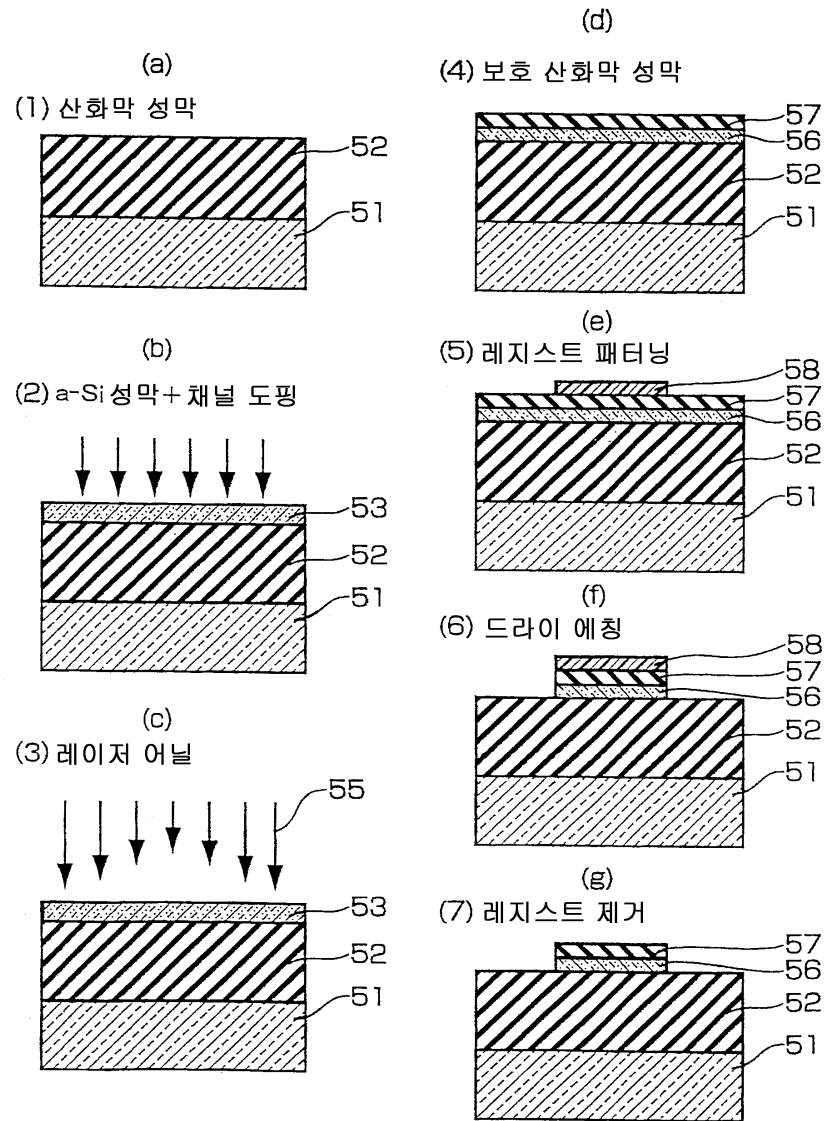
도면6



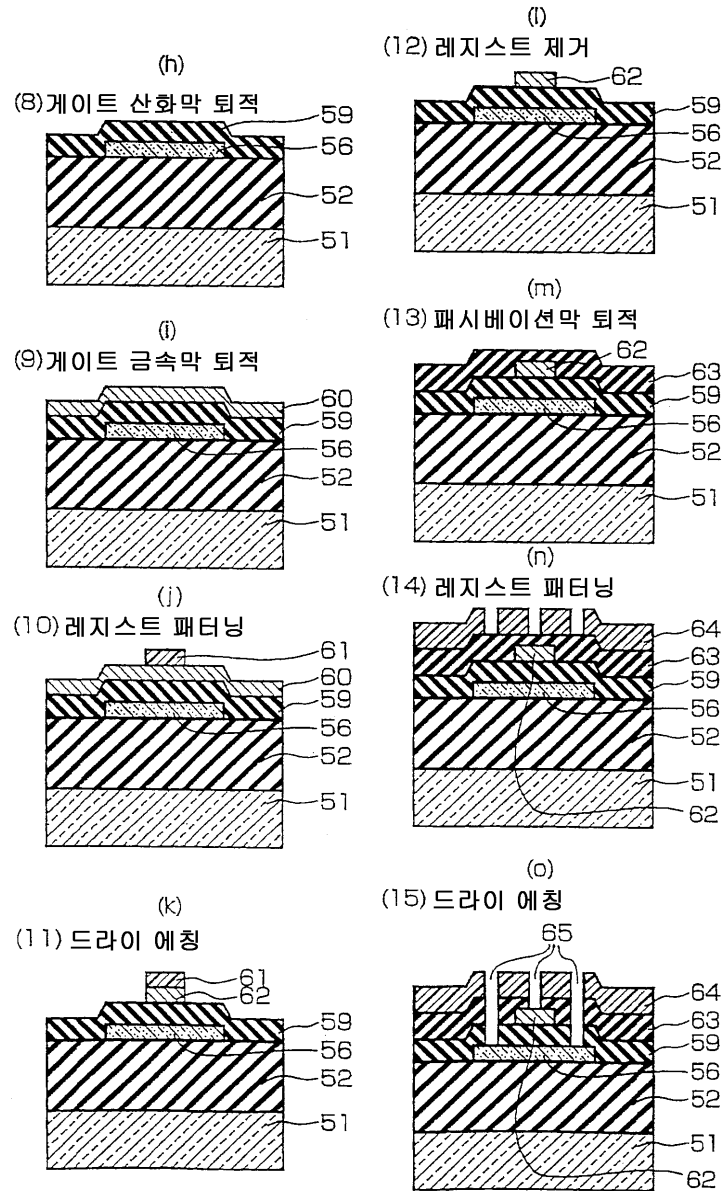
도면7



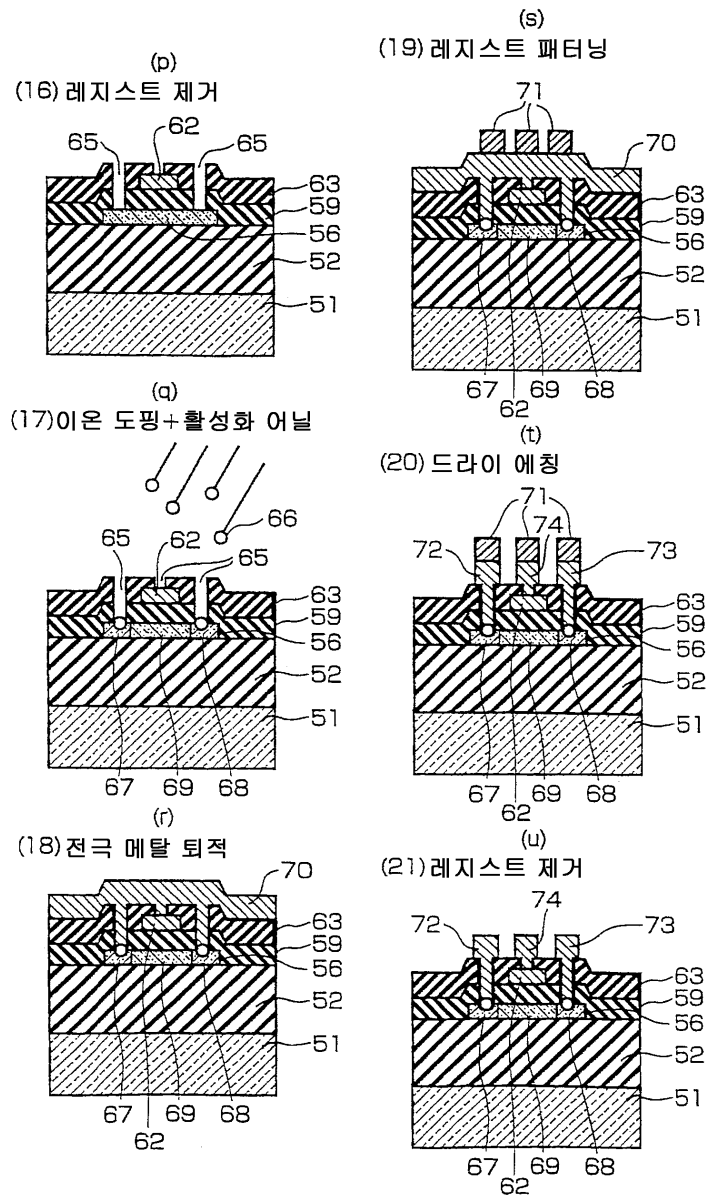
도면8



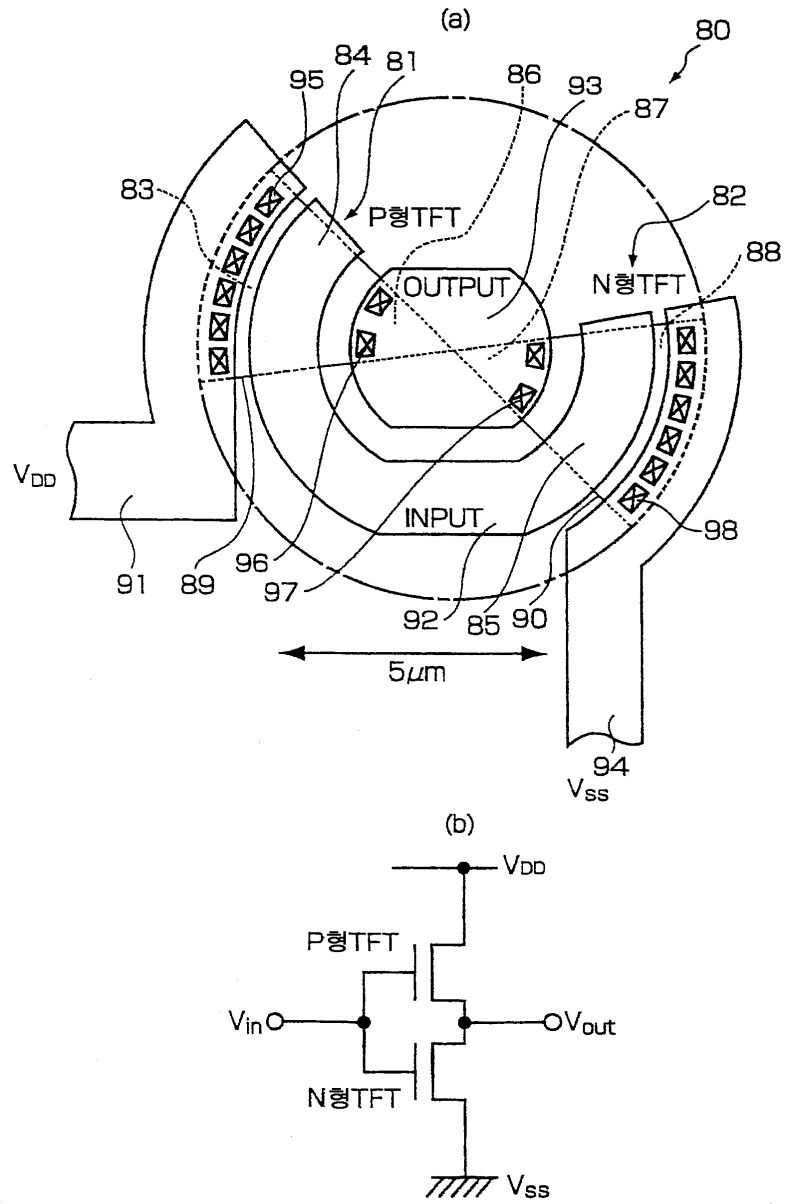
도면9



도면10

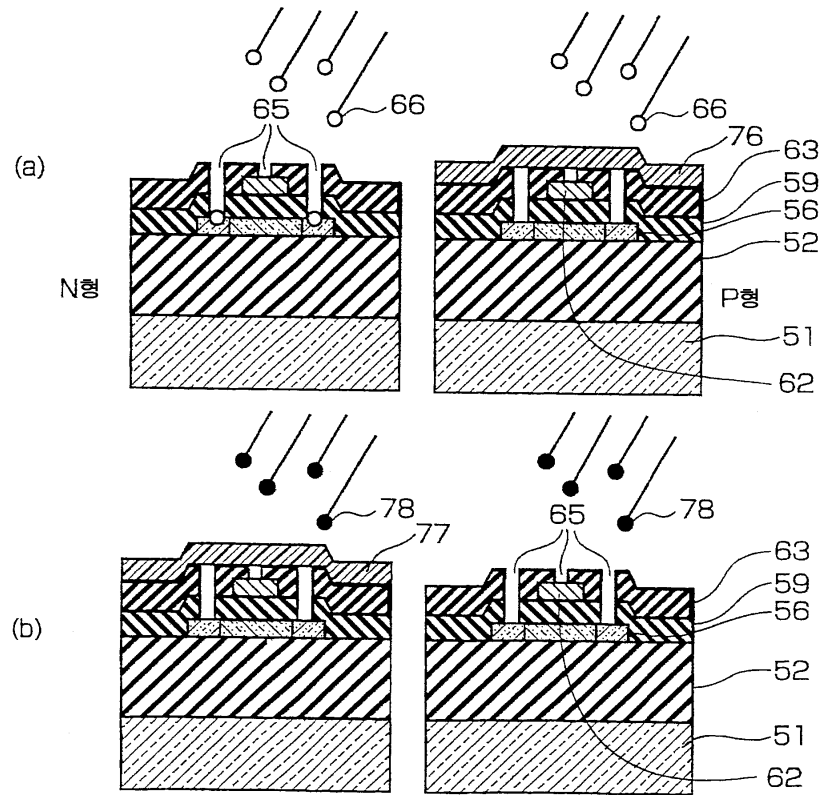


도면11

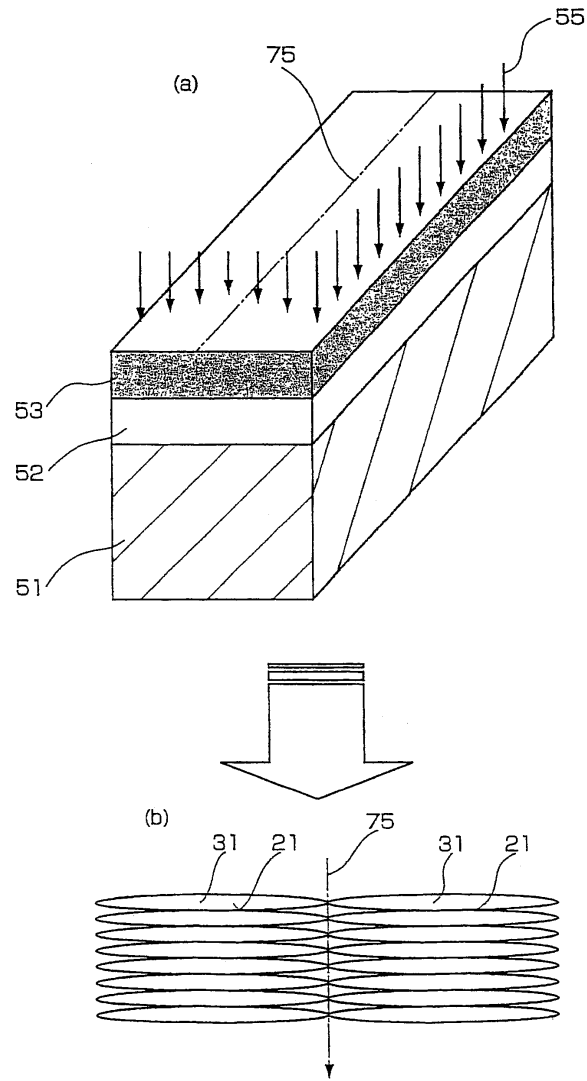


도면12

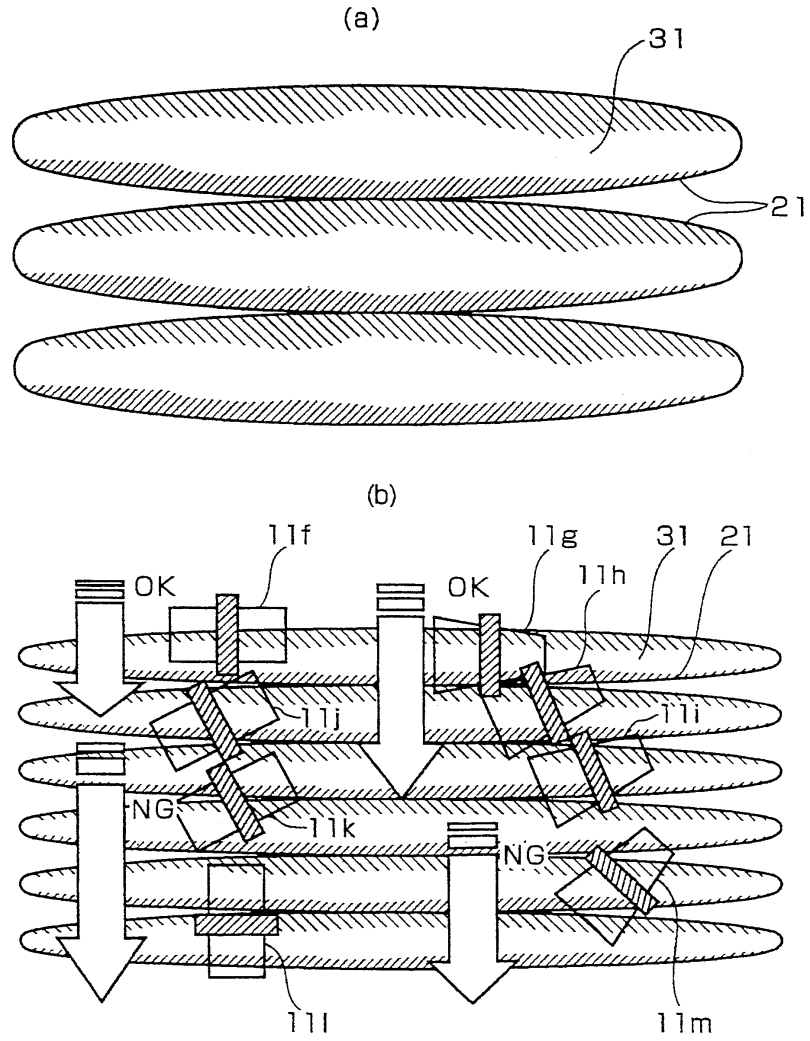
(17) 이온 도핑 + 활성화 어닐



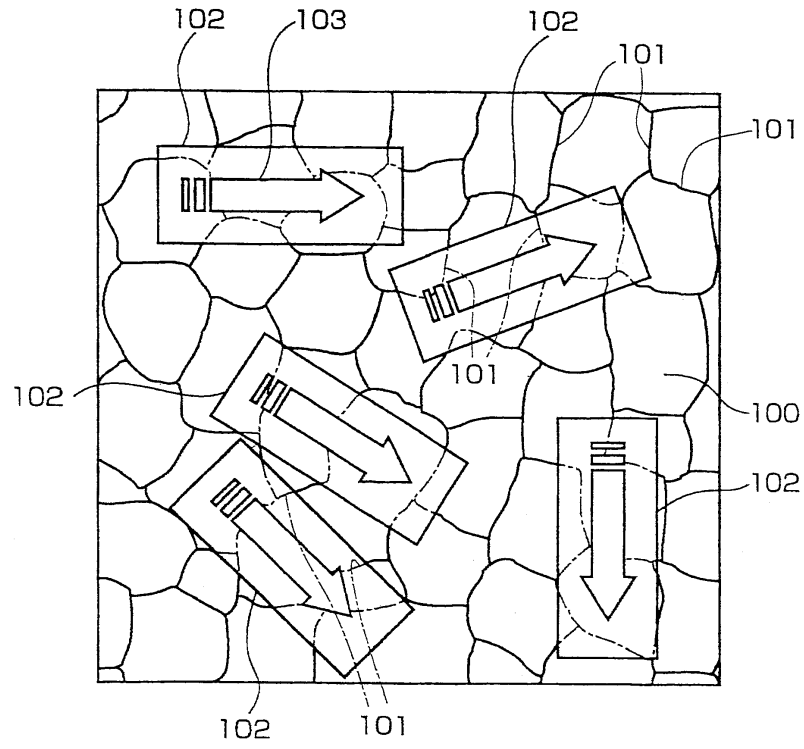
도면13



도면14



도면15



专利名称(译)	薄膜晶体管，电路装置，液晶显示器，半导体装置及其制造方法		
公开(公告)号	KR100660691B1	公开(公告)日	2006-12-21
申请号	KR1020047014924	申请日	2003-03-04
[标]申请(专利权)人(译)	液晶先端技术开发中心股份有限公司		
申请(专利权)人(译)	可否参与这个节目的高弹机莎饰品茨人越中心		
当前申请(专利权)人(译)	可否参与这个节目的高弹机莎饰品茨人越中心		
[标]发明人	HIRAMATSU MASATO 히라마츠마사토 MATSUMURA MASAKIYO 마츠무라마사키요 NISHITANI MIKIHICO 니시타니미키히코 KIMURA YOSHINOBU 기무라요시노부 YAMAMOTO YOSHITAKA 야마모토요시타카		
发明人	히라마츠마사토 마츠무라마사키요 니시타니미키히코 기무라요시노부 야마모토요시타카		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 H01L21/77 H01L27/12 H01L29/04		
CPC分类号	H01L29/78618 H01L29/78675 H01L29/04 H01L27/1296 H01L29/66757 H01L29/78696		
代理人(译)	KIM , BYUNG金		
优先权	2002082451 2002-03-25 JP		
其他公开文献	KR1020040093175A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管包括一个导电类型半导体层 (11) ;源极区域 (12) 和漏极区域 (13) 分别设置在半导体层中;栅极电极 (14) 设置在半导体层的上方或下方, 其间插入有绝缘膜, 其中源极区域与设置在源极区域和漏极之间的沟道 (16) 之间的结面的宽度 (W_s) 区域不同于上述沟道区域和漏极区域之间的结面的宽度 (W_d) 。

