

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>G09G 3/36</i> (2006.01)	(45) 공고일자 2006년08월01일 (11) 등록번호 10-0606972 (24) 등록일자 2006년07월24일
---	--

(21) 출원번호	10-2004-0049020	(65) 공개번호	10-2006-0000115
(22) 출원일자	2004년06월28일	(43) 공개일자	2006년01월06일

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	김인환 서울특별시 강북구 미아8동 314번지 41호
(74) 대리인	김용인 심창섭

심사관 : 정병락

(54) 액정표시장치의 구동부

요약

본 발명은 RC 딜레이를 최소화하여 정확한 샘플링을 할 수 있는 액정표시장치의 구동부에 관한 것으로, 일정주기의 클럭 신호를 출력하는 클럭신호발생기; 상기 클럭신호발생기로부터의 클럭신호에 따라, 입력된 디지털 데이터를 샘플링하여 출력하는 샘플링부; 상기 클럭신호발생기로부터의 클럭신호에 따라, 샘플링부로부터 입력된 상기 샘플링된 디지털 데이터를 후단으로 쉬프트하면서 저장하는 서로 직렬로 연결된 다수개의 래치들; 상기 래치들에 저장된 샘플링된 디지털 데이터를 동시에 읽어들이고, 출력하는 홀딩래치부; 상기 홀딩래치부로부터 출력된 상기 샘플링된 디지털 데이터를 아날로그 데이터로 변환하여 액정패널의 데이터 라인들에 인가하는 디지털-아날로그 변환부를 포함하여 구성되는 것이다.

대표도

도 2

색인어

액정표시장치, 데이터 드라이브 IC, RC 딜레이, 샘플링, 래치

명세서

도면의 간단한 설명

도 1은 종래의 데이터 드라이브 IC의 블록 구성도

도 2는 본 발명의 제 1 실시예에 따른 액정표시장치의 구동부의 블록 구성도

도 3a 내지 도 3d는 도 2의 샘플래치부에서 디지털 데이터의 샘플링과정을 설명하기 위한 도면

도 4는 본 발명의 제 2 실시예에 따른 액정표시장치의 구동부의 블록 구성도

도 5a 내지 도 5d는 도 4의 샘플링부 및 샘플래치부에서 디지털 데이터의 샘플링과정을 설명하기 위한 도면

* 도면의 주요부에 대한 부호 설명

100 : 클럭신호발생기 150 : 홀딩래치부

160 : DAC부 170 : 버퍼부

140 : 감마전압부 110 : 샘플래치

190 : 데이터 레지스터부 140 : 샘플래치부

122 : 데이터전송라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 래치들이 순차적으로 직렬접속된 샘플래치부를 구비하여 디지털 데이터를 순차적으로 쉬프트시키고 래치함으로써, 상기 디지털 데이터의 RC 딜레이를 최소화 할 수 있는 액정표시장치의 구동부에 대한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 액티브 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

그리고, 상기 액정표시장치는 데이터 TCP(Tape Carrier Package)를 통해 상기 액정패널과 접속된 데이터 드라이브 IC들(Integrated Circuit)과, 게이트 TCP를 통해 상기 액정패널과 접속된 게이트 드라이브 IC들을 구비한다.

상기 액정패널은 게이트 라인들과 데이터 라인들의 교차부마다 형성된 박막트랜지스터와, 상기 박막트랜지스터에 접속된 액정셀을 구비한다.

상기 박막트랜지스터의 게이트 전극은 수평라인 단위의 게이트 라인들 중 어느 하나와 접속되고, 소스 전극은 수직라인단위의 데이터 라인들 중 어느 하나와 접속된다. 이러한 박막트랜지스터는 상기 게이트 라인으로부터의 게이트 구동펄스에 응답하여 데이터 라인으로부터의 디지털 데이터를 상기 액정셀에 공급한다.

상기 액정셀은 상기 박막트랜지스터의 드레인 전극과 접속된 화소전극과, 그 화소전극과 액정을 사이에 두고 대면하는 공통전극을 구비한다. 이러한 액정셀은 화소전극에 공급되는 디지털 데이터에 응답하여 액정을 구동함으로써 광투과율을 조절하게 된다.

한편, 상기 게이트 드라이브 IC들 각각은 게이트 TCP 각각에 실장된다.

상기 게이트 TCP에 실장된 게이트 드라이브 IC는 상기 게이트 TCP를 통해 상기 액정패널의 게이트 패드들과 전기적으로 접속된다. 이러한 게이트 드라이브 IC들은 액정패널의 게이트 라인들을 1수평기간(1H) 단위로 순차 구동하게 된다.

그리고, 상기 데이터 드라이브 IC들 각각은 데이터 TCP 각각에 실장된다. 상기 데이터 TCP에 실장된 데이터 드라이브 IC는 상기 데이터 TCP를 통해 상기 액정패널의 데이터 패드들과 전기적으로 접속된다. 이러한 데이터 드라이브 IC들은 디지털 데이터를 아날로그 디지털 데이터로 변환하여 1수평기간(1H) 단위로 액정패널의 데이터 라인들에 공급한다.

이하, 첨부된 도면을 참조하여 종래의 액정표시장치의 데이터 드라이브 IC를 상세히 설명하면 다음과 같다.

도 1은 종래의 데이터 드라이브 IC의 블록 구성도이다.

종래의 데이터 드라이브 IC는, 도 1에 도시된 바와 같이, 순차적인 샘플링신호를 공급하는 쉬프트 레지스터(10)와, 타이밍 컨트롤러로부터 출력된 디지털 데이터를 중계하는 데이터 레지스터부(90)와, 상기 쉬프트 레지스터(10)의 샘플링신호에 응답하여 데이터전송라인(25)을 통해 입력되는 상기 디지털 데이터를 샘플링하고 래치하는 샘플래치부(40)와, 상기 샘플래치부(40)로부터 출력된 상기 샘플링된 디지털 데이터를 동시에 읽어들이고 출력하는 홀딩래치부(50)와, 상기 홀딩래치부(50)로부터 출력된 상기 샘플링된 디지털 데이터를 감마전압부(80)의 감마전압을 이용하여 아날로그 데이터로 변환하는 디지털-아날로그 변환부(60)(Digital Analog Converter; 이하, DAC부라 함)와, 상기 DAC부(60)의 아날로그 데이터를 신호완충하여 출력하는 버퍼부(70)를 포함하여 구성된다.

여기서, 상기 샘플래치부(40)는 상기 쉬프트 레지스터(10)의 샘플링신호에 응답하여 상기 디지털 데이터를 샘플링 및 래치하는 다수개의 래치들(30)로 구성된다.

이와 같이 구성된 종래의 데이터 드라이브 IC의 동작을 상세히 설명하면 다음과 같다.

먼저, 데이터 레지스터부(90)가 타이밍 컨트롤러로부터의 디지털 데이터를 중계하여 샘플래치부(40)의 데이터전송라인(25)에 인가한다. 그러면, 상기 샘플래치부(40)에 구비된 래치들(30) 각각은 순차적으로 입력되는 상기 쉬프트 레지스터(10)의 샘플링신호에 응답하여 순차적으로 상기 디지털 데이터를 일정단위씩 샘플링하고 저장한다.

이어서, 상기 홀딩래치부(50)는 상기 샘플래치부(40)로부터 입력되는 샘플링된 디지털 데이터를 상기 타이밍 컨트롤러로부터 입력되는 소스 인에이블신호에 응답하여 동시에 독취한 후, 동시에 출력한다.

이후, 상기 DAC부(60)는 상기 홀딩래치부(50)로부터 입력된 상기 샘플링된 디지털 데이터를 감마전압부(80)의 감마전압(GH, GL)을 이용하여 아날로그 데이터로 변환하여 출력하게 된다.

다음으로, 상기 DAC부(60)로부터 출력된 상기 아날로그 데이터는 버퍼부(70)를 통해 신호완충되어 액정패널의 데이터 라인으로 출력된다.

한편, 상기 데이터 레지스터부(90)에서 출력되는 디지털 데이터는 상기 데이터전송라인(25)을 따라 흐르게 되는데, 상기 액정패널이 대면적화될수록 상기 데이터전송라인(25)의 길이는 더욱 증가하게 된다. 그런데, 상기 데이터전송라인(25)은 그 길이가 길어질수록 저항 및 커패시턴스 성분이 증가하기 때문에, 상기 데이터전송라인(25)을 따라 흐르는 상기 디지털 데이터에는 상기 저항 및 커패시턴스 성분에 의한 RC 딜레이가 발생한다.

이러한 RC 딜레이는 상기 디지털 데이터가 인가되는 데이터전송라인(25)의 일측으로부터 멀어질수록 더욱 증가하게 되어, 상기 데이터전송라인(25)의 끝단에 위치한 래치(30)가 샘플링하기 위한 디지털 데이터의 RC 딜레이가 가장 커지게 된다. 결국, 상기 데이터전송라인(25)이 길어질수록 상기 디지털 데이터의 RC 딜레이가 커지게 되어 상기 샘플래치부(40)는 정확한 샘플링을 수행할 수 없게 되는 문제점이 발생한다.

더불어, 최근에는 제조비용을 줄이기 위해 상기 데이터 드라이브 IC를 최소한의 수로 구성하기 위한 연구가 진행중인데, 이를 위해서는 상기 하나의 데이터 드라이브 IC에 구비되는 출력라인들(상기 아날로그 데이터를 상기 액정패널의 데이터 라인들에 인가하기 위해 상기 데이터 라인과 접속되는 출력라인들)의 수를 최대한 많이 구성하여야 한다. 그러나, 출력라인들의 수가 증가할수록 상기 래치들(30)의 수가 증가하며, 이로 인해 동일 길이의 데이터전송라인(25)에 더욱 많은 래치들(30)이 밀집하여 접속되므로, 상기 데이터전송라인(25)의 저항 및 커패시턴스 성분이 더욱 증가하는 문제점이 있었다. 따라서, 상기 데이터 드라이브 IC의 출력라인의 수를 증가시키기가 어려웠다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 래치들이 순차적으로 직렬접속된 샘플래치부를 구비하여 디지털 데이터를 순차적으로 쉬프트시키고 래치함으로써, 상기 디지털 데이터의 RC 딜레이를 최소화 할 수 있는 액정표시장치의 구동부를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동부는, 일정주기의 클럭신호를 출력하는 클럭신호 발생기; 상기 클럭신호발생기로부터의 클럭신호에 따라, 입력된 디지털 데이터를 샘플링하여 출력하는 샘플래치부; 상기 클럭신호발생기로부터의 클럭신호에 따라, 샘플래치부로부터 입력된 상기 샘플링된 디지털 데이터를 후단으로 쉬프트하면서 저장하는 서로 직렬로 연결된 다수개의 래치들; 상기 래치들에 저장된 샘플링된 디지털 데이터를 동시에 읽어들이고, 출력하는 홀딩래치부; 상기 홀딩래치부로부터 출력된 상기 샘플링된 디지털 데이터를 아날로그 데이터로 변환하여 액정패널의 데이터 라인들에 인가하는 디지털-아날로그 변환부를 포함하여 구성되는 것을 그 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치의 구동부를 상세히 설명하면 다음과 같다.

삭제

삭제

도 2는 본 발명의 제 1 실시예에 따른 액정표시장치의 구동부의 블록 구성도이다.

본 발명의 제 1 실시예에 따른 액정표시장치의 구동부는, 도 2에 도시된 바와 같이, 일정주기의 클럭신호를 출력하는 클럭신호발생기(100)와, 입력된 디지털 데이터를 샘플링하고, 상기 샘플링된 디지털 데이터를 후단으로 쉬프트하면서 저장하는 서로 직렬로 연결된 다수개의 래치들(110)을 포함하여 이루어진 샘플래치부(140)와, 상기 샘플래치부(140)의 상기 래치들(110)에 저장된 상기 각 샘플링된 디지털 데이터를 동시에 독취하고 동시에 출력하는 홀딩래치부(150)와, 상기 홀딩래치부(150)로부터 입력되는 상기 각 샘플링된 디지털 데이터를 감마전압부(180)의 감마전압(GH, GL)을 이용하여 각각 아날로그 데이터로 변환하여 출력하는 디지털-아날로그 변환부(160)(이하, 'DAC부'(160)로 표기)와, 상기 DAC부(160)로부터 입력되는 각 아날로그 데이터를 신호완충하여 출력하는 버퍼부(170)를 포함하여 구성된다.

구체적으로, 상기 래치들(110)은 상기 디지털 데이터가 전송되는 데이터전송라인(122)을 통해 서로 순차적으로 직렬접속되어 있으며, 상기 데이터전송라인(122)의 일측에는 데이터 레지스터부(190)가 연결되어 있다. 상기 데이터 레지스터부(190)는 타이밍 콘트롤러(도시되지 않음)로부터 출력되는 상기 디지털 데이터를 중계하여 상기 데이터전송라인(122)에 공급하기 위한 것이다. 한편, 상기 래치들(110) 중 상기 데이터 레지스터부(190)에 가장 가까이 위치한 첫째단의 래치(110)은 상기 데이터 레지스터부(190)로부터 출력되는 상기 디지털 데이터를 최초로 인가받아 상기 디지털 데이터를 일정단위로 샘플링하는 역할을 한다.

그리고, 도면에 도시하지 않았지만, 상기 홀딩래치부(150)는 상기 샘플래치부(140)에 구성된 상기 래치들(110) 각각에 대응하여 상기 각 샘플링된 디지털 데이터를 동시에 독취하고 동시에 출력하는 다수개의 홀딩래치들로 구성된다. 그리고, 상기 DAC부(160)는 상기 홀딩래치부(150)에 구성된 상기 홀딩래치들 각각에 대응하여 상기 각 샘플링된 디지털 데이터를 각각 아날로그 데이터로 변환하는 다수개의 DAC들로 구성되어 있다. 구체적으로, 상기 DAC들은 상기 각 샘플링된 디지털 데이터를 정극성 아날로그 데이터(GH)로 변환하기 위한 정극성 DAC들과, 상기 각 샘플링된 디지털 데이터를 부극성 아날로그 데이터(GL)로 변환하기 위한 부극성 DAC들로 구분되며, 상기 정극성 DAC들과 상기 부극성 DAC들은 서로 교번적으로 위치한다.

또한, 상기 버퍼부(170)는 상기 DAC부(160)에 구성된 정극성 DAC들 및 부극성 DAC들 각각에 대응하여 상기 각 아날로그 데이터를 신호완충하여 출력하는 다수개의 버퍼들로 구성된다.

한편, 상기 래치들(110)을 통하여 순차적으로 쉬프트되어 래치되는 샘플링된 디지털 데이터는 상기 래치들(110)을 통하여 상기 데이터전송라인(122)의 일정 구간마다 신호완충되므로, 상기 샘플링된 디지털 데이터는 종래보다 훨씬 작은 크기의 RC 딜레이를 갖는다. 즉, 상기 샘플링된 디지털 데이터는 상기 각 래치(110)를 통해 신호완충되므로, 상기 샘플링된 디지털 데이터의 RC 딜레이에 영향을 주는 것은 상기 전체 데이터전송라인(122) 중 상기 임의의 래치들(110)간에 형성된 부분(C에서 D구간)의 저항 및 커패시턴스 성분이다. 따라서, 상기 마지막채단의 래치(110)에 저장되는 샘플링된 디지털 데이터의 RC 딜레이는 종래에 비하여 훨씬 작아지게 된다.

그리고, 상기 각 래치(110)에 쉬프트되어 입력되는 샘플링된 디지털 데이터는 모두 동일한 크기의 RC 딜레이를 가진다. 즉, 상기 데이터 레지스터부(190)에 가장 가깝게 위치한 상기 첫째단의 래치(110)에 입력되는 샘플링된 디지털 데이터나,

상기 데이터 레지스터부(190)로부터 가장 멀리 위치한 마지막채단의 래치(110)에 입력되는 샘플링된 디지털 데이터나 모두 동일한 크기의 RC 딜레이를 갖는다. 물론, 상기 첫채단의 래치(110)와 상기 마지막채단의 래치(110) 사이에 구비된 래치들(110)에 입력되는 샘플링된 디지털 데이터도 상기과 동일한 RC 딜레이를 갖는다.

따라서, 이와 같이 구성된 본 발명의 샘플래치부(140)를 사용하여 데이터 구동부를 설계하였을 경우 약 500Mhz 이상의 고주파수의 디지털 데이터도 정확하게 샘플링할 수 있다. 결국, 본 발명의 샘플래치부(140)를 사용할 경우, 종래보다 더 많은 수의 출력라인들을 가지면서도 정확한 샘플링을 제공하는 데이터 드라이브 IC의 구현이 가능하다.

이와 같이 구성된 본 발명의 제 1 실시예에 따른 액정표시장치의 동작을 설명하면 다음과 같다.

먼저, 상기 타이밍 컨트롤러로부터 출력된 디지털 데이터들이 상기 데이터 레지스터부(190)를 경유하여 상기 첫채단의 래치(110)에 입력된다. 여기서, 상기 타이밍 컨트롤러는 전송 주파수 감소를 위해 상기 디지털 데이터를 우수 디지털 데이터와 기수 디지털 데이터로 분리하여 각각의 전송라인을 통해 상기 데이터 레지스터부(190)로 공급하게 되며, 상기 데이터 레지스터부(190)는 입력된 상기 우수 디지털 데이터와 기수 디지털 데이터를 상기 데이터전송라인(122)을 통해 상기 첫채단의 래치(110)로 출력한다.

그러면, 상기 첫채단의 래치(110)는 상기 클럭신호발생기(100)의 클럭신호에 응답하여 상기 디지털 데이터를 샘플링하고, 상기 샘플링된 데이터를 계속해서 후단으로 쉬프트시킨다. 그리고, 상기 둘째단의 래치(110)는 상기 첫채단의 래치(110)로부터 쉬프트되어 입력된 상기 샘플링된 디지털 데이터를 상기 클럭신호에 응답하여 셋째단의 래치(110)로 쉬프트시킨다. 이와 같은 방식으로 상기 샘플링된 디지털 데이터는 마지막채단의 래치(110)까지 쉬프트되며, 상기 마지막채단의 래치(110)는 상기 샘플링된 디지털 데이터를 저장한다.

이를 예를 들어 좀 더 구체적으로 설명하면 다음과 같다.

도 3a 내지 도 3d는 도 2의 샘플래치부에서 디지털 데이터의 샘플링과정을 설명하기 위한 도면이다.

여기서, 도 3a 내지 도 3d에 도시된 바와 같이, 본 발명의 래치(110a, 110b, 110c, 110d)가 4개로 구성되어 있다고 가정하자.

먼저, 도 3a에 도시된 바와 같이, 상기 클럭신호발생기(100)로부터 첫 번째 클럭신호(CLK_1)가 출력되어 상기 첫채단 내지 네째단의 래치(110a, 110b, 110c, 110d)에 각각 입력되면, 상기 첫채단의 래치(110a)는 상기 첫 번째 클럭신호(CLK_1)에 응답하여, 상기 데이터 레지스터부(190)로부터 입력되는 디지털 데이터를 샘플링하여 저장한다.

즉, 상기 첫 번째 클럭신호(CLK_1)가 출력된 시점에서, 상기 첫채단의 래치(110a)에는 첫 번째 샘플링된 디지털 데이터(11)가 저장된 상태이다.

이어서, 도 3b에 도시된 바와 같이, 상기 클럭신호발생기(100)로부터 두 번째 클럭신호(CLK_2)가 출력되어 상기 첫채단 내지 네째단의 래치(110a, 110b, 110c, 110d)에 각각 입력되면, 상기 첫채단의 래치(110a)는 상기 두 번째 클럭신호(CLK_2)에 응답하여 상기 첫 번째 샘플링된 디지털 데이터(11)를 쉬프트시켜 상기 둘째단의 래치(110b)에 입력시킴과 동시에, 상기 데이터 레지스터부(190)로부터 입력되는 상기 디지털 데이터를 샘플링하여 저장한다.

즉, 상기 두 번째 클럭신호(CLK_2)가 출력된 시점에서, 상기 첫채단의 래치(110a)에는 두 번째 샘플링된 디지털 데이터(22)가 저장된 상태이고, 상기 둘째단의 래치(110b)에는 상기 첫 번째 샘플링된 디지털 데이터(11)가 저장된 상태이다.

다음으로, 도 3c에 도시된 바와 같이, 상기 클럭신호발생기(100)로부터 세 번째 클럭신호(CLK_3)가 출력되어 상기 첫채단 내지 네째단의 래치(110a, 110b, 110c, 110d)에 각각 입력되면, 상기 첫채단의 래치(110a)는 상기 세 번째 클럭신호(CLK_3)에 응답하여 상기 두 번째 샘플링된 디지털 데이터(22)를 쉬프트시켜 상기 둘째단의 래치(110b)에 입력시킴과 동시에, 상기 데이터 레지스터부(190)로부터 입력되는 상기 디지털 데이터를 샘플링하여 저장한다. 또한, 이때 상기 둘째단의 래치(110b)는 상기 세 번째 클럭신호(CLK_3)에 응답하여, 이전에 래치되었던 첫 번째 샘플링된 디지털 데이터(11)를 쉬프트시켜 상기 셋째단의 래치(110c)에 입력시킨다.

즉, 상기 세 번째 클럭신호(CLK_3)가 출력된 시점에서, 상기 첫채단의 래치(110a)에는 세 번째 샘플링된 디지털 데이터(33)가 저장된 상태이고, 상기 둘째단의 래치(110b)에는 상기 두 번째 샘플링된 디지털 데이터(22)가 저장된 상태이며, 상기 셋째단의 래치(110c)에는 상기 첫 번째 샘플링된 네 번째 디지털 데이터(11)가 저장된 상태이다.

이어서, 도 3d에 도시된 바와 같이, 상기 클럭신호발생기(100)로부터 네 번째 클럭신호(CLK_4)가 출력되어 상기 첫째단 래치(110a, 110b, 110c, 110d)에 각각 입력되면, 상기 첫째단의 래치(110a)는 상기 네 번째 클럭신호(CLK_4)에 응답하여, 상기 세 번째 샘플링된 디지털 데이터(33)를 쉬프트시켜 상기 둘째단의 래치(110b)에 입력시킴과 동시에, 상기 데이터 레지스터부(190)로부터 입력되는 디지털 데이터를 샘플링하여 저장한다. 또한, 이때 상기 둘째단의 래치(110b)는 상기 네 번째 클럭신호(CLK_4)에 응답하여, 이전에 래치되었던 상기 두 번째 샘플링된 디지털 데이터(22)를 쉬프트시켜 상기 셋째단의 래치(110c)에 입력시키며, 상기 셋째단의 래치(110c)는 상기 네 번째 클럭신호(CLK_4)에 응답하여, 이전에 래치되었던 상기 첫 번째 샘플링된 디지털 데이터(11)를 쉬프트시켜 넷째단의 래치(110d)에 입력시킨다.

즉, 상기 네 번째 클럭신호(CLK_4)가 출력된 시점에서, 상기 첫째단의 래치(110a)에는 상기 네 번째 샘플링된 디지털 데이터(44)가 저장된 상태이고, 상기 둘째단의 래치(110b)에는 상기 세 번째 샘플링된 디지털 데이터(33)가 저장된 상태이며, 상기 셋째단의 래치(110c)에는 상기 두 번째 샘플링된 디지털 데이터(22)가 저장된 상태이다. 그리고, 상기 넷째단의 래치(110d)에는 상기 첫 번째 샘플링된 디지털 데이터(11)가 래치된 상태이다.

이와 같이, 네 번의 클럭신호(CLK_1, CLK_2, CLK_3, CLK_4)에 응답하여 상기 래치들(110a, 110b, 110c, 110d)은 상기 4개의 샘플링된 디지털 데이터(11, 22, 33, 44)를 순차적으로 쉬프트시키고 저장한다. 실제로, 상기 첫 번째 샘플링된 디지털 데이터(11)가 상기 넷째단의 래치(110d)에 저장되는 순간에 상기 샘플래치부(140)의 샘플링 및 래치 동작이 완료된다. 여기서, 상기 첫 번째 샘플링된 디지털 데이터(11)는 상기 데이터 레지스터부(190)로부터 가장 멀리 떨어진 상기 넷째단의 래치(110d)에 입력되지만, 상기 첫 번째 샘플링된 디지털 데이터(11)는 상기 넷째단의 래치(110d)에 저장되기 전에 상기 둘째단 및 셋째단의 래치(110b, 110c)를 차례로 거쳐 신호완충되었기 때문에, 상기 첫째단의 래치(110a)에 저장된 네 번째 샘플링된 디지털 데이터(44)와 상기 넷째단의 래치(110d)에 저장된 상기 첫 번째 샘플링된 디지털 데이터(11)는 모두 동일한 크기의 RC 딜레이를 갖는다. 물론, 상기 둘째단 및 셋째단의 래치(110b, 110c)에 저장되는 세 번째 및 두 번째 샘플링된 디지털 데이터(33, 22)도 상기와 같은 크기의 RC 딜레이를 갖는다. 여기서, 상술한 바와 같이, 상기 RC 딜레이는 상기 래치들(110a, 110b, 110c, 110d) 사이에 형성된 데이터전송라인(122) 부분(C에서 D구간)의 길이에 상응하는 크기를 가지게 되므로, 종래의 RC 딜레이보다 훨씬 작은 크기를 나타낸다.

다음으로, 상기 홀딩래치부(150)는 상기 샘플래치부(140)의 상기 래치들(110a, 110b, 110c, 110d)에 래치된 4개의 샘플링된 디지털 데이터(11, 22, 33, 44)를 상기 타이밍 콘트롤러로부터 입력되는 소스 인에이블신호에 응답하여 동시에 독취한 후, 동시에 출력한다. 구체적으로, 상기 홀딩래치부(150)는 상기 소스 인에이블신호의 라이징 에지에서 입력되는 상기 4개의 샘플링된 디지털 데이터(11, 22, 33, 44)를 동시에 독취하고, 폴링에지에서 동시에 출력한다.

이어서, DAC부(160)는 상기 홀딩래치부(150)로부터의 4개의 샘플링된 디지털 데이터(11, 22, 33, 44)를 감마전압부(180)로부터의 정극성 및 부극성 감마전압(GH, GL)을 이용하여 아날로그 데이터로 변환하여 출력하게 된다.

다음으로, 상기 DAC부(160)로부터 출력된 아날로그 데이터는 버퍼부(170)를 통해 신호완충되어 액정패널의 데이터 라인에 공급된다.

한편, 본 발명의 제 1 실시예에서, 상기 데이터 레지스터부(190)로부터 출력된 디지털 데이터가 최초로 인가되는 첫째단의 래치(110a)는 상기 디지털 데이터를 샘플링하고, 상기 샘플링된 디지털 데이터를 저장 및 쉬프트하는 기능을 하는데, 상기 첫째단의 래치(110a)의 샘플링 기능을 없애고, 상기 입력되는 디지털 데이터를 샘플링하여 후단으로 쉬프트시키는 샘플링부를 더 사용하여 본 발명을 구성할 수 있다.

이하, 본 발명의 제 2 실시예에 따른 액정표시장치의 구동부를 상세히 설명하면 다음과 같다.

도 4는 본 발명의 제 2 실시예에 따른 액정표시장치의 구동부의 블록 구성도이다.

본 발명의 제 2 실시예에 따른 액정표시장치의 구동부는, 도 4에 도시된 바와 같이, 일정주기의 클럭신호를 출력하는 클럭신호발생기(200)와, 입력된 디지털 데이터를 상기 클럭신호에 응답하여 샘플링하는 샘플링부(500)와, 상기 샘플링부(500)로부터 출력된 샘플링된 디지털 데이터를 상기 클럭신호에 응답하여 후단으로 쉬프트하면서 저장하는 서로 직렬로 연결된 다수개의 래치들(210)을 포함하여 이루어진 샘플래치부(240)와, 상기 샘플래치부(240)의 상기 래치들(210)에 저장된 상기 샘플링된 디지털 데이터들을 동시에 독취하고 출력하는 홀딩래치부(250)와, 상기 홀딩래치부(250)의 상기 샘플

링된 디지털 데이터들을 감마전압부(240)의 감마전압(GH, GL)을 이용하여 아날로그 데이터들로 변환하여 출력하는 디지털-아날로그 변환부(260)(이하, 'DAC부'(260)로 표기)와, 상기 DAC부(260)의 아날로그 데이터들을 신호완충하여 출력하는 버퍼부(270)를 포함하여 구성된다.

구체적으로, 상기 샘플링부(500) 및 래치들(210)은 상기 디지털 데이터가 전송되는 데이터전송라인(225)을 통해 서로 순차적으로 직렬접속되어 있으며, 상기 데이터전송라인(225)의 일측에는 데이터 레지스터부(290)가 연결되어 있다. 상기 데이터 레지스터부(290)는 타이밍 컨트롤러(도시되지 않음)로부터 출력되는 상기 디지털 데이터를 중계하여 상기 데이터전송라인(225)에 공급하기 위한 것이다. 한편, 상기 데이터 레지스터부(290)에 가장 가까이 위치하는 샘플링부(500)는 상기 데이터 레지스터부(290)로부터 출력되는 상기 디지털 데이터를 최초로 인가받아 상기 디지털 데이터를 일정단위로 샘플링하는 역할을 한다.

그리고, 도면에 도시하지 않았지만, 상기 홀딩래치부(250)는 상기 샘플래치부(240)에 구성된 상기 래치들(210) 각각에 대응하여 상기 각 샘플링된 디지털 데이터를 동시에 래치하여 출력하는 다수개의 홀딩래치들로 구성된다. 그리고, 상기 DAC부(260)는 상기 홀딩래치부(250)에 구성된 상기 홀딩래치들 각각에 대응하여 상기 각 샘플링된 디지털 데이터를 각각 아날로그 데이터로 변환하는 다수개의 DAC들로 구성되어 있다. 구체적으로, 상기 DAC들은 상기 각 샘플링된 디지털 데이터를 정극성 아날로그 데이터(GH)로 변환하기 위한 정극성 DAC들과, 상기 각 샘플링된 디지털 데이터를 부극성 아날로그 데이터(GL)로 변환하기 위한 부극성 DAC들로 구분되며, 상기 정극성 DAC들과 상기 부극성 DAC들은 서로 교번적으로 위치한다.

또한, 상기 버퍼부(270)는 상기 DAC부(260)에 구성된 정극성 DAC들 및 부극성 DAC들 각각에 대응하여 상기 각 아날로그 데이터를 신호완충하여 출력하는 다수개의 버퍼들로 구성된다.

이와 같이 구성된 본 발명의 제 2 실시예에 따른 액정표시장치의 구동부의 동작을 상세히 설명하면 다음과 같다.

도 5a 내지 도 5d는 도 4의 샘플링부 및 샘플래치부에서의 디지털 샘플링 과정을 설명하기 위한 도면이다.

여기서, 도 5a 내지 도 5d에 도시된 바와 같이, 본 발명의 래치(210a, 210b, 210c, 210d)가 4개로 구성되어 있다고 가정하자.

먼저, 도 5a에 도시된 바와 같이, 상기 클럭신호발생기(200)로부터 첫 번째 클럭신호(CLK_1)가 출력되어, 샘플링부(500)와 첫째단 내지 네째단의 래치(210a, 210b, 210c, 210d)에 각각 입력되면, 상기 샘플링부(500)는 상기 첫 번째 클럭신호(CLK_1)에 응답하여, 상기 데이터 레지스터부(290)로부터 입력되는 디지털 데이터를 샘플링하고 쉬프트시켜 상기 첫째단의 래치(210a)에 입력시킨다.

즉, 상기 첫 번째 클럭신호(CLK_1)가 출력된 시점에서, 상기 첫째단의 래치(210a)에는 첫 번째 샘플링된 디지털 데이터(111)가 저장된 상태이다.

이와 같이, 네 번의 클럭신호(CLK_1, CLK_2, CLK_3, CLK_4)에 응답하여 상기 래치들(210a, 210b, 210c, 210d)은 상기 4개의 샘플링된 디지털 데이터(111, 222, 333, 444)를 순차적으로 쉬프트시키고 저장한다. 실제로, 상기 첫 번째 샘플링된 디지털 데이터(111)가 상기 넷째단의 래치(210d)에 저장되는 순간에 상기 샘플래치부(240)의 샘플링 및 래치 동작이 완료된다. 여기서, 상기 첫 번째 샘플링된 디지털 데이터(111)는 상기 데이터 레지스터부(290)로부터 가장 멀리 떨어진 상기 넷째단의 래치(210d)에 입력되지만, 상기 첫 번째 샘플링된 디지털 데이터(11)는 상기 넷째단의 래치(210d)에 저장되기 전에 상기 둘째단 및 셋째단의 래치(210b, 210c)를 차례로 거쳐 신호완충되었기 때문에, 상기 첫째단의 래치(210a)에 저장된 네 번째 샘플링된 디지털 데이터(444)와 상기 넷째단의 래치(210d)에 저장된 상기 첫 번째 샘플링된 디지털 데이터(111)는 모두 동일한 크기의 RC 딜레이를 갖는다. 물론, 상기 둘째단 및 셋째단의 래치(210b, 210c)에 저장되는 세 번째 및 두 번째 샘플링된 디지털 데이터(333, 222)도 상기와 같은 크기의 RC 딜레이를 갖는다. 여기서, 상기 RC 딜레이는 상기 래치들(210a, 210b, 210c, 210d) 사이에 형성된 데이터전송라인(225) 부분(E에서 F구간)의 길이에 상응하는 크기를 가지게 되므로, 종래의 RC 딜레이보다 훨씬 작은 크기를 나타낸다.

이어서, 도 5b에 도시된 바와 같이, 상기 클럭신호발생기(200)로부터 두 번째 클럭신호(CLK_2)가 출력되어 상기 샘플링부(500)와 첫째단 내지 네째단의 래치(210a, 210b, 210c, 210d)에 각각 입력되면, 상기 샘플링부(500)는 상기 두 번째 클럭신호(CLK_2)에 응답하여, 상기 데이터 레지스터부(290)로부터 입력되는 상기 디지털 데이터를 샘플링하고 쉬프트시켜 상기 첫째단의 래치(210a)에 입력시킨다. 이때, 상기 첫째단의 래치(210a)는 상기 두 번째 클럭신호(CLK_2)에 응답하여, 이전에 저장되었던 상기 첫 번째 샘플링된 디지털 데이터(111)를 쉬프트시켜 상기 둘째단의 래치(210b)에 입력시킨다.

즉, 상기 두 번째 클럭신호(CLK_2)가 출력된 시점에서, 상기 첫째단의 래치(110a)에는 두 번째 샘플링된 디지털 데이터(222)가 저장된 상태이고, 상기 둘째단의 래치(210b)에는 상기 첫 번째 샘플링된 디지털 데이터(111)가 저장된 상태이다.

다음으로, 도 5c에 도시된 바와 같이, 상기 클럭신호발생기(200)로부터 세 번째 클럭신호(CLK_3)가 출력되어 상기 샘플링부(500)와 첫째단 내지 네째단의 래치(210a, 210b, 210c, 210d)에 각각 입력되면, 상기 샘플링부(500)는 상기 세 번째 클럭신호(CLK_3)에 응답하여, 상기 데이터 레지스터부(290)로부터 입력되는 상기 디지털 데이터를 샘플링하고 쉬프트시켜 상기 첫째단의 래치(210a)에 입력시킨다. 이때, 상기 첫째단의 래치(210a)는 상기 세 번째 클럭신호(CLK_3)에 응답하여, 이전에 저장되었던 두 번째 샘플링된 디지털 데이터를 쉬프트시켜 둘째단의 래치(210b)에 입력시키며, 상기 둘째단의 래치(210b)는 상기 세 번째 클럭신호에 응답하여, 이전에 저장되었던 상기 첫 번째 샘플링된 디지털 데이터를 쉬프트시켜 셋째단의 래치(210c)에 입력시킨다.

즉, 상기 세 번째 클럭신호(CLK_3)가 출력된 시점에서, 상기 첫째단의 래치(110a)에는 세 번째 샘플링된 디지털 데이터(333)가 저장된 상태이고, 상기 둘째단의 래치(110b)에는 상기 두 번째 샘플링된 디지털 데이터(222)가 저장된 상태이며, 상기 셋째단의 래치(110c)에는 상기 첫 번째 샘플링된 네 번째 디지털 데이터(111)가 저장된 상태이다.

이어서, 도 3d에 도시된 바와 같이, 상기 클럭신호발생기(200)로부터 네 번째 클럭신호(CLK_4)가 출력되어 상기 샘플링부(500)와 첫째단 내지 넷째단의 래치(210a, 210b, 210c, 210d)에 각각 입력되면, 상기 샘플링부(500)는 상기 네 번째 클럭신호(CLK_4)에 응답하여 상기 데이터 레지스터부(290)로부터 입력되는 상기 디지털 데이터를 샘플링하고 쉬프트시켜 상기 첫째단의 래치(210a)에 입력시킨다. 이때, 상기 첫째단의 래치(210a)는 상기 네 번째 클럭신호(CLK_4)에 응답하여, 이전에 저장되었던 세 번째 샘플링된 디지털 데이터를 쉬프트시켜 둘째단의 래치(210b)에 입력시키고, 상기 둘째단의 래치(210b)는 상기 네 번째 클럭신호(CLK_4)에 응답하여, 이전에 저장되었던 상기 두 번째 샘플링된 디지털 데이터를 쉬프트시켜 셋째단의 래치(210c)에 입력시키며, 상기 셋째단의 래치(210c)는 상기 네 번째 클럭신호(CLK_4)에 응답하여, 이전에 저장되었던 상기 첫 번째 샘플링된 디지털 데이터를 넷째단의 래치(210d)에 입력시킨다.

즉, 상기 네 번째 클럭신호(CLK_4)가 출력된 시점에서, 상기 첫째단의 래치(210a)에는 상기 네 번째 샘플링된 디지털 데이터(111)가 저장된 상태이고, 상기 둘째단의 래치(210b)에는 상기 세 번째 샘플링된 디지털 데이터(333)가 저장된 상태이며, 상기 셋째단의 래치(210c)에는 상기 두 번째 샘플링된 디지털 데이터(222)가 저장된 상태이다. 그리고, 상기 넷째단의 래치(210d)에는 상기 첫 번째 샘플링된 디지털 데이터(444)가 래치된 상태이다.

다음으로, 상기 홀딩래치부(250)는 상기 샘플래치부(240)의 상기 래치들(210a, 210b, 210c, 210d)에 래치된 4개의 샘플링된 디지털 데이터(111, 222, 333, 444)를 상기 타이밍 콘트롤러로부터 입력되는 소스 인에이블신호에 응답하여 동시에 독취한 후, 동시에 출력한다. 구체적으로, 상기 홀딩래치부(250)는 상기 소스 인에이블신호의 라이징 에지에서 입력되는 상기 4개의 샘플링된 디지털 데이터(111, 222, 333, 444)를 동시에 독취하고, 폴링에지에서 동시에 출력한다.

이어서, DAC부(160)는 상기 홀딩래치부(250)로부터의 4개의 샘플링된 디지털 데이터(111, 222, 333, 444)를 감마전압부(280)로부터의 정극성 및 부극성 감마전압(GH, GL)을 이용하여 아날로그 데이터로 변환하여 출력하게 된다.

다음으로, 상기 DAC부(260)로부터 출력된 아날로그 데이터는 버퍼부(270)를 통해 신호완충되어 액정패널의 데이터 라인에 공급된다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같은 액정표시장치의 구동부에는 다음과 같은 효과가 있다.

본 발명에 따른 액정표시장치의 구동부는 디지털 데이터를 샘플링하여 래치하는 샘플래치와, 상기 샘플래치와 순차적으로 직렬접속되어 상기 샘플링된 디지털 데이터를 순차적으로 쉬프트 시키고 래치하는 다수개의 래치들로 이루어진 샘플래치부를 포함하고 있다.

즉, 상기 각 래치는 이전단의 래치로부터 상기 샘플링된 디지털 데이터를 인가받아 신호완충하여 다음단의 래치로 쉬프트 시킴으로써, 상기 샘플링된 디지털 데이터의 RC 딜레이를 최소화함과 동시에, 상기 RC 딜레이의 증가를 방지하고 있다. 따라서, 데이터전송라인의 길이가 아무리 크게 증가하더라도 상기 디지털 데이터를 정확하게 샘플링할 수 있다.

또한, 이로 인하여 하나의 데이터 드라이브 IC에 구비되는 출력라인의 수를 증가시킬 수 있으므로, 액정패널에 필요한 데이터 드라이브 IC의 수를 줄일 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

일정주기의 클럭신호를 출력하는 클럭신호발생기;

상기 클럭신호발생기로부터의 클럭신호에 따라, 입력된 디지털 데이터를 샘플링하여 출력하는 샘플링부;

상기 클럭신호발생기로부터의 클럭신호에 따라, 샘플링부로부터 입력된 상기 샘플링된 디지털 데이터를 후단으로 쉬프트 하면서 저장하는 서로 직렬로 연결된 다수개의 래치들;

상기 래치들에 저장된 샘플링된 디지털 데이터를 동시에 읽어들이고, 출력하는 홀딩래치부;

상기 홀딩래치부로부터 출력된 상기 샘플링된 디지털 데이터를 아날로그 데이터로 변환하여 액정패널의 데이터 라인들에 인가하는 디지털-아날로그 변환부를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 7.

삭제

청구항 8.

제 6 항에 있어서,

상기 샘플링부 및 다수개의 래치들은 상기 디지털 데이터가 전송되는 데이터 전송라인을 통해 순차적으로 직렬접속되는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 9.

제 8 항에 있어서,

상기 데이터 전송라인의 일측에 연결되어 상기 데이터 전송라인에 상기 디지털 데이터를 공급하는 데이터 레지스터를 더 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 구동부.

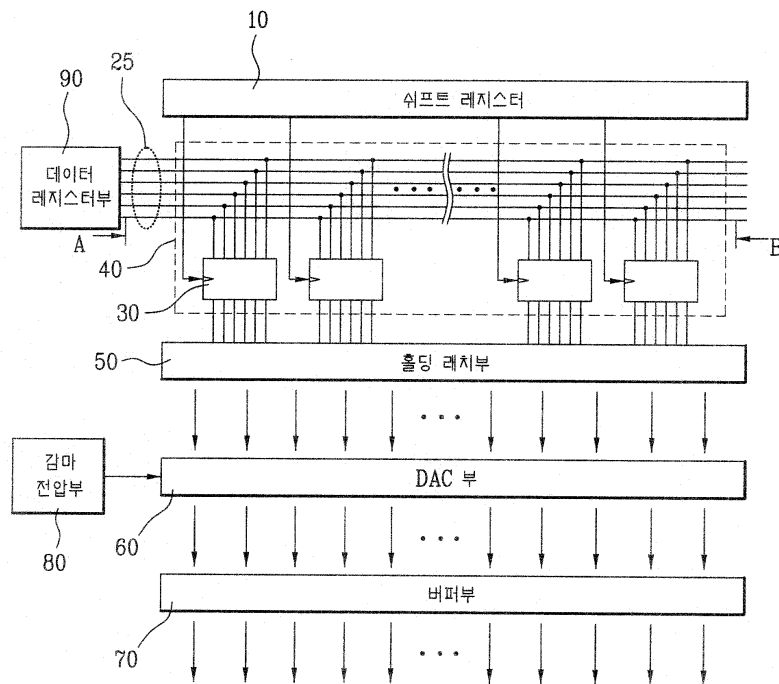
청구항 10.

제 6 항에 있어서,

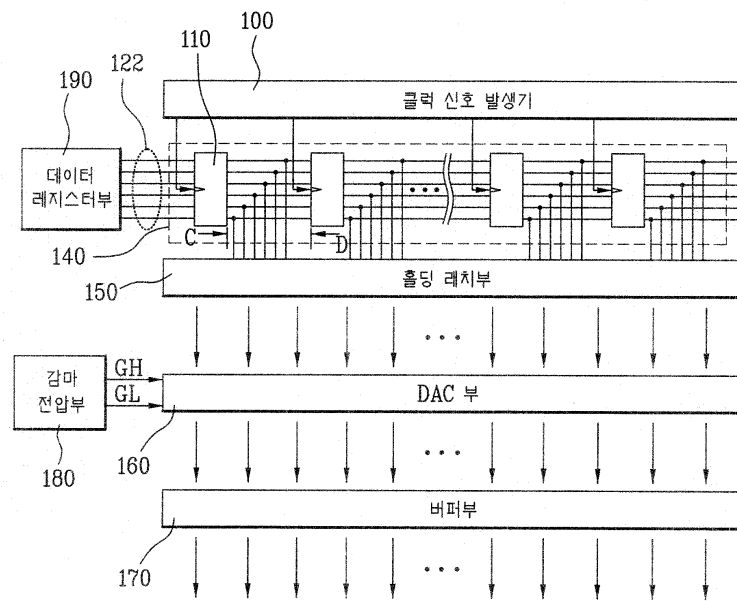
상기 디지털-아날로그 변환부로부터 출력된 아날로그 데이터를 신호완충하여 상기 액정패널의 데이터 라인에 인가하는 버퍼부를 더 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 구동부.

도면

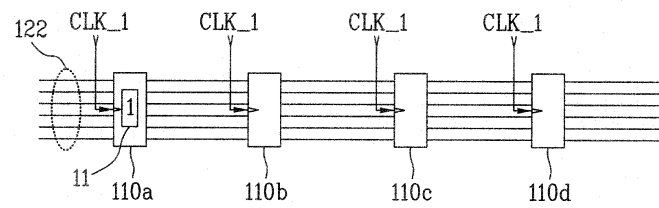
도면1



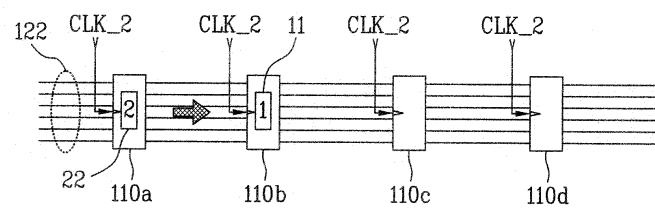
도면2



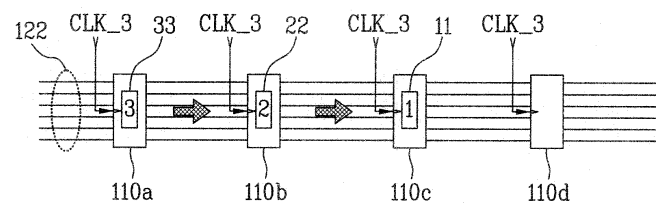
도면3a



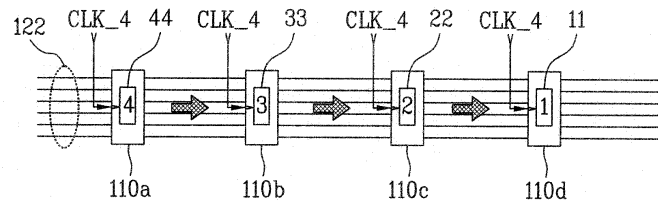
도면3b



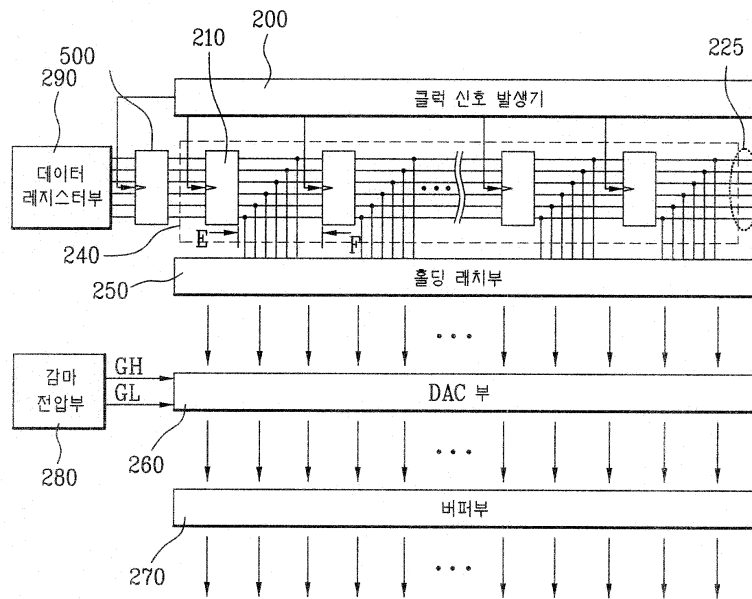
도면3c



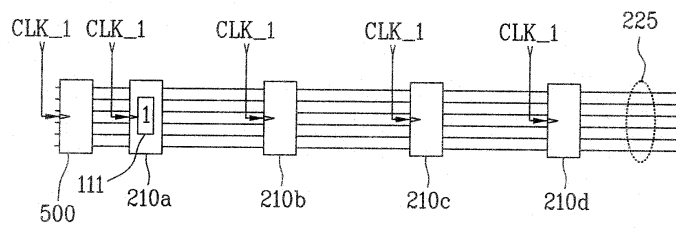
도면3d



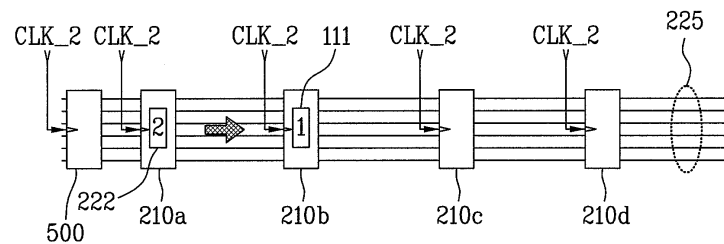
도면4



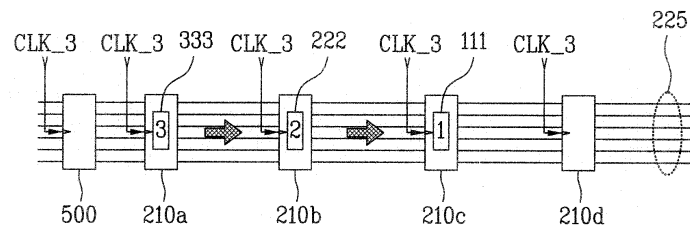
도면5a



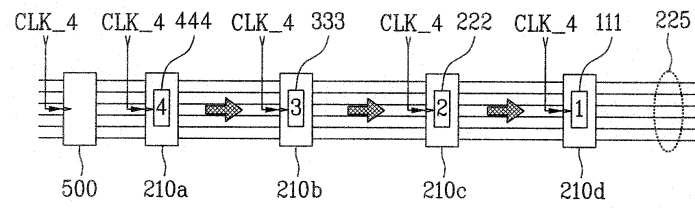
도면5b



도면5c



도면5d



专利名称(译)	液晶显示装置的驱动单元		
公开(公告)号	KR100606972B1	公开(公告)日	2006-08-01
申请号	KR1020040049020	申请日	2004-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM INHWAN		
发明人	KIM,INHWAN		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/0286 G09G3/3688		
代理人(译)	金勇 新昌		
其他公开文献	KR1020060000115A		
外部链接	Espacenet		

摘要(译)

液晶显示器的驱动单元技术领域本发明涉及一种能够通过最小化RC延迟进行精确采样的液晶显示器的驱动单元，包括：时钟信号发生器，用于输出预定周期的时钟信号；一种采样单元，用于根据来自时钟信号发生器的时钟信号对输入数字数据进行采样和输出；并且，根据来自时钟信号发生器的时钟信号，从采样单元输入的采样数字数据被移位到后级多个锁存器彼此串联连接；保持锁存器，用于同时读取和输出存储在锁存器中的采样数字数据；以及数模转换器，用于将从保持锁存单元输出的采样数字数据转换为模拟数据，并将模拟数据施加到液晶面板的数据线。2 指数方面 液晶显示器，数据驱动IC，RC延迟，采样，

