



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0111780
(43) 공개일자 2007년11월22일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2006-0045021

(22) 출원일자 2006년05월19일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

오정민

서울특별시 영등포구 당산동1가 진로아파트
104-1701

이인성

서울특별시 서초구 방배4동 878-24

염호남

서울특별시 강남구 압구정동 신현대아파트 121동
1101호

(74) 대리인

박영우

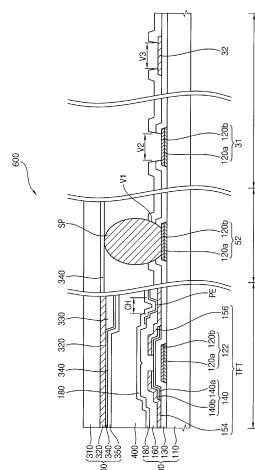
전체 청구항 수 : 총 20 항

(54) 표시 기판, 이의 제조 방법 및 이를 갖는 액정표시장치

(57) 요약

불량을 감소시키기 위한 표시 기판, 이의 제조방법 및 이를 갖는 액정표시장치가 개시된다. 표시 기판은 게이트 배선들, 소스 배선들, 화소부들 단락 패드부 및 단락 부재를 포함한다. 게이트 배선들은 기판 상에 형성되며, 게이트 금속층으로 이루어진다. 소스 배선들은 게이트 배선들과 절연되어 교차하며, 소스 금속층으로 이루어진다. 화소부들은 게이트 배선들과 소스 배선들의 교차 영역에 형성되어 표시 영역을 정의한다. 단락 패드부는 표시 영역을 둘러싸는 주변 영역에 형성되고, 게이트 금속층과 소스 금속층 중 적어도 하나로 형성되며, 공통 전압이 인가된다. 단락 부재는 단락 패드부와 직접 접촉하며, 도전성을 갖는다. 이때, 단락 패드부는 제1 금속층 및 제1 금속층보다 이온화 에너지가 큰 제2 금속층이 순차적으로 적층된 구조로 형성된다. 제2 금속층은 제1 금속층의 부식을 방지하기 위하여 제1 금속층보다 이온화 에너지가 큰 금속으로 형성되므로, 표시 기판 상에 노출되는 단락 패드부의 부식을 억제할 수 있다. 이에 따라, 단락 패드부의 부식 방지를 위한 별도의 커버 전극 형성을 생략할 수 있으므로, 표시 기판의 제조 공정중에 발생하는 정전기가 커버 전극을 통해 표시 기판 내부로 유입되는 것을 방지할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 형성되며, 게이트 금속층으로 이루어진 게이트 배선들;

상기 게이트 배선들과 절연되어 교차하며, 소스 금속층으로 이루어진 소스 배선들;

상기 게이트 배선들과 소스 배선들의 교차 영역에 형성되어 표시 영역을 정의하는 복수의 화소부들;

상기 표시 영역을 둘러싸는 주변 영역에 형성되고, 상기 게이트 금속층과 소스 금속층 중 적어도 하나로 형성되며, 공통 전압이 인가되는 단락 패드부; 및

상기 단락 패드부와 직접 접촉하고, 도전성을 갖는 단락 부재를 포함하며,

상기 단락 패드부는 제1 금속층 및 상기 제1 금속층보다 이온화 에너지가 큰 제2 금속층이 순차적으로 적층된 구조인 것을 특징으로 하는 표시 기관.

청구항 2

제1항에 있어서, 상기 각 화소부는

상기 게이트 배선과 소스 배선에 연결된 박막 트랜지스터; 및

상기 박막 트랜지스터와 전기적으로 연결된 화소 전극을 포함하며,

상기 제2 금속층은 상기 화소 전극과 식각 선택성을 갖는 것을 특징으로 하는 표시 기관.

청구항 3

제2항에 있어서, 상기 제2 금속층과 상기 화소 전극 간의 이온화 에너지 차는 상기 제1 금속층과 상기 화소 전극 간의 이온화 에너지 차보다 작은 것을 특징으로 하는 표시 기관.

청구항 4

기관 상에 형성되며, 게이트 금속층으로 이루어진 게이트 배선들;

상기 게이트 배선들과 절연되어 교차하며, 소스 금속층으로 이루어진 소스 배선들;

상기 게이트 배선들과 소스 배선들의 교차 영역에 형성되어 표시 영역을 정의하는 복수의 화소부들;

상기 표시 영역을 둘러싸는 주변 영역에 형성되고, 상기 게이트 금속층과 소스 금속층 중 적어도 하나로 형성되며, 공통 전압이 인가되는 단락 패드부; 및

상기 단락 패드부와 직접 접촉하고, 도전성을 갖는 단락 부재를 포함하며,

상기 단락 패드부는 알루미늄-네오디뮴(AlNd) 보다 이온화 에너지가 큰 제1 금속층을 포함하는 것을 특징으로 하는 표시 기관.

청구항 5

제4항에 있어서, 상기 각 화소부는

상기 게이트 배선과 소스 배선에 연결된 박막 트랜지스터; 및

상기 박막 트랜지스터와 전기적으로 연결된 화소 전극을 포함하며,

상기 제1 금속층은 상기 화소 전극과 식각 선택성을 갖는 것을 특징으로 하는 표시 기관.

청구항 6

제5항에 있어서, 상기 제1 금속층과 상기 화소 전극 간의 이온화 에너지 차는 알루미늄-네오디뮴(AlNd)과 상기 화소 전극 간의 이온화 에너지 차보다 작은 것을 특징으로 하는 표시 기관.

청구항 7

제4항에 있어서, 상기 제1 금속층은 폴리브덴을 포함하는 것을 특징으로 하는 표시 기판.

청구항 8

제4항에 있어서, 상기 제1 금속층은 크롬을 포함하는 것을 특징으로 하는 표시 기판.

청구항 9

제4항에 있어서, 상기 단락 패드부는 상기 게이트 금속층으로 형성되는 것을 특징으로 하는 표시 기판.

청구항 10

제9항에 있어서, 상기 게이트 금속층은 상기 제1 금속층과, 상기 제1 금속층 하부에 알루미늄-네오디뮴으로 이루어진 제2 금속층이 적층된 구조인 것을 특징으로 하는 포함하는 표시 기판.

청구항 11

제4항에 있어서, 상기 단락 패드부는 상기 소스 금속층으로 형성되는 것을 특징으로 하는 표시 기판.

청구항 12

제4항에 있어서, 상기 단락 패드부는 상기 게이트 금속층으로 형성된 제1 단락 패드와, 상기 소스 금속층으로 형성된 제2 단락 패드가 적층된 구조인 것을 특징으로 하는 표시 기판.

청구항 13

제4항에 있어서, 상기 복수의 화소부들이 정의된 기판 전면에 형성되며, 상기 단락 패드부에 대응하여 홀이 형성된 유기 절연층을 포함하는 것을 특징으로 하는 표시 기판.

청구항 14

표시 영역과 주변 영역이 구분된 기판 상에 상기 주변 영역으로부터 표시 영역으로 연장된 게이트 배선들과, 상기 주변 영역에 형성된 공통전압배선 및 상기 공통전압배선에 연결된 단락 패드부를 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴이 형성된 기판 상에 상기 단락 패드부에 대응하는 제1 홀이 형성된 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 상기 게이트 배선들과 교차하는 소스 배선들을 포함하는 소스 패턴을 형성하는 단계;

상기 소스 패턴이 형성된 게이트 절연층 상에 상기 제1 홀에 대응하는 제2 홀이 형성된 패시베이션층을 형성하는 단계; 및

상기 제1 및 제2 홀을 통해 상기 단락 패드부와 직접 접촉하는 단락 부재를 형성하는 단계를 포함하며,

상기 게이트 패턴은 알루미늄-네오디뮴 보다 이온화 에너지가 큰 제1 금속층을 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 15

제14항에 있어서, 상기 게이트 패턴은 상기 제1 금속층 하부에 알루미늄-네오디뮴으로 이루어진 제2 금속층이 적층된 구조인 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 16

제14항에 있어서, 상기 패시베이션층 상에 상기 제2 홀에 대응하는 제3 홀이 형성된 유기 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 17

표시 영역과 주변 영역이 구분된 기판 상에 상기 주변 영역으로부터 상기 표시 영역으로 연장된 게이트 배선들을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴이 형성된 기판 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 상기 게이트 배선들과 교차하는 소스 배선들, 상기 주변 영역에 형성되는 공통전압배선 및 상기 공통전압배선에 연결된 제1 단락 패드를 포함하는 소스 패턴을 형성하는 단계;

상기 소스 패턴이 형성된 게이트 절연층 상에 상기 제1 단락 패드에 대응하는 제1 홀이 형성된 패시베이션층을 형성하는 단계; 및

상기 제1 홀을 통해 상기 제1 단락 패드와 직접 접촉하는 단락 부재를 형성하는 단계를 포함하며,

상기 소스 패턴은 알루미늄-네오디뮴 보다 이온화 에너지가 큰 금속층으로 형성되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 18

제17항에 있어서, 상기 게이트 패턴은 상기 제1 단락 패드에 대응하는 제2 단락 패드를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 19

제18항에 있어서, 상기 게이트 절연층에는 상기 제2 단락 패드에 대응하는 제2 홀이 형성된 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 20

복수의 화소부가 정의된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역으로 구분되는 두 영역을 가지는 제1 기판;

상기 주변 영역에 형성되고, 공통 전압이 인가되는 단락 패드부;

상기 제1 기판에 대향하여 배치되며, 상기 제1 기판과의 대향면에는 투명 전극층으로 이루어진 공통 전극이 형성된 제2 기판;

상기 표시 영역에 대응하여 상기 제1 기판과 제2 기판 사이에 개재된 액정층; 및

일단부는 상기 단락 패드부와 직접 접촉하고, 타단부는 상기 공통 전극과 접촉하여 상기 단락 패드부와 상기 공통 전극을 전기적으로 연결시키는 단락 부재를 포함하며,

상기 단락 패드부는 알루미늄-네오디뮴 보다 이온화 에너지가 큰 제1 금속층을 포함하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 표시 기판, 이의 제조 방법 및 이를 갖는 액정표시장치에 관한 것으로, 보다 상세하게는 불량률을 감소시키기 위한 표시 기판, 이의 제조 방법 및 이를 갖는 액정표시장치에 관한 것이다.
- <20> 일반적으로, 액정표시장치는 화소 기판, 상기 화소 기판과 대향하는 대향 기판 및 상기 화소 기판과 상기 대향 기판 사이에 개재된 액정층으로 이루어진다. 외부로부터의 신호에 의하여 상기 화소 기판과 상기 대향 기판 사이에 전계가 형성되면, 액정 분자의 배열각이 변화되어 영상을 표시한다.
- <21> 상기 화소 기판은 복수의 화소부들이 형성되어 영상을 표시하는 표시 영역과, 상기 표시 영역을 둘러싸는 주변 영역을 포함한다. 상기 복수의 화소부들은 복수의 게이트 배선들 및 상기 게이트 배선과 교차하는 복수의 데이터 배선들에 의해 매트릭스 형상으로 형성된다. 각 화소부에는 상기 게이트 배선과 데이터 배선에 연결된 박막 트랜지스터(Thin Film Transistor) 및 상기 박막 트랜지스터와 전기적으로 연결된 화소 전극이 형성된다.
- <22> 상기 주변 영역에는 상기 화소부들을 구동하는 구동 회로 및 쇼트 포인트가 형성된다. 상기 쇼트 포인트는 공통 전압배선의 일단부에 형성된 단락 패드부, 상기 단락 패드부를 노출시키는 비아홀이 형성된 패시베이션층 및 단

락 부재를 포함한다. 상기 단락 부재의 일단부는 상기 비아홀을 통해 상기 단락 패드부와 전기적으로 접촉하고, 타단부는 상기 대향 기관의 공통 전극과 접촉하여 상기 공통 전극에 공통 전압을 인가한다. 한편, 상기 패시베이션층 상에는 상기 비아홀을 통해 노출되는 상기 단락 패드부의 부식을 방지하기 위하여 상기 화소 전극과 동일 재질로 이루어진 커버 전극이 형성된다. 상기 커버 전극은 상기 단락 패드부를 충분히 커버하기 위해 상기 단락 패드부보다 넓은 면적으로 형성되며, 화소 기관의 표면으로 노출된다.

<23> 한편, 상기 화소 기관의 제조 공정 시에는, 공정 중에 발생된 정전기가 화소 기관 내로 유입되는 경우가 발생하며, 화소 기관 표면으로 노출된 상기 커버 전극을 통해 화소 기관 내부로 유입되는 경우가 빈번하다. 화소 기관에 유입된 정전기는 상기 배선들의 단선 및 단락과 같은 배선 불량률에 악영향을 미치며, 박막트랜지스터를 손상시켜 액정표시장치의 신뢰성을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<24> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 불량률 감소하기 위한 표시 기관을 제공하는 것이다.

<25> 본 발명의 다른 목적은 상기한 표시 기관의 제조 방법을 제공하는 것이다.

<26> 본 발명의 또다른 목적은 상기한 표시 기관을 갖는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

<27> 상기한 본 발명의 목적을 실현하기 위하여 실시예에 따른 표시 기관은 게이트 배선들, 소스 배선들, 복수의 화소부들, 단락 패드부 및 단락 부재를 포함한다. 상기 게이트 배선들은 기관 상에 형성되며, 게이트 금속층으로 이루어진다. 상기 소스 배선들은 상기 게이트 배선들과 절연되어 교차하며, 소스 금속층으로 이루어진다. 상기 복수의 화소부들은 상기 게이트 배선들과 소스 배선들의 교차 영역에 형성되어 표시 영역을 정의한다. 상기 단락 패드부는 상기 표시 영역을 둘러싸는 주변 영역에 형성되고, 상기 게이트 금속층과 소스 금속층 중 적어도 하나로 형성되며, 공통 전압이 인가된다. 상기 단락 부재는 상기 단락 패드부와 직접 접촉하며, 도전성을 갖는다. 이때, 상기 단락 패드부는 제1 금속층 및 상기 제1 금속층보다 이온화 에너지가 큰 제2 금속층이 순차적으로 적층된 구조로 형성된다.

<28> 상기한 본 발명의 다른 목적을 실현하기 위하여 실시예에 따른 표시 기관의 제조 방법은 표시 영역과 주변 영역이 구분된 기관 상에 상기 주변 영역으로부터 표시 영역으로 연장된 게이트 배선들과, 상기 주변 영역에 형성된 공통전압배선 및 상기 공통전압배선에 연결된 단락 패드부를 포함하는 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴이 형성된 기관 상에 상기 단락 패드부에 대응하는 제1 홀이 형성된 게이트 절연층을 형성하는 단계와, 상기 게이트 절연층 상에 상기 게이트 배선들과 교차하는 소스 배선들을 포함하는 소스 패턴을 형성하는 단계와, 상기 소스 패턴이 형성된 게이트 절연층 상에 상기 제1 홀에 대응하는 제2 홀이 형성된 패시베이션층을 형성하는 단계 및 상기 제1 및 제2 홀을 통해 상기 단락 패드부와 직접 접촉하는 단락 부재를 형성하는 단계를 포함한다. 이때, 상기 게이트 패턴은 알루미늄-네오디뮴 보다 이온화 에너지가 큰 제1 금속층을 포함한다.

<29> 상기한 본 발명의 또 다른 목적을 실현하기 위하여 실시예에 따른 액정표시장치는 제1 기관, 단락 패드부, 제2 기관, 액정층 및 단락 부재를 포함한다. 상기 제1 기관은 복수의 화소부가 정의된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역으로 구분되는 두 영역을 갖는다. 상기 단락 패드부는 상기 주변 영역에 형성되고, 공통 전압이 인가된다. 상기 제2 기관은 상기 제1 기관에 대향하여 배치되며, 상기 제1 기관과의 대향면에는 투명 전극층으로 이루어진 공통 전극이 형성된다. 상기 액정층은 상기 표시 영역에 대응하여 상기 제1 기관과 제2 기관 사이에 개재된다. 상기 단락 부재는 일단부는 상기 단락 패드부와 직접 접촉하고, 타단부는 상기 공통 전극과 접촉하여 상기 단락 패드부와 상기 공통 전극을 전기적으로 연결시킨다. 이때, 상기 단락 패드부는 알루미늄-네오디뮴 보다 이온화 에너지가 큰 제1 금속층을 포함한다.

<30> 이러한 표시 기관, 이의 제조 방법 및 이를 갖는 액정표시장치에 의하면, 표시 기관의 제조 공정 중에 발생하는 정전기 유입을 억제함으로써 표시 기관 불량률 감소시킬 수 있다.

<31> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명한다.

<32> 도 1은 본 발명의 실시예에 따른 액정표시장치(600)의 평면도이다.

<33> 도 1을 참조하면, 액정표시장치(600)는 표시 기관(100), 대향 기관(300) 및 상기 표시 기관(100)과 대향 기관

(300) 사이에 개재된 액정층(미도시)을 포함한다.

- <34> 표시 기관(100)은 제1 투명 기관을 포함한다. 상기 제1 투명 기관 상에는 표시영역(DA)과 상기 표시영역(DA)을 둘러싸는 제1, 제2, 제3 및 제4 주변영역(PA1, PA2, PA3, PA4)이 정의된다.
- <35> 상기 표시영역(DA)에는 복수의 게이트 배선(GL)들과, 복수의 소스 배선(DL)들과, 상기 게이트 배선들과 소스 배선들에 의해 정의되는 복수의 화소부들이 형성된다. 각 화소부(P)에는 게이트 배선(GL)과 소스 배선(DL)에 연결된 박막 트랜지스터(TFT)와, 상기 박막 트랜지스터(TFT)에 연결된 화소 전극(PE)이 형성된다. 도시되지는 않았으나, 상기 화소부(P)에는 스토리지 캐패시터가 형성된다.
- <36> 상기 제1 주변영역(PA1)에는 복수의 패드(31,32,33)들로 이루어진 패드부(30)가 형성된다. 상기 패드부(30)는 상기 화소부들을 구동하기 위한 구동신호를 출력하는 구동 칩과 전기적으로 연결된다.
- <37> 구체적으로, 상기 패드부(30)는 제1 및 제2 공통전압 배선(51,61)의 일단부와 연결되는 제1 패드(31)와, 소스 배선(DL)의 일단부에 연결되는 제2 배선(32) 및 제1 및 제2 게이트 구동 신호 인입배선(81,91)의 일단부와 연결되는 제3 패드(33)로 구성된다. 상기 제1,2,3 패드(31,32,33)는 게이트 배선(GL), 또는 소스 배선(DL)과 동일 금속층으로 형성될 수 있으며, 특히 제2 패드(32)의 경우 소스 배선(DL)과 동일 금속층으로 형성되는 것이 바람직하다. 한편, 본 실시예에서는 상기 제1,2,3 패드(31,32,33)가 제1 주변영역(PA1)에 함께 형성되었으나 이는 필수적인 것은 아니며 서로 다른 주변영역에 형성될 수도 있다.
- <38> 상기 제2 주변영역(PA2)에는 제1 쇼트 포인트(50) 및 제2 쇼트 포인트(60)가 형성된다.
- <39> 상기 제1 및 제2 쇼트 포인트(50, 60)는 상기 표시 기관(100)과 대향하는 대향 기관(300)의 공통전극층(미도시)과 쇼트되어 공통전압(Vcom)을 상기 대향 기관(300)의 공통전극층(미도시)에 전달한다.
- <40> 상기 제3 주변영역(PA3)에는 제1 공통전압배선(51), 및 제1 게이트 회로부(80)가 형성된다. 상기 제1 공통전압 배선(51)은 상기 제1 쇼트 포인트(50) 및 상기 화소부(P)의 스토리지 공통전극(미도시)과 전기적으로 연결되어 상기 제1 쇼트 포인트(50) 및 스토리지 공통전극에 공통전압(Vcom)을 전달한다.
- <41> 상기 제1 게이트 회로부(80)는 상기 제1 게이트 구동 신호 인입배선(81)과 전기적으로 연결되며, 상기 게이트 배선(GL)들 중 제1 그룹의 게이트 배선들에 순차적으로 게이트 신호들을 출력한다. 예컨대, 상기 제1 그룹은 홀수번째 게이트 배선들이다.
- <42> 상기 제4 주변영역(PA4)에는 제2 공통전압배선(61), 및 제2 게이트 회로부(90)가 형성된다. 상기 제2 공통전압 배선(61)은 상기 제2 쇼트 포인트(60) 및 상기 화소부(P)의 스토리지 공통전극(미도시)과 전기적으로 연결되어 상기 제2 쇼트 포인트(60) 및 스토리지 공통전극에 공통전압(VCOM)을 전달한다.
- <43> 상기 제2 게이트 회로부(90)는 상기 제2 게이트 구동 신호 인입배선(91)과 전기적으로 연결되며, 상기 게이트 배선(GL)들 중 제2 그룹의 게이트 배선들에 순차적으로 게이트 신호들을 출력한다. 예컨대, 상기 제2 그룹은 짝수번째 게이트 배선들이다.
- <44> 상기 대향 기관(300) 및 액정층(미도시)는 도 2에서 상세히 후술하도록 한다.
- <45> 도 2는 도 1에 도시한 액정표시장치의 화소부, 제1 쇼트포인트(50), 제1 패드 및 제2 패드(32)를 도시한 단면도이다.
- <46> 도 1 및 도 2를 참조하면, 각 화소부(P)내에 형성된 박막 트랜지스터(TFT)는 게이트 전극(122), 게이트 절연층(130), 채널층(140), 소스 전극(154) 및 드레인 전극(156)을 포함한다. 게이트 전극(122)은 게이트 배선(GL)으로부터 연장된다. 상기 게이트 배선(GL), 상기 게이트 전극(122), 상기 제1 및 제2 공통전압배선(51,61), 및 상기 제1 패드(31)를 포함하는 게이트 패턴은 동일 금속층을 패터닝하여 형성한다.
- <47> 이때, 상기 게이트 패턴은 단일 금속층으로 이루어 질 수도 있고, 물리적 성질이 다른 두 개 이상의 층으로 형성될 수도 있다.
- <48> 예를 들어, 상기 게이트 패턴이 제1 금속층(120a)과 제2 금속층(120b)이 순차적으로 적층된 구조로 형성될 경우, 상기 제1 금속층(120a)은 배선의 본래 기능인 전기적 통로의 역할을 하기 위하여 저저항 금속으로 형성한다.
- <49> 상기 제2 금속층(120b)은 상기 제1 금속층(120a) 보다 이온화 에너지가 큰 금속으로 형성한다. 금속의 이온화 에너지가 클수록 이온화 경향은 작아지므로, 금속층의 내식성은 증가한다. 이에 따라, 상기 제1 금속층(120a)의

상부에 형성된 제2 금속층(120b)은 상기 제1 금속층(120a)의 부식을 방지할 수 있다.

- <50> 일례로, 상기 게이트 패턴은 알루미늄-네오디뮴으로 이루어진 제1 금속층(120a)과, 몰리브덴(Mo)으로 형성된 제2 금속층(120b)이 순차적으로 적층된 구조로 형성될 수 있다. 또한, 상기 게이트 패턴은 알루미늄-네오디뮴(AlNd)으로 이루어진 제1 금속층(120a) 상에 크롬을 포함하는 제2 금속층(120b)이 순차적으로 적층된 구조로 형성될 수도 있다. 한편, 상기 제2 금속층(120b)이 크롬을 포함할 경우, 제2 금속층(120b)의 표면에는 질화 크롬으로 이루어진 표면 보호막을 형성하는 것이 바람직하다. 상기 표면 보호막은 일례로, 500Å의 두께로 형성되며, 공기 중에서 크롬이 산화되는 것을 방지한다.
- <51> 한편, 상기 저저항 물질인 알루미늄-네오디뮴으로 이루어진 단일층으로 상기 게이트 패턴을 형성할 경우, 고온에서 힐록(hillock)과 같은 불량이 발생하여 배선의 신뢰성을 저하시킬 수 있으며, 상기 제2 금속층(120b)보다 내식성이 취약하여 화학 물질과의 접촉 시 상기 제2 금속층(120b)보다 쉽게 부식되는 단점이 있다. 따라서, 상기 게이트 패턴을 단일층으로 형성할 경우에는 상기 제2 금속층(120b)과 동일 재질로 형성하는 것이 바람직하다.
- <52> 본 실시예에서는 상술한 제1 금속층(120a)과 제2 금속층(120b)이 적층된 구조로 게이트 패턴을 도시하도록 한다.
- <53> 상기 게이트 절연층(130)은 상기 게이트 패턴이 형성된 제1 투명 기판(110) 전면에서 형성될 수 있다. 상기 게이트 절연층(130)은 일례로, 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx)으로 이루어지며, 화학 기상 증착 방식(Plasma enhanced chemical deposition)으로 형성할 수 있다.
- <54> 상기 채널층(140)은 상기 게이트 전극(122)과 중첩되도록 상기 게이트 절연층(130) 상에 형성된다. 상기 채널층(140)은 일례로, 비정질 실리콘(a-Si:H)으로 이루어진 활성층(140a)과 n+ 이온이 고농도로 도핑된 저항성 접촉층(n+ a-Si)(140b)을 포함한다.
- <55> 상기 소스 전극(154)은 소스 배선(DL)으로부터 연장되어 형성되며, 상기 채널층(140)과 일부 중첩된다. 상기 드레인 전극(156)은 상기 소스 전극(154)으로부터 소정 간격 이격되어 상기 채널층(140)과 일부 중첩된다.
- <56> 상기 채널층(140)은 상기 소스 전극(154)과 드레인 전극(156)의 이격부에 대응하여 상기 저항성 접촉층(140b)이 제거된다. 이에 따라, 상기 소스 전극(154)과 드레인 전극(156)의 이격부에서는 상기 활성층(140a)이 노출된다.
- <57> 상기 채널층(140)은 상기 게이트 전극(122)에 전압이 인가되면 도전체 특성을 갖고, 게이트 전극(122)에 전압이 인가되지 않으면 부도체 특성을 갖는다. 이에 따라, 상기 게이트 전극(122)에 게이트 구동 신호가 인가되면, 상기 소스 배선(DL)으로부터 제공된 소스 구동 신호가 상기 채널층(140)을 통해 상기 드레인 전극(156)으로 인가된다.
- <58> 한편, 상기 소스 배선(DL), 상기 소스 배선(DL)의 일단부에 형성된 제2 패드(32), 소스 전극(154) 및 드레인 전극(156)을 포함하는 소스 패턴은 상기 제1 금속층(120a)보다 이온화 에너지가 크고, 화소 전극(PE)과의 이온화 에너지 차가 작은 제3 금속층을 패터닝하여 형성한다. 좀더 구체적으로, 상기 제3 금속층은 알루미늄-네오디뮴보다 내식성이 우수하여, 물리적 충격이나 표시 기판의 제조 공정 중에 제공되는 화학 물질에 노출되어도 부식이 억제될 수 있는 금속으로 이루어진다. 또한, 상기 제3 금속층과 상기 화소 전극(PE) 간의 이온화 에너지 차는 알루미늄-네오디뮴과 화소 전극(PE) 간의 이온화 에너지 차보다 작은 것이 바람직하다.
- <59> 상기 드레인 전극(156)은 후술하는 콘택홀(CH)을 통해 상기 화소 전극(PE)과 접촉하므로, 화소 전극(PE)과의 이온화 에너지 차가 작은 상기 제3 금속층으로 상기 드레인 전극(156)을 형성함으로써 갈바닉 부식현상(Galvanic corrosion)을 억제할 수 있다.
- <60> 일례로, 상기 제3 금속층은 몰리브덴 또는 크롬을 포함하는 금속층으로 형성할 수 있다. 한편, 상기 제3 금속층이 순수 크롬층을 포함할 경우, 상기 순수 크롬층이 대기 중에 노출되면 크롬과 산소가 반응하여 표면에 산화 크롬막이 형성된다. 상기 산화 크롬막은 상기 화소 전극(PE)과의 접촉 저항을 증가시키므로, 상기 산화 크롬막(PE)의 형성을 방지하기 위하여 상기 순수 크롬층 상에는 질화 크롬으로 이루어진 표면 보호막을 형성하는 것이 바람직하다. 이때, 상기 콘택홀(CH)에서는 상기 표면 보호막을 제거하여 상기 화소 전극(PE)과 상기 순수 크롬층을 직접 접촉시킨다.
- <61> 상기 박막 트랜지스터(TFT)가 형성된 제1 투명 기판(110) 상에는 패시베이션층(160)이 형성된다. 상기 패시베이션층(160)은 일례로, 실리콘 질화막 또는 실리콘 산화막으로 이루어지며, 화학 기상 증착 방식으로 형성할 수

있다.

- <62> 한편, 상기 패시베이션층(160)내에는 상기 드레인 전극(156)의 일부를 노출시키는 콘택홀(CH)이 형성된다.
- <63> 상기 화소 전극(PE)은 상기 각 화소부(P)에 대응하여 상기 패시베이션층(160) 상에 형성된다. 상기 화소 전극(PE)은 박막트랜지스터(TFT)의 드레인 전극(156)과 상기 콘택홀(CH)을 통해 접촉하며, 상기 드레인 전극(156)으로부터 소스 구동 신호를 인가받는다. 상기 화소 전극(PE)은 투명한 도전성 물질로 형성되며, 일례로 산화 주석 인듐(Indium Tin Oxide material, ITO) 또는 산화 아연 인듐(Indium Zinc Oxide material, IZO)으로 형성할 수 있다.
- <64> 이때, 상기 화소 전극(PE)은 상기 게이트 패턴의 제2 금속층(120b) 및 상기 소스 패턴과 식각 선택성을 갖는 물질로 형성된다.
- <65> 구체적으로, 상기 제2 금속층(120b) 및 소스 패턴이 크롬을 포함할 경우, 상기 화소 전극(PE)은 크롬과 식각 선택성을 갖는 인듐 틴 옥사이드로 형성된다.
- <66> 또한, 상기 제2 금속층(120b) 및 소스 패턴이 몰리브덴을 포함할 경우, 상기 화소 전극(PE)은 몰리브덴과 식각 선택성을 갖는 인듐 징크 옥사이드 또는 비정질 인듐 틴 옥사이드로 형성된다.
- <67> 한편, 상기 화소 전극(PE) 상에는 상기 표시 영역(DA)에 대응하여 제1 배향막(180)이 형성된다. 상기 제1 배향막(180)은 유기 배향막 또는 무기 배향막으로 형성될 수 있으며, 상기 표시 영역(DA) 전체에 걸쳐 일정한 두께로 형성되는 것이 바람직하다. 상기 제1 배향막(180) 상에는 상기 액정층(400)의 액정 분자들을 일정 각도로 배열하기 위한 일정 방향의 결이 형성된다.
- <68> 상기 제1 쇼트 포인트(50)는 단락 패드부(52) 및 접촉구(SP)를 포함한다.
- <69> 상기 단락 패드부(52)는 상기 제1 공통전압배선(51)에 연결되어 상기 제2 주변영역(PA2)에 형성된다. 따라서, 상기 단락 패드부(52)는 상기 제1 공통전압배선(51)과 동일하게 게이트 패턴으로 형성된다. 상기 단락 패드부(52) 상에는 상기 게이트 절연층(130) 및 패시베이션층(160)이 형성된다. 이때, 상기 게이트 절연층(130) 및 패시베이션층(160)에는 상기 단락 패드부(52)에 대응하여 제1 비아홀(V1)이 형성된다.
- <70> 한편, 상기 단락 패드부(52)는 상기 게이트 패턴으로 형성되므로, 상기 제1 비아홀(V1)에서는 상기 제2 금속층(120b)이 노출된다. 상기 제2 금속층(120b)은 상기 제1 금속층(120a)의 부식을 방지하기 위하여 상기 제1 금속층(120a) 보다 이온화 에너지가 큰 금속으로 형성되므로, 상기 제2 금속층(120b)의 부식을 방지하기 위한 별도의 커버 전극은 불필요하다. 따라서, 종래에 상기 제1 비아홀(V1)에 대응하여 상기 패시베이션층(160) 상에 화소 전극(PE)과 동일층으로 형성하던 커버 전극은 생략할 수 있다. 이에 따라, 배향막 러빙 공정과 같은 표시 기관의 제조 공정 중에 발생한 정전기가 상기 커버 전극을 통해 표시 기관 내부로 유입되는 것을 방지할 수 있다. 이에 따라, 정전기 유입으로 인한 표시 기관(100)의 불량률 감소시킬 수 있다. 한편, 상기 단락 패드부를 상기 제2 금속층(120b)과 동일 재질로 이루어진 단일 금속층으로 형성하는 경우에도 상술한 커버 전극을 생략할 수 있음은 물론이다.
- <71> 상기 제1 비아홀(V1) 상에는 상기 접촉구(SP)가 형성된다. 상기 접촉구(SP)는 도전성 물질로 형성된다. 일례로서, 상기 접촉구(SP)는 실버 페이스트(Silver Paste)로 형성할 수 있다. 상기 접촉구(SP)는 상기 제1 비아홀(V1)을 통해 상기 단락 패드부(52)와 직접 접촉하며, 상기 제1 공통전압배선(51)으로부터 제공된 공통전압(Vcom)을 인가받는다. 이때, 상기 접촉구(SP)는 액정표시장치(600)의 액정 셀갭과 동일한 두께로 형성되어 대향 기관(300)에 형성된 공통 전극층(340)과 일단면이 접촉한다. 이에 따라, 상기 공통 전극층(340)에는 상기 접촉구(SP)를 통해 공통전압(Vcom)이 인가된다.
- <72> 한편, 상기 제2 쇼트 포인트(60) 역시 상기 제1 쇼트 포인트(50)와 동일한 구조로 형성된다.
- <73> 상기 제1 패드(31)는 게이트 패턴으로 형성되며, 제1 및 제2 게이트 구동 신호 인입배선(81,91)의 일단부 및/또는 제1 및 제2 공통전압배선(51,61)의 일단부와 연결된다.
- <74> 상기 표시 기관(100)에 제1 및 제2 게이트 회로부(80,90)가 형성되지 않을 경우, 상기 제3 패드(33)는 각각의 게이트 배선(GL)의 일단부에 형성되며 상기 제3 패드(33)는 게이트 구동 칩과 연결된다.
- <75> 상기 제1 패드(31) 상에는 상기 게이트 절연층(130) 및 상기 패시베이션층(160)이 형성된다. 이때, 상기 게이트 절연층(130)과 상기 패시베이션층(160)에는 상기 제1 패드(31)를 노출시키는 제2 비아홀(V2)이 형성된다. 상기 제1 패드(31)는 상기 게이트 패턴으로 형성되므로, 상기 제2 비아홀(V2)에서는 상기 제2 금속층(120b)이 노출된

다. 상기 제2 금속층(120b)은 게이트 패턴의 부식을 방지하기 위하여, 제1 금속층(120a) 보다 이온화 에너지가 큰 금속으로 형성되므로, 상기 제2 비아홀(V2) 상에 상기 제1 금속층(120a)의 부식을 방지하기 위해 형성하던 별도의 커버 전극을 생략할 수 있다. 상기 게이트 패턴을 상기 제2 금속층(120b)과 동일 재질로 이루어진 단일 금속층으로 형성하는 경우에도 상술한 커버 전극을 생략할 수 있음은 물론이다.

- <76> 상기 제2 패드(32)는 상기 소스 배선(DL)의 일단부에 연결된다. 따라서, 상기 제2 패드(32)의 하부에는 상기 게이트 절연층(130)이 형성되고, 상부에는 상기 패시베이션층(160)이 형성된다. 이때, 상기 패시베이션층(160)에는 상기 제2 패드(32)에 대응하여 제3 비아홀(V3)이 형성된다.
- <77> 상기 제2 패드(32)는 상기 소스 배선(DL)과 동일한 소스 패턴으로 형성되므로, 상기 제3 금속층으로 형성된다. 상기 제3 금속층은 상술한 바와 같이 알루미늄-네오디뮴(AlNd) 보다 이온화 에너지가 큰 금속인 폴리브덴, 크롬 등을 포함하는 금속으로 형성되므로, 상기 제3 비아홀(V3) 상에도 상기 제2 패드(32)의 부식을 방지하기 위한 별도의 커버 전극을 생략할 수 있다.
- <78> 상기 대향 기관(300)은 상기 표시 기관(100)보다 작은 면적으로 형성되는 것이 바람직하며, 상기 표시 기관(100)과 결합하여 액정층(400)을 개재한다. 구체적으로, 상기 대향 기관(300)은 상기 표시 영역(DA) 및 상기 제1 및 제2 쇼트 포인트(50,60)를 커버하는 면적으로 형성된다. 상기 대향 기관(300)은 제2 투명 기관(310)을 포함한다. 상기 표시 기관(100)과의 대향면 상에는 블랙 매트릭스(320), 컬러 필터층(330), 공통 전극층(340) 및 제2 배향막(350)을 순차적으로 형성할 수 있다.
- <79> 상기 블랙 매트릭스(320)는 상기 표시 영역(DA)에 형성된 게이트 배선(GL), 소스 배선(DL) 및 박막 트랜지스터(TFT)에 대응하여 형성되며, 상기 화소 전극(PE)이 형성되지 않은 영역에서 발생하는 누설광을 차단한다. 상기 컬러 필터층(330)은 상기 표시 기관(100)에 형성된 화소전극(PE)들과 마주보도록 배치된 복수의 컬러 필터들을 포함한다.
- <80> 상기 공통 전극층(340)은 상기 화소 전극(PE)과 동일한 재질로 형성되며, 상기 대향 기관(300) 전면에 대응하여 형성될 수 있다.
- <81> 상기 제2 배향막(350)은 상기 표시 영역(DA)에 대응하여 상기 공통 전극층(340) 상에 형성되며, 표면에는 상기 액정층(400)의 액정분자를 배열하기 위한 일정 방향의 결이 형성된다.
- <82> 상기 액정층(400)은 상기 표시 영역(DA)과 주변 영역(PA1,PA2,PA3,P4)의 경계부에 형성된 밀봉부재에 의해, 상기 표시 영역(DA)내에만 주입된다. 상기 액정층(400)은 상기 표시 기관(100)에 형성된 화소 전극(PE)과 상기 공통 전극층(340) 간에 형성되는 전계에 의해 배열되어 광을 투과시킨다.
- <83> 도 3 내지 도 9은 도 2에 도시된 표시 기관의 제조 방법을 도시한 단면도들이다.
- <84> 도 2 및 도 3을 참조하면, 제1 투명 기관(110) 상에 제1 금속층(120a)을 형성한다. 일례로, 상기 제1 금속층(120a)은 알루미늄-네오디뮴으로 이루어진다.
- <85> 이어서, 상기 제1 금속층(120a) 상에 상기 제1 금속층(120a)보다 이온화 에너지가 큰 금속으로 이루어진 제2 금속층(120b)을 형성한다. 상기 제2 금속층(120b)은 일례로, 폴리브덴으로 형성할 수 있다. 또한, 상기 제2 금속층(120b)은 순수 크롬층 상에 질화 크롬으로 이루어진 표면 보호막이 적층된 구조로 형성할 수도 있다. 상기 제1 및 제2 금속층(120b)은 스퍼터링 방식으로 형성한다.
- <86> 한편, 상기 제2 금속층(120b)을 순수 크롬층 상에 질화 크롬으로 이루어진 표면 보호막이 적층된 구조로 형성할 경우, 상기 표면 보호막은 상기 순수 크롬층을 형성하는 스퍼터링 공정 후반에, 스퍼터링 챔버 내에 질소 가스를 제공함으로써 순수 크롬층과 연속적으로 형성할 수 있다. 상기 질화 크롬층은 대략 500 Å의 두께로 형성하는 것이 바람직하며, 상기 순수 크롬층의 표면에 형성되는 박막이므로 별도의 층으로 도시하지는 않는다.
- <87> 이어서, 노광 마스크를 이용한 사진-식각 공정으로 상기 제1 금속층(120a)과 제2 금속층(120b)을 동시에 패터닝하여 게이트 배선(GL), 상기 게이트 배선(GL)에 연결된 게이트 전극(122), 제1 및 제2 공통전압배선(51,61), 단락 패드부(52) 및 제1 패드(31)를 포함하는 게이트 패턴을 형성한다.
- <88> 도 4를 참조하면, 상기 게이트 패턴이 형성된 제1 투명 기관(110) 상에 게이트 절연층(130)을 형성한다. 상기 게이트 절연층(130)은 일례로, 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx)으로 형성되며, 일례로 화학 기상 증착 방법(Plasma enhanced chemical deposition, PECVD)으로 형성할 수 있다.
- <89> 다음으로, 상기 게이트 절연층(130)이 형성된 베이스 기관(110) 위에 비정질 실리콘(a-Si)으로 형성된 활성층

(140a), n^+ 이온이 고농도로 도핑된 비정질 실리콘($n^+ a\text{-Si}$)으로 형성된 저항성 접촉층(140b)을 순차적으로 적층한다. 상기 활성층(140a) 및 저항성 접촉층(140b)은 상기 화학 기상 증착 방법으로 형성할 수 있다.

<90> 이어서, 사진-식각 공정으로 상기 활성층(140a) 및 저항성 접촉층(140b)을 동시에 패터닝하여, 상기 게이트 절연층(130) 상에서 상기 게이트 전극(122)과 중첩되는 채널층(140)을 형성한다.

<91> 도 5를 참조하면, 상기 채널층(140)이 형성된 베이스 기판(110) 상에 스퍼터링 방식으로 제3 금속층(미도시)을 형성한다. 상기 제3 금속층은 일례로, 알루미늄-네오디뮴 보다 이온화 에너지가 크고, 후술하는 화소 전극과의 이온화 에너지 차가 알루미늄-네오디뮴과 화소 전극 간의 이온화 에너지 차보다 작은 금속층으로 형성한다. 이에 따라, 화소 전극과의 이온화 에너지 차가 큰 상기 알루미늄-네오디뮴과 화소 전극 간의 접촉시 발생하는 갈바닉 부식 현상을 억제할 수 있다. 일례로, 상기 제3 금속층은 몰리브덴으로 형성할 수 있다. 또한, 상기 제3 금속층은 순수 크롬층 상에 질화 크롬으로 이루어진 표면 보호막이 적층된 구조로 형성할 수도 있다.

<92> 이어서, 상기 제3 금속층을 사진-식각 공정으로 패터닝하여 소스 배선(DL), 상기 소스 배선(DL), 제2 패드(32), 소스 전극(154) 및 드레인 전극(156)를 포함하는 소스 패턴을 형성한다.

<93> 상기 소스 전극(154)은 상기 소스 배선(DL)으로부터 연결되며, 상기 채널층(140)과 소정영역 중첩된다. 상기 드레인 전극(156)은 상기 소스 전극(154)으로부터 소정간격 이격되어 상기 채널층(140)과 중첩된다. 상기 제2 패드(32)는 상기 소스 배선(DL)의 일단부에 형성된다.

<94> 이어서, 상기 소스 전극(154) 및 드레인 전극(156)을 식각 마스크로 이용하여 상기 드레인 전극(156)과 소스 전극(154)의 이격부에서 노출된 상기 저항성 접촉층(140b)을 식각한다. 이에 따라, 상기 이격부에서는 상기 활성층(140a)이 노출된다.

<95> 도 6을 참조하면, 상기 소스 패턴이 형성된 게이트 절연층(130) 상에 패시베이션층(160)을 형성한다. 상기 패시베이션층(160)은 일례로, 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx) 등으로 형성할 수 있으며, 화학 기상 증착 방식으로 형성할 수 있다. 이어서, 노광 마스크를 이용한 사진-식각 공정을 통해 상기 게이트 절연층(130) 및 패시베이션층(160)을 패터닝하여 상기 드레인 전극(156)의 일단부를 노출시키는 콘택홀(CH)을 형성한다. 또한, 상기 단락 패드부(52)에 대응하는 게이트 절연층(130) 및 패시베이션층(160)에는 상기 단락 패드부(120)를 노출시키는 제1 비아홀(V1)을 형성한다. 마찬가지로, 상기 제1 패드(31)에 대응하는 게이트 절연층(130) 및 패시베이션층(160)에는 상기 제1 패드(31)를 노출시키는 제2 비아홀(V2)을 형성한다. 또한, 상기 제2 패드(32)에 대응하는 패시베이션층(160)에는 상기 제2 패드(32)를 노출시키는 제3 비아홀(V3)을 형성한다. 상기 게이트 절연층(130) 및 패시베이션층(160)층의 식각은 일례로, 건식 식각으로 진행된다.

<96> 한편, 상기 단락 패드부(52) 및 제1 패드(31)는 상기 게이트 패턴으로 형성되므로 상기 제1 비아홀(V1) 및 제2 비아홀(V2)에서는 상기 제2 금속층(120b)이 노출된다. 상기 제2 금속층(120b)은 상기 제1 금속층(120a)의 부식을 방지하기 위하여 상기 제1 금속층(120a) 보다 이온화 에너지가 큰 금속으로 형성되므로, 상기 제1 및 제2 비아홀(V1, V2)에서 노출된 상기 단락 패드부(52) 및 제1 패드(31)의 부식이 방지된다. 따라서, 상기 제1 비아홀(V1) 및 제2 비아홀(v2) 상에 상기 단락 패드부(52) 및 제1 패드(31)의 부식을 방지하기 위하여 형성하던 별도의 커버 전극을 생략할 수 있다. 또한, 상기 제2 패드(32)는 상기 제2 금속층(120b)과 마찬가지로 상기 제1 금속층(120a)보다 이온화 에너지가 큰 제3 금속층으로 형성되므로, 상기 제3 비아홀(V3) 상에는 상기 제2 패드(32)의 부식을 방지하기 위한 별도의 커버 전극을 생략할 수 있다.

<97> 한편, 상기 게이트 패턴의 제2 금속층(120b) 및 소스 패턴이 순수 크롬층 상에 질화 크롬으로 이루어진 표면 보호막이 적층된 구조로 형성될 경우, 상기 패시베이션층(160) 및 게이트 절연층(130)의 식각 공정 중에 상기 질화 크롬층도 식각 된다. 이에 따라, 상기 콘택홀(CH) 및 상기 제1, 제2 및 제3 비아홀(V1, V2, V3)에서는 순수 크롬층이 노출된다.

<98> 도 7을 참조하면, 상기 패시베이션층(160)이 형성된 제1 투명 기판(110) 전면에 투명한 도전성 물질을 도포한다. 상기 투명한 도전성 물질은 일례로, 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide), 비정질 인듐 틴 옥사이드(Amorphous Indium Tin Oxide) 등으로 형성할 수 있으며, 스퍼터링 공정에 의해 증착된다. 이때, 상기 투명한 도전성 물질은 상기 게이트 패턴의 제2 금속층(120b) 및 상기 소스 패턴과 식각 선택성을 갖는다.

<99> 구체적으로, 상기 제2 및 제3 금속층이 크롬을 포함할 경우, 상기 투명한 도전성 물질은 상기 크롬과 식각 선택성을 갖는 인듐 틴 옥사이드로 형성한다.

- <100> 또한, 상기 제2 및 제3 금속층이 몰리브덴을 포함할 경우, 상기 투명한 도전성 물질은 상기 몰리브덴과 식각 선택성을 갖는 인듐 징크 옥사이드 또는 비정질 인듐 틴 옥사이드로 형성한다.
- <101> 이어서, 사진-식각 공정으로 상기 투명한 도전성 물질을 패터닝 하여, 각 화소부(P)에 대응하는 화소 전극(PE)을 형성한다. 이때, 상기 화소 전극(PE)은 상기 콘택홀(CH)을 통해 상기 드레인 전극(156)과 접촉한다.
- <102> 도 8을 참조하면, 상기 화소 전극(PE)이 형성된 제1 투명 기판(110) 상에 상기 표시 영역(DA)에 대응하여 제1 배향막(180)을 형성한다. 상기 제1 배향막(180)은 유기 배향막 또는 무기 배향막으로 형성할 수 있으며, 러빙포를 이용한 러빙 공정에 의해 상기 제1 배향막(180)의 표면에는 일정 방향의 결이 형성된다.
- <103> 한편, 상기 러빙 공정은 섬유 재질의 러빙포를 이용하기 때문에 정전기의 발생이 빈번하다. 그러나, 상기 주변 영역(PA1, PA2, PA3, PA4)에 형성된 단락 패드부(52) 및 패드부(30)에 대응하는 패시베이션층(160) 상에는 도전성 물질, 즉 별도의 커버 전극이 형성되지 않으므로, 상기 단락 패드부(52) 및 패드부(30)을 통한 정전기 유입을 억제할 수 있다. 이에 따라, 정전기 유입으로 인해 유발되는 표시 기판(100)의 단락 불량, 배선 불량 등이 감소되므로, 표시 기판(110)의 신뢰성을 향상시킬 수 있다.
- <104> 도 9를 참조하면, 상기 단락 패드부(52)가 노출된 상기 제1 비아홀(V1) 상에 도전성 물질로 이루어진 접촉구(SP)를 형성한다. 상기 접촉구(SP)는 일례로, 실버 페이스트로 형성되며, 형성하고자 하는 액정표시장치(600)의 액정 셀갭보다 두껍게 형성한다. 액정 셀갭보다 두껍게 형성된 접촉구는 추후의 표시 기판(100)과 대향 기판(300)의 어셈블리 공정 중에 압축되어 액정 셀갭과 동일한 높이를 갖게된다.
- <105> 도 10은 본 발명의 다른 실시예에 따른 표시 기판을 도시한 단면도이다.
- <106> 본 발명의 다른 실시예에 따른 표시 기판(700)은 본 발명의 일 실시예에 따른 표시 기판(100)과 대동소이한 구조로 형성되므로, 도 1, 도 2 및 도 10을 참조하여 일실시예와의 차이점만을 상세하게 설명하도록 한다.
- <107> 도 1, 도 2 및 도 10을 참조하면, 본 발명의 일 실시예에서는 상기 게이트 패턴을 이용하여 상기 제1 및 제2 공통전압배선(51, 61) 및 단락 패드부(52)를 형성하였으나, 본 발명의 다른 실시예에서는 상기 제1 및 제2 공통전압배선(51, 61) 및 단락 패드부(52)를 상기 소스 배선(DL)과 동일한 소스 패턴으로 형성한다. 상기 소스 패턴은 상기 게이트 패턴의 제2 금속층(120b)과 마찬가지로, 상기 제1 금속층(120a)보다 이온화 에너지가 큰 제3 금속층으로 형성되므로, 상기 단락 패드부(52)의 부식을 방지하기 위한 별도의 커버 전극은 생략할 수 있다. 이에 따라, 일 실시예와 동일하게 정전기 유입 방지 효과 및 단락 패드부 부식 방지 효과를 구현할 수 있다.
- <108> 도 11은 본 발명의 또 다른 실시예에 따른 표시 기판을 도시한 단면도이다.
- <109> 본 발명의 또 다른 실시예에 따른 표시 기판(800)은 본 발명의 일실시예에 따른 표시 기판(100)과 대동소이한 구조로 형성되므로, 도 2 및 도 11을 참조하여 일실시예와의 차이점만을 상세하게 설명하도록 한다.
- <110> 도 2 및 도 11을 참조하면, 본 발명의 또다른 실시예에 따른 표시 기판(800)의 단락 패드부(52)는 게이트 패턴의 제1 금속층(120a), 제2 금속층(120b)과, 소스 패턴의 제3 금속층(150)이 순차적으로 적층된 구조로 형성한다. 이때, 상기 제3 금속층(150)은 상기 게이트 절연층(130)에 형성된 제1 비아홀(V1)을 통해 상기 제2 금속층(120b)과 접촉한다. 상기 제3 금속층(150) 상에는 상기 제1 비아홀(V1)에 대응하여 홀이 형성된 패시베이션층(160)이 형성된다.
- <111> 한편, 상기 제1 패드(31) 역시 상기 단락 패드부(52)와 동일한 적층 구조로 형성할 수도 있다.
- <112> 또한, 다른 실시예에 따른 표시 기판(800)은 패시베이션층(160)과 화소 전극(PE)사이에 유기 절연막(170)을 포함한다. 상기 유기 절연막(170)은 표시 영역(DA) 및 주변 영역(PA1, PA2, PA3, PA4)을 포함하는 제1 투명 기판(110) 전면에 형성되어 표시 기판(800)을 평탄화 시킨다. 상기 유기 절연막(170)에는 단락 패드부(52), 제1 패드(31) 및 제2 패드(32)에 대응하여 각각 제1, 제2 및 제3 홀(H1, H2, H3)이 형성된다. 종래에는, 표시 기판(800) 상에 유기 절연막(170)을 형성하더라도 표시 영역(DA)에만 형성하고 주변 영역(PA1, PA2, PA3, PA4)에는 형성하지 않았으나, 본 실시예에서는 주변 영역(PA1, PA2, PA3, PA4)에도 유기 절연막(170)을 형성함으로써, 금속층이 노출되는 단락 패드부(52) 주변을 효과적으로 절연시킨다. 이에 따라, 정전기 발생 시 단락 패드부(52)를 통해 표시 기판(100) 내로 정전기가 유입되는 것을 억제할 수 있으므로, 정전기 유입으로 인한 표시 기판(100)의 불량을 감소시킬 수 있다.
- <113> 한편, 상기 유기 절연막(170)은 도 2 및 도 10에 도시된 표시 기판(100, 700)에서도 적용될 수 있음은 물론이다.

발명의 효과

- <114>** 이상에서 설명한 바와 같이, 본 발명에 따르면 이온화 에너지가 커서 내식성이 우수한 금속층을 배선 물질로 적용함으로써, 기판 표면으로 노출되는 패드부의 부식을 억제할 수 있다. 이에 따라, 상기 패드부의 노출로 인한 부식을 방지하기 위해 패시베이션층 상에 형성하던 커버 전극을 생략할 수 있으므로, 표시 기판의 제조 공정 중에 발생한 정전기가 상기 커버 전극을 통해 표시 기판 내부로 유입되는 것을 방지할 수 있다. 이에 따라, 정전기 유입으로 인해 유발되는 배선 불량, 박막 트랜지스터 손상 등의 표시 기판 불량을 감소시킬 수 있다.
- <115>** 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 따른 액정표시장치의 평면도이다.

<2> 도 2는 도 1에 도시한 액정표시장치의 화소부, 제1 쇼트포인트, 제1 패드 및 제2 패드를 도시한 단면도이다.

<3> 도 3 내지 도 9는 도 2에 도시된 표시 기관의 제조 방법을 도시한 단면도들이다.

<4> 도 10은 본 발명의 다른 실시예에 따른 표시 기관을 도시한 단면도이다.

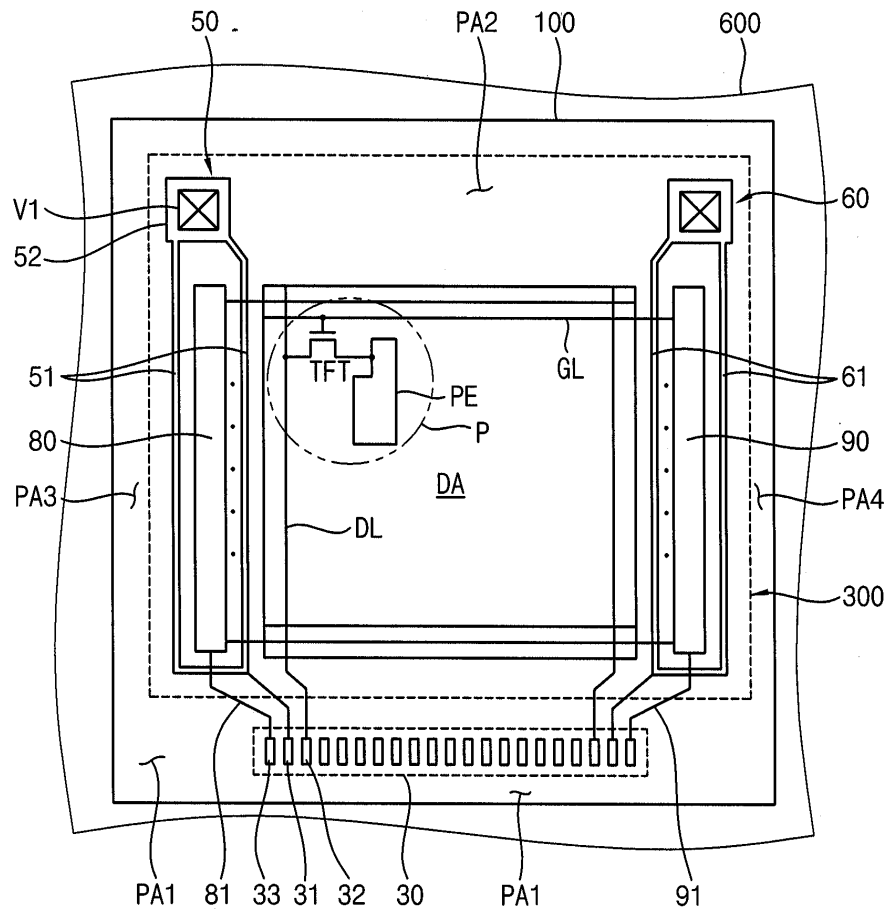
<5> 도 11은 본 발명의 또 다른 실시예에 따른 표시 기관을 도시한 단면도이다.

<6> <도면의 주요부분에 대한 부호의 설명>

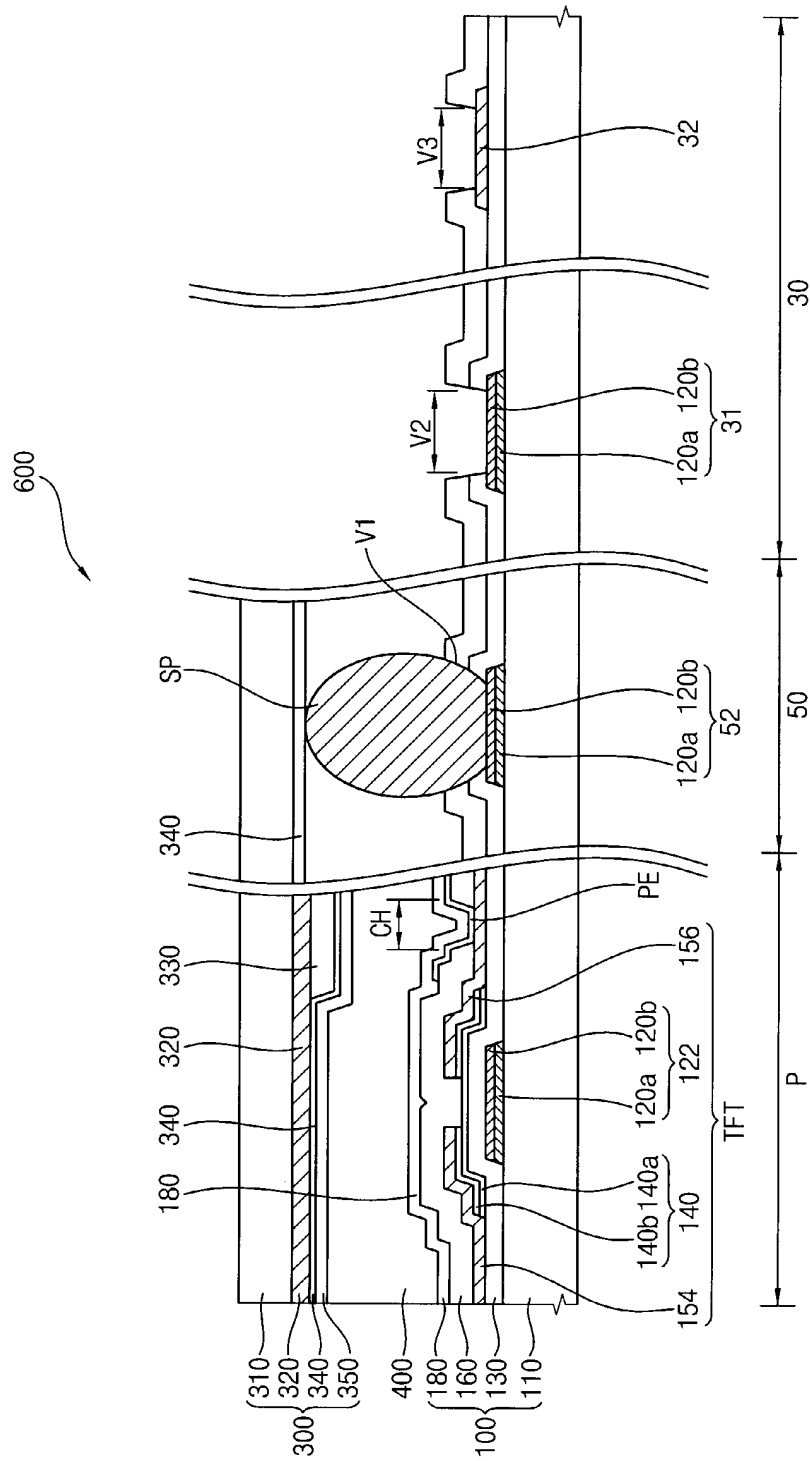
<7> 600 : 액정표시장치	100, 500 : 표시 기관
<8> 30 : 패드부	31 : 제1 패드부
<9> 32 : 제2 패드	50 : 제1 쇼트포인트
<10> 51 : 제1 공통전압배선	52 : 단락 패드부
<11> 80 : 게이트 구동회로	110 : 제1 투명기관
<12> 120a : 제1 금속층	120b : 제2 금속층
<13> 122 : 게이트 전극	130 : 게이트 절연층
<14> 140 : 채널층	154 : 소스 전극
<15> 156 : 드레인 전극	160 : 패시베이션층
<16> 170 : 유기 절연층	180 : 제1 배향막
<17> 300 : 대향 기관	340 : 공통 전극층
<18> 350 : 제2 배향막	400 : 액정층

도면

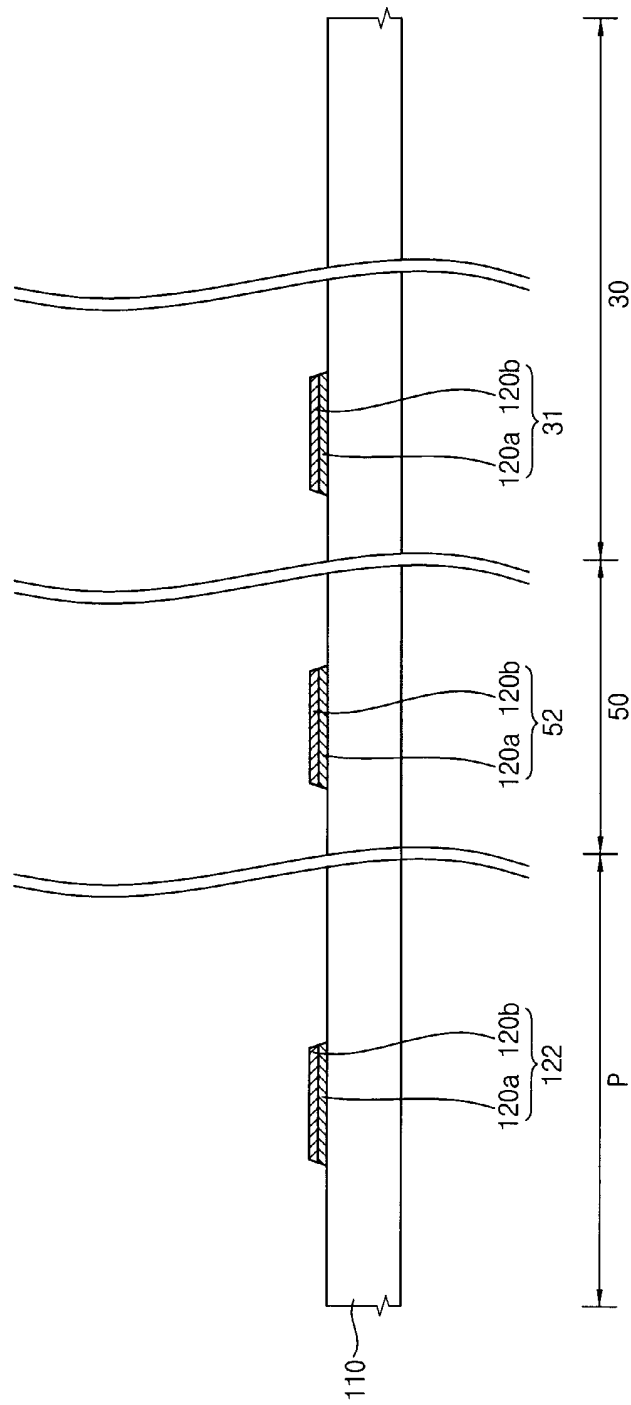
도면1



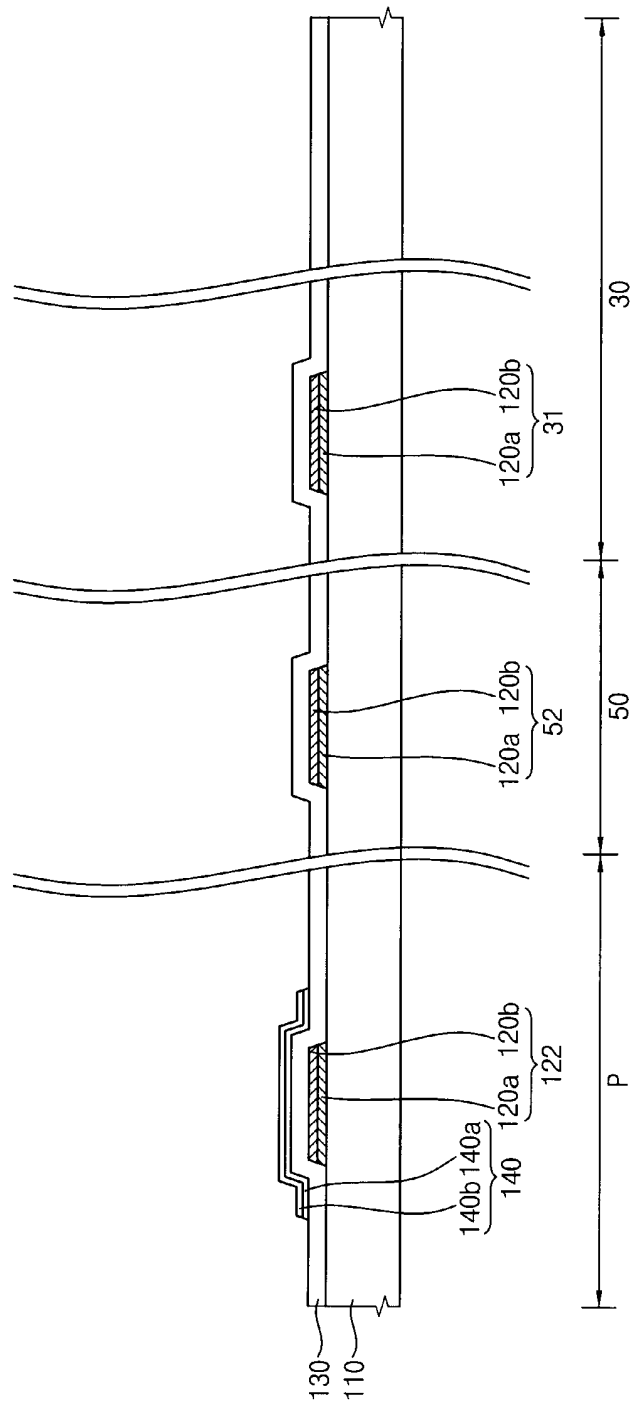
도면2



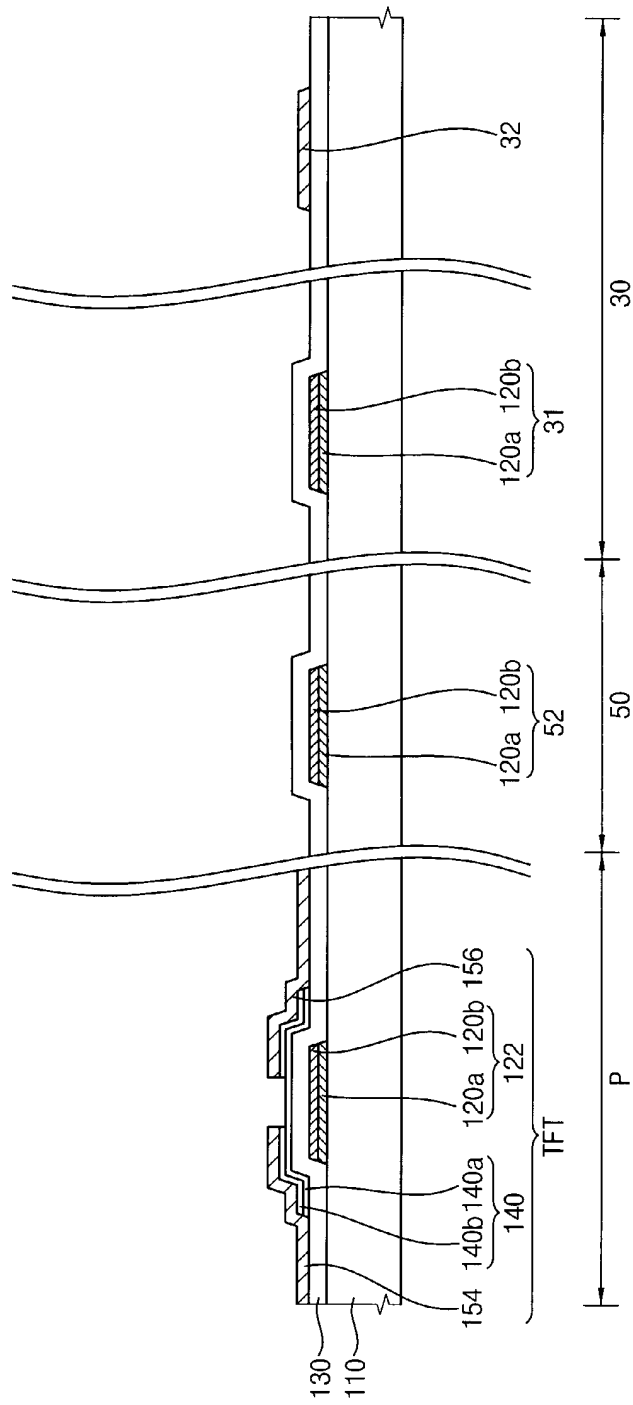
도면3



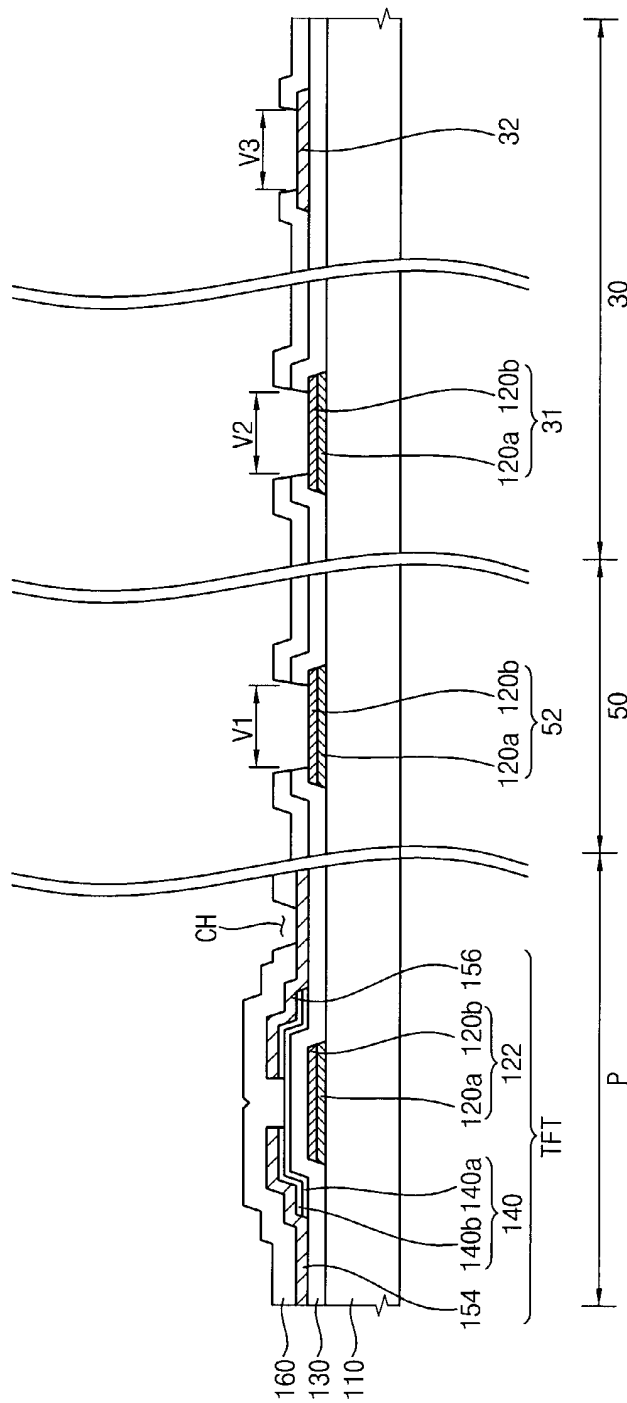
도면4



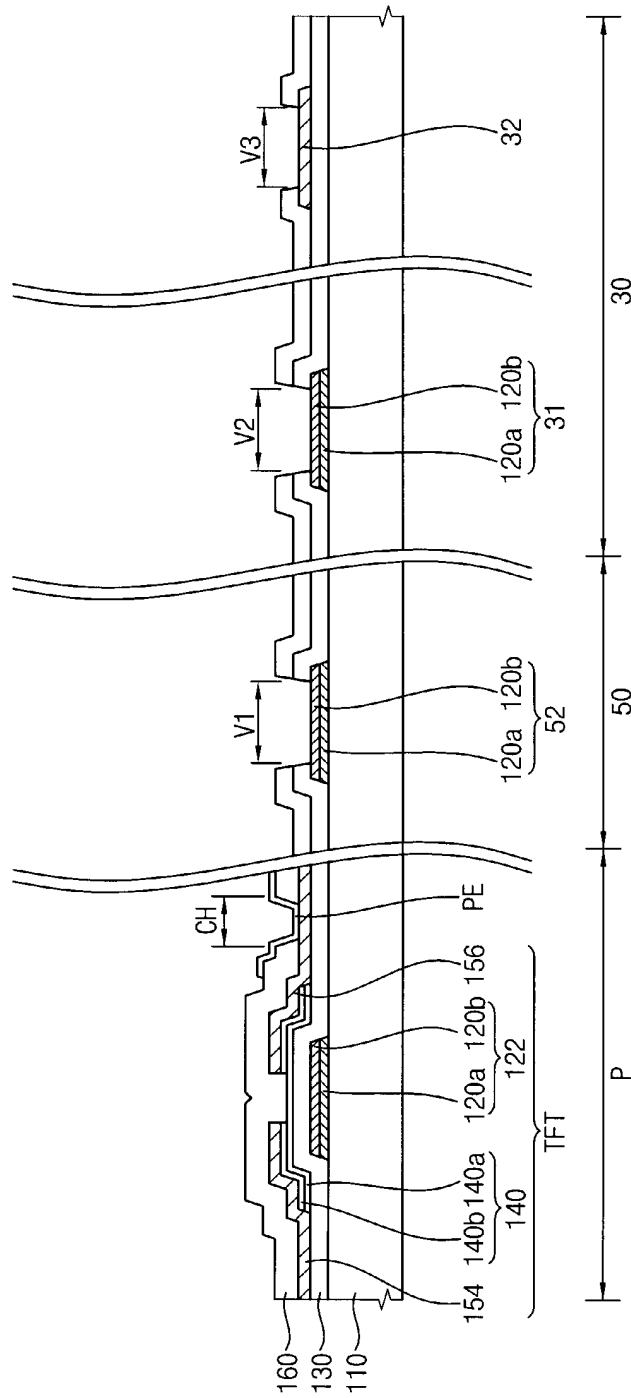
도면5



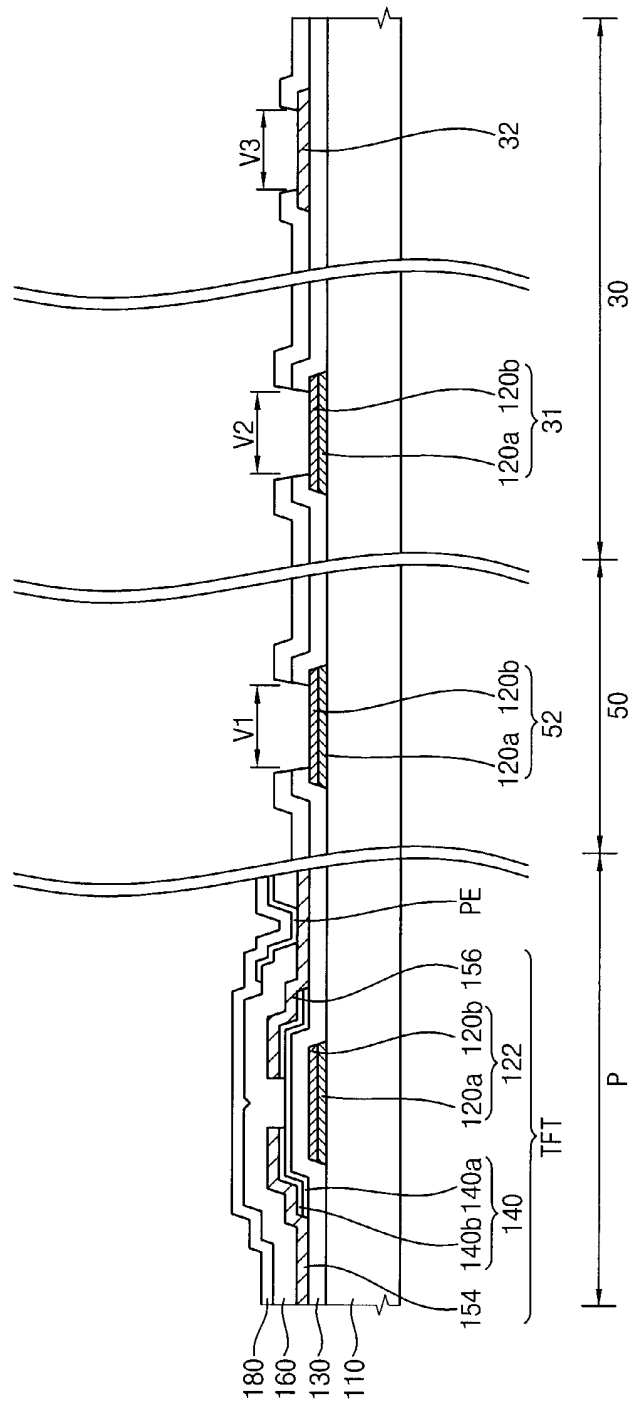
도면6



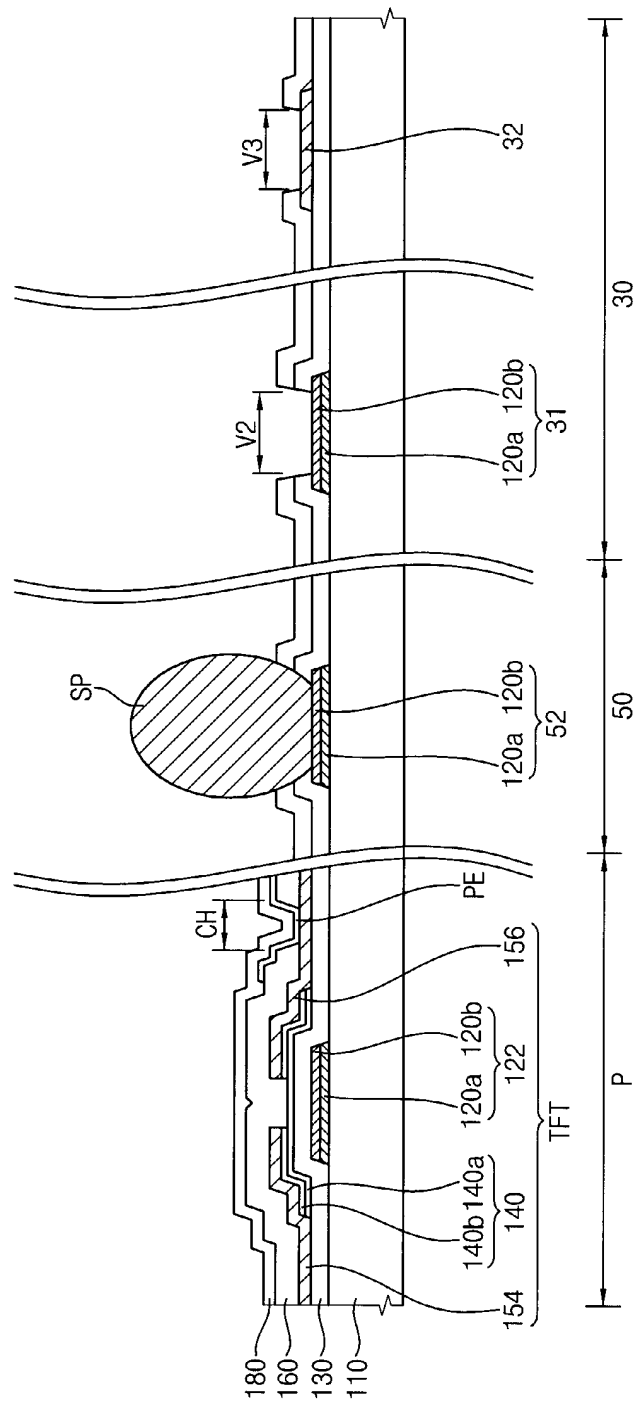
도면7



도면8

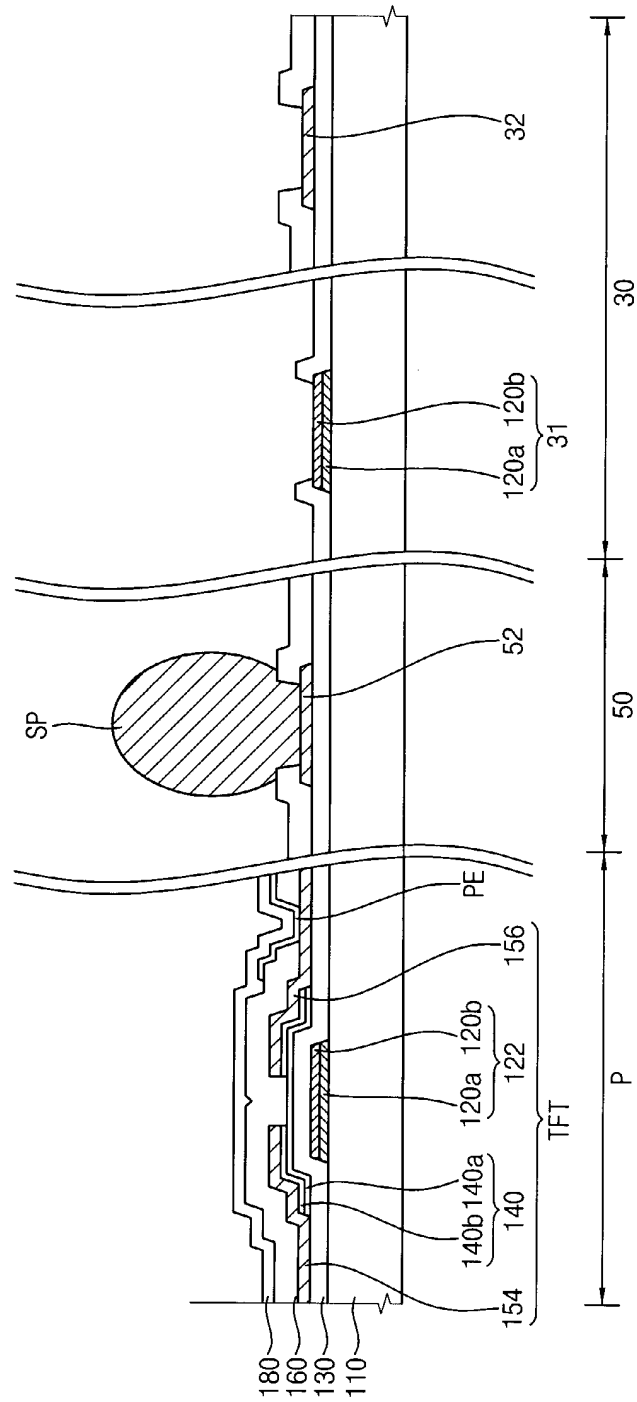


도면9

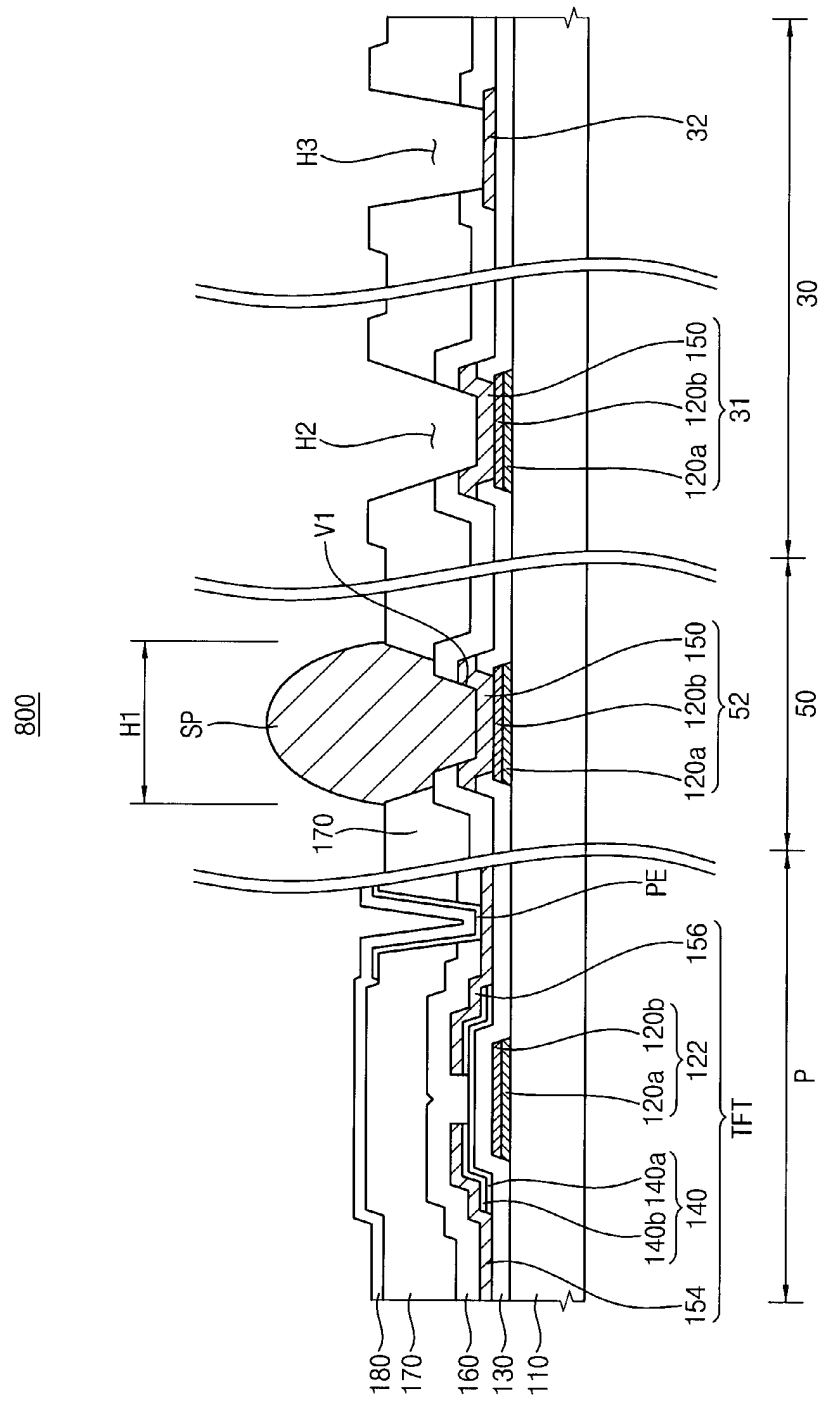


도면10

700



도면11



专利名称(译)	显示基板，其制造方法以及具有该显示基板的液晶显示装置		
公开(公告)号	KR1020070111780A	公开(公告)日	2007-11-22
申请号	KR1020060045021	申请日	2006-05-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	OH JEONG MIN 오정민 LEE IN SUNG 이인성 YUM HO NAM 염호남		
发明人	오정민 이인성 염호남		
IPC分类号	G02F1/1345		
CPC分类号	H01L27/1214 G02F2001/13456 G02F1/136204 G02F2001/133388 H01L29/4908 G02F1/13452 H01L27/124		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR101254029B1		
外部链接	Espacenet		

摘要(译)

公开了一种用于减少缺陷的显示基板，制造该显示基板的方法以及具有该显示基板的液晶显示装置。显示基板包括栅极布线，源极布线，像素部分短路焊盘部分和短路部件。栅极布线形成在基板上并包括栅极金属层。源极布线与栅极布线绝缘并交叉，并且由源极金属层制成。像素部分形成在栅极布线和源极布线的交叉区域中以限定显示区域。短路焊盘部分形成在围绕显示区域的外围区域中，并且由栅极金属层和源极金属层中的至少一个形成，并且施加公共电压。短路构件与短路焊盘部分直接接触并具有导电性。此时，短路焊盘部分具有其中顺序堆叠第一金属层和具有比第一金属层更大的电离能的第二金属层的结构。所述第二金属层具有比所述第一金属层被形成一个大的金属，抑制腐蚀段落焊盘部，以防止第一金属层的腐蚀露出的显示基板上的电离能。因此，可以省略单独的盖形成用于短腐蚀保护的电极焊盘部分，所以能够防止在其通过盖电极引入到显示电路板的显示基板的制造过程中产生的静电。

