



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0072107
(43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0136082
(22) 출원일자 2005년12월30일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박용인
경기도 안양시 동안구 호계동 811번지 호계2차현대홈타운 202동201호
김영주
경기 안양시 동안구 호계1동 998-16 301호
강수혁
서울 서초구 잠원동 신반포한신아파트 319동 1115호

(74) 대리인 박장원

전체 청구항 수 : 총 10 항

(54) 액정표시장치의 제조방법

(57) 요약

본 발명의 액정표시장치의 제조방법은 액티브층과 스토리지전극을 한번의 마스크공정을 통해 형성함으로써 마스크수를 감소시켜 제조공정을 단순화하며 제조비용을 절감하는 동시에 알루미늄 계열의 금속으로 스토리지전극을 형성함으로써 액티브층의 손상을 방지하기 위한 것으로, 제 1 기판과 제 2 기판을 제공하는 단계; 상기 제 1 기판 위에 액티브층과 스토리지층을 형성하며, 상기 스토리지층 상부에 알루미늄 계열의 금속으로 이루어진 스토리지전극을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하는 단계; 상기 제 1 기판 위에 게이트전극과 공통라인 및 게이트라인을 형성하는 단계; 상기 제 1 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 1 기판 위에 소오스전극과 드레인전극을 형성하며, 상기 게이트라인과 실질적으로 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 제 1 기판 위에 제 3 절연막을 형성하는 단계; 상기 제 1 기판 위에 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

대표도

도 2

특허청구의 범위

청구항 1.

제 1 기판과 제 2 기판을 제공하는 단계;

상기 제 1 기판 위에 액티브층과 스토리지층을 형성하며, 상기 스토리지층 상부에 알루미늄 계열의 금속으로 이루어진 스토리지전극을 형성하는 단계;

상기 제 1 기판 위에 제 1 절연막을 형성하는 단계;

상기 제 1 기판 위에 게이트전극과 공통라인 및 게이트라인을 형성하는 단계;

상기 제 1 기판 위에 제 2 절연막을 형성하는 단계;

상기 제 1 기판 위에 소오스전극과 드레인전극을 형성하며, 상기 게이트라인과 실질적으로 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 제 1 기판 위에 제 3 절연막을 형성하는 단계;

상기 제 1 기판 위에 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및

상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 액티브층과 스토리지층은 실리콘 박막으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3.

제 1 항에 있어서, 상기 액티브층과 스토리지층 및 스토리지전극을 형성하는 단계는

상기 제 1 기판 위에 실리콘 박막과 도전막을 형성하는 단계;

상기 제 1 기판의 제 1 영역에 제 1 두께를 갖는 제 1 감광막패턴을 형성하고 제 2 영역에 제 2 두께를 갖는 제 2 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴과 제 2 감광막패턴을 마스크로 하여 상기 실리콘 박막과 도전막을 선택적으로 식각함으로써, 상기 제 1 영역에 상기 실리콘 박막으로 이루어진 스토리지층을 형성하며, 상기 제 2 영역에 상기 실리콘 박막으로 이루어진 액티브층을 형성하는 단계;

상기 액티브층과 스토리지층 상부에 상기 도전막으로 이루어진 도전막패턴을 형성하는 단계;

상기 제 2 감광막패턴을 제거하는 동시에 상기 제 1 감광막패턴의 일부를 제거하여 제 3 두께의 제 3 감광막패턴을 형성하는 단계; 및

상기 제 3 감광막패턴을 마스크로 하여 상기 도전막패턴을 선택적으로 식각함으로써 상기 스토리지층 위에 상기 도전막패턴으로 이루어진 스토리지전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4.

제 3 항에 있어서, 상기 도전막패턴은 실질적으로 상기 액티브층과 스토리지층 형태대로 패터닝되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5.

제 3 항에 있어서, 상기 제 1 감광막패턴과 제 2 감광막패턴을 형성하는 단계는

상기 도전막 위에 감광막을 형성하는 단계;

광을 모두 투과시키는 제 1 투과영역과 광의 일부만 투과시키는 제 2 투과영역 및 광을 차단하는 차단영역이 마련된 회절 마스크를 통해 상기 감광막에 빛을 조사하는 단계; 및

상기 회절마스크를 통해 빛이 조사된 감광막을 현상하여 상기 도전막 위에 감광막패턴을 형성하되, 스토리지층이 형성될 제 1 영역에 제 1 두께를 갖는 제 1 감광막패턴을 형성하며 액티브층이 형성될 제 2 영역에 제 2 두께를 갖는 제 2 감광막패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6.

제 5 항에 있어서, 포지티브 타입의 감광막을 사용하는 경우에는 상기 차단영역은 상기 제 1 영역에 적용되며 상기 회절 마스크의 제 2 투과영역은 상기 제 2 영역에 적용되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7.

제 5 항에 있어서, 상기 회절마스크는 광의 일부만 투과시키는 제 2 투과영역에 회절패턴이 형성되어 상기 제 1 영역 위에 상기 제 1 두께보다 얇은 제 2 두께의 제 2 감광막패턴을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8.

제 3 항에 있어서, 상기 도전막은 알루미늄 또는 알루미늄 합금 등의 알루미늄 계열의 도전물질로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9.

제 1 항에 있어서, 상기 스토리지전극은 그 상부의 공통라인의 일부와 오버랩되어 상기 제 1 절연막을 사이에 두고 제 1 스토리지 커패시터를 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10.

제 1 항에 있어서, 상기 화소영역 내의 공통라인은 그 상부의 화소전극의 일부와 오버랩되어 상기 제 2 절연막과 제 3 절연막을 사이에 두고 제 2 스토리지 커패시터를 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 동시에 액티브층의 손상을 방지하도록 한 액정표시장치의 제조방법에 관한 것이다.

최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

상기 액정표시장치는 크게 제 1 기관인 컬러필터(color filter) 기관과 제 2 기관인 어레이(array) 기관 및 상기 컬러필터 기관과 어레이 기관 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

이하, 도면을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.

도 1은 일반적인 액정표시장치의 어레이 기관 일부를 나타내는 평면도로써, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 한 화소만을 나타내었다.

도면에 도시된 바와 같이, 어레이 기관(10)에는 상기 어레이 기관(10) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(16)과 데이터라인(17)이 형성되어 있다. 또한, 상기 게이트라인(16)과 데이터라인(17)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역에는 화소전극(18)이 형성되어 있다.

이때, 상기 박막 트랜지스터는 상기 게이트라인(16)에 연결된 게이트전극(21), 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극(18)에 연결된 드레인전극(23)으로 구성된다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(21)과 소오스/드레인전극(22, 23)의 절연을 위한 제 1 절연막(미도시)과 제 2 절연막(미도시) 및 상기 게이트전극(21)에 공급되는 게이트 전압에 의해 소오스전극(22)과 드레인전극(23) 간에 전도채널(conductive channel)을 형성하는 액티브층(24)을 포함한다.

이때, 상기 소오스전극(22)은 상기 제 1 절연막과 제 2 절연막에 형성된 제 1 콘택홀(40A)을 통해 상기 액티브층(24)의 소오스영역과 전기적으로 접속하며, 상기 드레인전극(23)은 제 2 콘택홀(40B)을 통해 상기 액티브층(24)의 드레인영역과 전기적으로 접속하게 된다. 또한, 상기 드레인전극(23) 위에는 제 3 콘택홀(40C)이 형성된 제 3 절연막(미도시)이 있으며, 상기 드레인전극(23)은 상기 제 3 콘택홀(40C)을 통해 화소전극(18)과 전기적으로 접속하게 된다.

이와 같이 구성된 상기 어레이 기관(10)은 상부의 컬러필터 기관(미도시)과 합착하여 액정표시장치를 구성하게 된다.

여기서, 상기에 설명된 박막 트랜지스터를 포함하는 어레이 기관의 제조에는 게이트전극, 액티브층, 소오스/드레인전극, 제 1 내지 제 3 콘택홀 및 화소전극 등을 패터닝하는데 다수회의 포토리소그래피(photolithography)공정을 필요로 한다. 특히, 상기 박막 트랜지스터에 스토리지 커패시턴스를 추가하여 제작하는 경우에는 적어도 한번의 포토리소그래피공정이 필요하게 된다.

상기 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기관 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상공정 등 다수의 공정으로 이루어져 있다. 그 결과 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리며 형성된 박막 트랜지스터에 결함이 발생될 확률을 높이게 하는 등 많은 문제점이 있다.

특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 액티브층과 스토리지전극을 한번의 마스크공정으로 형성함으로써 박막 트랜지스터의 제조에 사용되는 마스크수를 감소시킨 액정표시장치의 제조방법을 제공하는데 목적이 있다.

본 발명의 다른 목적은 알루미늄 계열의 금속으로 스토리지전극을 형성함으로써 액티브층의 손상을 방지하도록 한 액정표시장치의 제조방법을 제공하는데 있다.

본 발명의 또 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성

상기한 목적을 달성하기 위하여, 본 발명의 액정표시장치의 제조방법은 제 1 기판과 제 2 기판을 제공하는 단계; 상기 제 1 기판 위에 액티브층과 스토리지층을 형성하며, 상기 스토리지층 상부에 알루미늄 계열의 금속으로 이루어진 스토리지전극을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하는 단계; 상기 제 1 기판 위에 게이트전극과 공통라인 및 게이트라인을 형성하는 단계; 상기 제 1 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 1 기판 위에 소오스전극과 드레인전극을 형성하며, 상기 게이트라인과 실질적으로 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 제 1 기판 위에 제 3 절연막을 형성하는 단계; 상기 제 1 기판 위에 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 제조방법의 바람직한 실시예를 상세히 설명한다.

도 2는 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도로써, 특히 박막 트랜지스터를 포함하는 하나의 화소를 나타내고 있다.

실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 한 화소만을 나타내었다.

이때, 본 실시예에서는 다결정 실리콘 박막을 이용하여 액티브층을 형성한 다결정 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나 본 발명이 이에 한정되는 것은 아니며, 비정질 실리콘 박막을 이용하여 액티브층을 형성할 수도 있다.

도면에 도시된 바와 같이, 본 실시예의 어레이 기판(110)에는 상기 어레이 기판(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다. 또한, 상기 게이트라인(116)과 데이터라인(117)의 교차 영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 박막 트랜지스터에 연결되어 컬러필터 기판(미도시)의 공통전극과 함께 액정(미도시)을 구동시키는 화소전극(118)이 형성되어 있다.

이때, 상기 화소영역 내에는 상기 게이트라인(116)과 실질적으로 동일한 방향으로 형성된 공통라인(108)이 형성되어 있다.

상기 박막 트랜지스터는 게이트라인(116)에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스전극(122) 및 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 게이트전극(121)과 소오스/드레인전극(122, 123)의 절연을 위한 제 1 절연막(미도시)과 제 2 절연막(미도시) 및 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브층(124')을 포함한다.

전술한 바와 같이 상기 본 실시예의 액티브층(124')은 다결정 실리콘 박막으로 이루어지며, 이때 상기 액티브층(124')은 그 일부가 연장되어 화소영역에 형성된 스토리지층(미도시)과 연결되게 된다. 이때, 상기 스토리지층 상부에는 알루미늄 계열의 도전성 물질로 이루어지며 상기 스토리지층과 동일한 형태로 패터닝된 스토리지전극(130")이 형성되어 있다.

상기 스토리지전극(130")은 상기 다결정 실리콘 박막 상부에 알루미늄 또는 알루미늄 합금 등의 알루미늄 계열의 금속을 증착한 후 회절노광을 이용하여 형성하게 되는데, 이와 같이 몰리브덴 대신에 알루미늄 계열의 금속을 배리어 메탈(barrier metal)층으로 사용하는 이유는 상기 알루미늄이 몰리브덴에 비해 원자번호가 작으며 실리콘 원자와 유사한 구조를 가지기 때문이다. 이는 다결정 실리콘 박막 위에 스퍼터링으로 몰리브덴을 증착하는 과정에서 상기 몰리브덴의 충격(bombardment)효과에 의해 상기 다결정 실리콘 박막의 격자구조가 파괴되는 것을 완화시키기 위한 것이다. 즉, 상기 몰리브덴은 원자번호가 42로 원자번호가 14인 실리콘에 비해 3배정도 큰데 반해 상기 알루미늄의 원자번호는 13으로 상기 실리콘과 유사하다.

상기 배리어 메탈층으로 스토리지전극을 형성하는 방법은 도핑공정을 통해 스토리지전극을 형성하는 방법에 비해 마스크 공정을 줄일 수 있는 이점이 있다.

상기 소오스전극(122)은 상기 제 1 절연막과 제 2 절연막에 형성된 제 1 콘택홀(140A)을 통해 상기 액티브층(124)의 소오스영역(124a)과 전기적으로 접속하며, 상기 드레인전극(123)은 제 2 콘택홀(140B)을 통해 상기 액티브층(124)의 드레인영역(124b)과 전기적으로 접속하게 된다. 또한, 상기 소오스전극(122)의 일부는 일방향으로 연장되어 상기 데이터라인(117)의 일부를 구성하며, 상기 드레인전극(123)의 일부는 화소영역 쪽으로 연장되어 제 3 절연막(미도시)에 형성된 제 3 콘택홀(140C)을 통해 상기 화소전극(118)과 전기적으로 접속하게 된다.

상기 스토리지전극(130")은 그 상부의 공통라인(108)의 일부와 오버랩되어 상기 제 1 절연막을 사이에 두고 제 1 스토리지 커패시터(Cst)를 형성하며, 상기 화소영역 내의 공통라인(108)은 그 상부의 화소전극의 일부와 오버랩되어 상기 제 2 절연막과 제 3 절연막을 사이에 두고 제 2 스토리지 커패시터를 형성하게 된다.

이와 같이 구성된 상기 어레이 기관(110)은 상기 액티브층(124')과 스토리지층(124") 및 스토리지전극(130")을 회절노광을 이용한 한번의 마스크공정을 통해 형성함으로써 제조공정을 단순화하며 제조비용을 절감할 수 있게 되는데, 이를 액정표시장치의 제조방법을 통해 상세히 설명한다.

도 3a 내지 도 3f는 도 2에 도시된 어레이 기관의 II-II'선에 따른 제조공정을 순차적으로 나타내는 단면도이다.

도 3a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기관(110) 위에 포토리소그래피공정(제 1 마스크공정)을 이용하여 실리콘 박막으로 이루어진 액티브층(124')과 스토리지층(124")을 형성한다. 이때, 상기 스토리지층(124") 상부에는 알루미늄 계열의 금속으로 이루어진 스토리지전극(130")이 형성되어 있다.

이때, 상기 기관(110) 위에 실리콘산화막(SiO_2)으로 구성되는 버퍼막(buffer layer)(111)을 형성한 후, 상기 버퍼막(111) 위에 상기 액티브층(124')과 스토리지층(124")을 형성하게 된다. 상기 버퍼막(111)은 상기 기관(110) 내에 존재하는 나트륨(natrium; Na) 등의 불순물이 공정 중에 상부층으로 침투하는 것을 차단하는 역할을 한다.

전술한 바와 같이 상기 액티브층(124')과 스토리지층(124")은 회절노광을 이용함으로써 한번의 마스크공정을 통해 형성할 수 있는데, 이를 도면을 참조하여 상세히 설명한다.

도 4a 내지 도 4f는 도 3a에 도시된 제 1 마스크공정을 구체적으로 나타내는 단면도이다.

도 4a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기관(110) 위에 버퍼막(111)과 실리콘 박막(124)을 형성한다.

상기 실리콘 박막(124)은 비정질 실리콘 박막 또는 결정화된 실리콘 박막으로 형성할 수 있으나, 본 실시예에서는 결정화된 다결정 실리콘 박막을 이용하여 박막 트랜지스터를 구성한 경우를 예를 들어 나타내고 있다. 이때, 다결정 실리콘 박막은 기관 위에 비정질 실리콘 박막을 증착한 후 여러 가지 결정화 방식을 이용하여 형성할 수 있으며, 이를 설명하면 다음과 같다.

먼저, 비정질 실리콘 박막은 여러 가지 방법으로 증착하여 형성할 수 있으며, 상기 비정질 실리콘 박막을 증착하는 대표적인 방법으로는 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD)방법과 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)방법이 있다.

상기 비정질 실리콘 박막을 결정화하는 방법으로는 크게 비정질 실리콘 박막을 고온 요로(furnace)에서 열처리하는 고상 결정화(Solid Phase Crystallization; SPC)방법과 레이저를 이용하는 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA)방법이 있다.

상기 레이저 결정화로는 펄스(pulse) 형태의 레이저를 이용한 엑시머 레이저 어닐링방법이 주로 이용되나, 근래에는 그레인(grain)을 수평방향으로 성장시켜 결정화특성을 향상시킨 순차적 수평결정화(Sequential Lateral Solidification; SLS)방법이 연구되고 있다.

그리고, 상기와 같이 결정화된 실리콘 박막(124) 위에 알루미늄 또는 알루미늄 합금 등의 알루미늄 계열의 도전성 물질로 이루어진 배리어 메탈층(130)을 비교적 얇은($\sim 200 \text{ \AA}$) 두께로 형성한다.

이때, 전술한 바와 같이 상기 배리어 메탈층(130)은 알루미늄 계열의 도전성 물질로 형성하는데, 이는 상기 알루미늄이 몰리브덴에 비해 원자번호가 작으며 실리콘 원자와 유사한 구조를 가지기 때문이다. 즉, 상기 몰리브덴은 원자번호가 42로 원자번호가 14인 실리콘에 비해 3배정도 큰데 반해 상기 알루미늄의 원자번호는 13으로 상기 실리콘과 유사하여 하부의 실리콘 박막(124)에 대한 충격을 최소화할 수 있다.

다음으로, 도 4b에 도시된 바와 같이, 상기 기판(110) 전면에서 포토레지스트와 같은 감광성물질로 이루어진 감광막(170)을 형성한 후 본 실시예의 회절마스크(180)를 통해 상기 감광막(170)에 선택적으로 빛을 조사한다.

이때, 본 실시예에 사용한 회절마스크(180)에는 조사된 광을 모두 투과시키는 투과영역(I)과 슬릿패턴이 적용되어 광의 일부만 투과시키고 일부는 차단하는 슬릿영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 회절마스크(180)를 투과한 빛만이 감광막(170)에 조사되게 된다.

이어서, 상기 회절마스크(180)를 통해 노광된 감광막(170)을 현상하고 나면, 도 4c에 도시된 바와 같이, 상기 차단영역(III)과 슬릿영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(170A)과 제 2 감광막패턴(170B)이 남아있게 되고, 모든 광이 투과된 투과영역(I)에는 감광막이 완전히 제거되어 배리어 메탈층(130) 표면이 노출되게 된다.

이때, 상기 차단영역(III)에 형성된 제 1 감광막패턴(170A)은 슬릿영역(II)을 통해 형성된 제 2 감광막패턴(170B)은 보다 두껍게 형성된다. 또한, 상기 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.

다음으로, 도 4d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(170A)과 제 2 감광막패턴(170B)을 마스크로 하여, 그 하부에 형성된 실리콘 박막과 배리어 메탈층을 선택적으로 제거하게 되면, 상기 기판(110)에 상기 실리콘 박막으로 이루어진 액티브층(124')과 스토리지층(124'')이 형성된다. 이때, 상기 액티브층(124')과 스토리지층(124'') 상부에는 상기 배리어 메탈층으로 이루어지며 상기 액티브층(124') 및 스토리지층(124'')과 동일한 형태로 패터닝된 배리어 메탈패턴(130')이 남아있게 된다.

이후, 상기 제 1 감광막패턴(170A)과 제 2 감광막패턴(170B)의 일부를 제거하는 애싱(ashing)공정을 진행하게 되면, 도 4e에 도시된 바와 같이, 상기 액티브층(124')의 상부, 즉 회절노광이 적용된 슬릿영역(II)의 제 2 감광막패턴이 완전히 제거되어 상기 배리어 메탈패턴(130') 표면이 노출되게 된다.

이때, 상기 제 1 감광막패턴은 상기 제 2 감광막패턴의 두께만큼이 제거된 제 3 감광막패턴(170A')으로 상기 차단영역(III)에 대응하는 상기 스토리지층(124'') 상부에만 남아있게 된다.

이후, 도 4f에 도시된 바와 같이, 상기 남아있는 제 3 감광막패턴(170A')을 마스크로 하여 상기 배리어 메탈패턴의 일부를 제거하게 되면, 상기 스토리지층(124'') 상부에 상기 배리어 메탈패턴으로 이루어진 스토리지전극(130'')이 형성되게 된다.

다음으로, 도 3b에 도시된 바와 같이, 상기 기판(110) 전면에서 차례대로 제 1 절연막(115A)과 제 1 도전막을 형성한 후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 상기 제 1 도전막을 선택적으로 패터닝함으로써 상기 액티브층(124') 위에 상기 제 1 도전막으로 이루어진 게이트전극(121)을 형성하는 동시에 상기 스토리지층(124'') 위에 상기 제 1 도전막으로 이루어진 공통라인(108)을 형성한다. 이때, 상기 제 2 마스크공정을 통해 상기 제 1 도전막으로 이루어진 게이트라인(116)이 형성된다.

상기 제 1 도전막은 게이트전극(121)을 포함하는 게이트라인(116) 및 공통라인(108)을 구성하기 위해 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전성물질로 이루어질 수 있다.

이후, 상기 게이트전극(121)을 마스크로 액티브층(124')의 소정 영역에 고농도의 불순물 이온을 주입하여 p+ 또는 n+의 소오스영역(124a)과 드레인영역(124b)을 형성한다. 여기서, 도면부호 124c는 상기 소오스영역(124a)과 드레인영역(124b) 사이에 전도채널을 형성하는 채널영역을 의미한다.

다음으로, 도 3c에 도시된 바와 같이, 상기 게이트전극(121)이 형성된 기판(110) 전면에서 제 2 절연막(115B)을 증착한 후, 포토리소그래피공정(제 3 마스크공정)을 통해 상기 제 1 절연막(115A)과 제 2 절연막(115B)의 일부 영역을 제거하여 상기 소오스영역(124a)의 일부를 노출시키는 제 1 콘택홀(140A)과 상기 드레인영역(124b)의 일부를 노출시키는 제 2 콘택홀(140B)을 형성한다.

그리고, 도 3d에 도시된 바와 같이, 제 2 도전막을 기판(110) 전면에서 형성한 후 포토리소그래피공정(제 4 마스크공정)을 이용하여 패터닝함으로써 상기 제 1 콘택홀(140A)을 통해 상기 소오스영역(124a)과 전기적으로 접속하는 소오스전극(122)을 형성하며, 상기 제 2 콘택홀(140B)을 통해 상기 드레인영역(124b)과 전기적으로 접속하는 드레인전극(123)을 형성한다. 이때, 상기 소오스전극(122)의 일부는 일방향을 연장되어 데이터라인(117)을 형성하게 된다.

다음으로, 도 3e에 도시된 바와 같이, 상기 기판(110) 전면에서 제 3 절연막(115C)을 증착한 후, 포토리소그래피공정(제 5 마스크공정)을 이용하여 상기 제 3 절연막(115C)을 패터닝함으로써 상기 드레인전극(123)의 일부를 노출시키는 제 3 콘택홀(140C)을 형성한다.

이때, 상기 제 3 절연막(115C)은 고개구율을 위해 벤조사이클로부텐 또는 아크릴계 수지와 같은 투명 유기물질로 형성할 수도 있다.

그리고, 도 3f에 도시된 바와 같이, 상기 제 3 절연막(115C)이 형성된 기판(110) 전면에서 제 3 도전막을 형성한 후, 포토리소그래피공정(제 6 마스크공정)을 이용하여 상기 제 3 도전막을 선택적으로 패터닝함으로써 상기 제 3 콘택홀(140C)을 통해 상기 드레인전극(123)과 전기적으로 접속하는 화소전극(118)을 형성한다.

상기 제 3 도전막은 화소전극(118)을 구성하기 위해 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO) 등과 같은 투과율이 뛰어난 투명 도전성물질을 사용할 수 있다.

이와 같이 구성된 상기 어레이 기판(110)은 화상표시 영역의 외곽에 형성된 실런트(미도시)에 의해 컬러필터 기판(미도시)과 대향하도록 합착되어 액정표시장치를 구성하며, 상기 어레이 기판(110)과 컬러필터 기판의 합착은 상기 어레이 기판(110)과 컬러필터 기판에 형성된 합착키(미도시)를 통해 이루어진다.

이때, 본 발명의 실시예에 따라 제작된 박막 트랜지스터는 배리어 메탈층을 형성할 때 실리콘 박막의 손상이 최소화되어 그 전기적인 특성이 개선되게 되는데, 이를 도면을 참조하여 상세히 설명한다.

도 5는 본 발명의 실시예에 따른 박막 트랜지스터의 특성을 나타내는 그래프로써, 그래프의 가로축은 게이트전압을 나타내고 그래프의 세로축은 소오스전극과 드레인전극 사이에 흐르는 전류를 나타낸다.

여기서, 네모로 도시된 그래프는 액티브층과 스토리지전극을 별개의 마스크공정을 통해 형성한 경우의 박막 트랜지스터의 전기적 특성을 나타내며, 원으로 도시된 그래프는 상기 배리어 메탈층을 몰리브덴으로 형성한 경우의 박막 트랜지스터의 전기적 특성을 나타낸다.

또한, 삼각형으로 도시된 그래프는 액티브층과 스토리지전극을 한번의 마스크공정을 통해 형성하며, 상기 배리어 메탈층을 알루미늄으로 형성한 본 실시예의 경우의 박막 트랜지스터의 전기적 특성을 나타낸다.

도면에 도시된 바와 같이, 배리어 메탈층을 몰리브덴으로 한 경우에는 박막 트랜지스터의 트랜스퍼(transfer) 곡선에서 알 수 있듯이 온 커런트가 낮고 오프 커런트가 높아 실질적으로 쇼트(short)성으로 보이는 특성이 나타나 소자로 적용하기 어려우나, 본 실시예에서와 같이 상기 배리어 메탈층을 알루미늄 계열로 한 경우에는 박막 트랜지스터의 트랜스퍼 특성이 저하되지 않고 우수한 것을 알 수 있다.

상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 제조방법은 회절노광을 이용함으로써 액티브층과 스토리지전극을 한번의 마스크공정으로 형성할 수 있게 된다. 그 결과 박막 트랜지스터 제조에 사용되는 마스크수를 줄여 제조공정 및 비용을 절감시키는 효과를 제공한다.

또한, 본 발명에 따른 액정표시장치의 제조방법은 액티브층 상부에 알루미늄 계열의 도전성 물질을 증착하여 스토리지전극을 형성함으로써 상기 액티브층의 손상이 방지되어 박막 트랜지스터의 전기적 특성이 향상되는 효과를 제공한다.

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

도 2는 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

도 3a 내지 도 3f는 도 2에 도시된 어레이 기판의 II-II'선에 따른 제조공정을 순차적으로 나타내는 단면도.

도 4a 내지 도 4f는 도 3a에 도시된 제 1 마스크공정을 구체적으로 나타내는 단면도.

도 5는 본 발명의 실시예에 따른 박막 트랜지스터의 특성을 나타내는 그래프.

**** 도면의 주요부분에 대한 부호의 설명 ****

108 : 공통라인 110 : 어레이 기판

118 : 화소전극 121 : 게이트전극

122 : 소오스전극 123 : 드레인전극

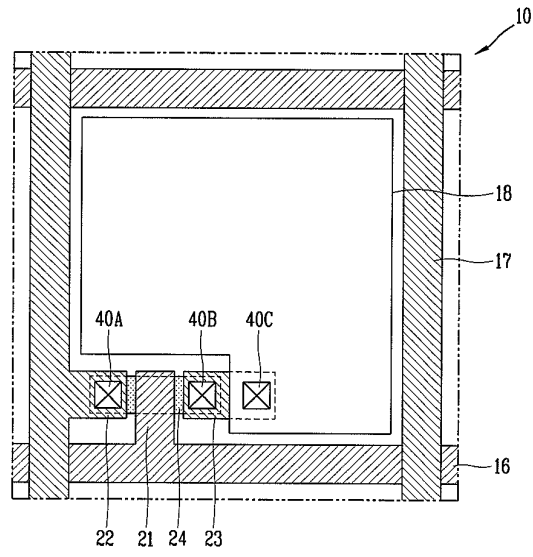
124' : 액티브층 124" : 스토리지층

124a : 소오스영역 124b : 드레인영역

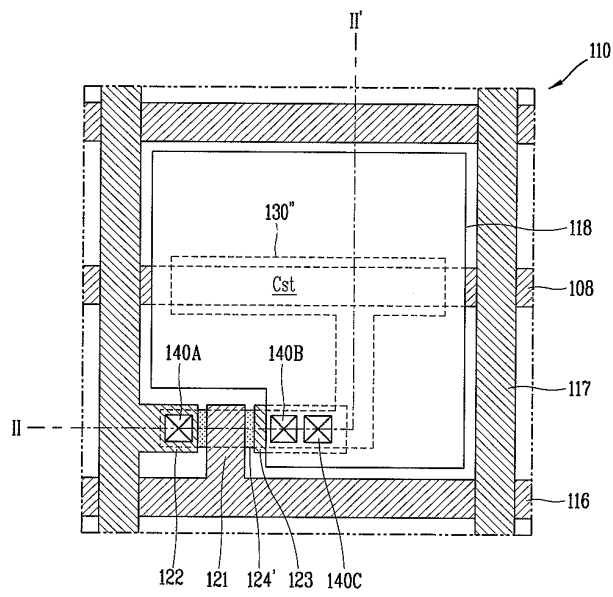
124c : 채널영역 130" : 스토리지전극

도면

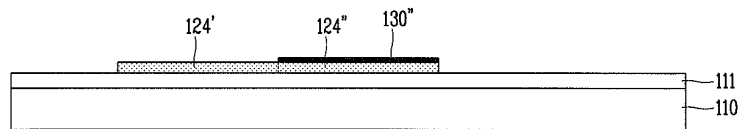
도면1



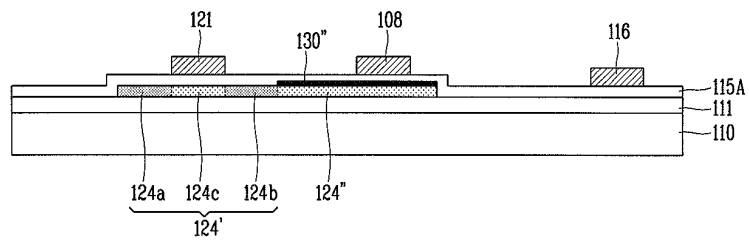
도면2



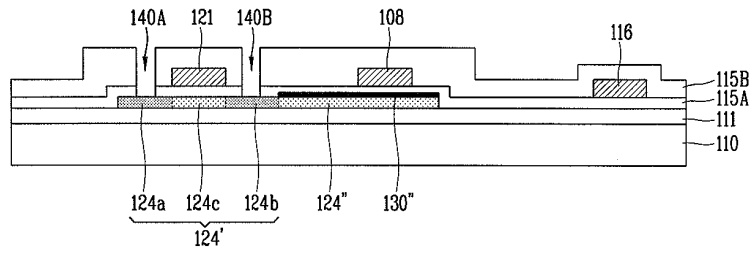
도면3a



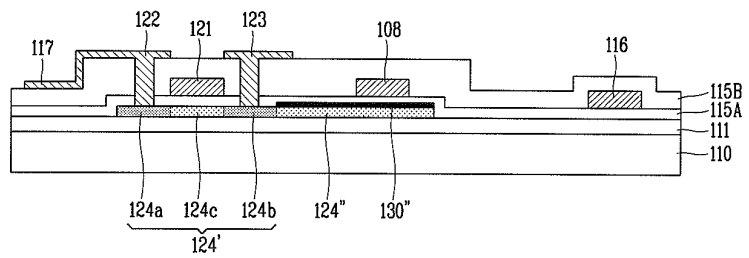
도면3b



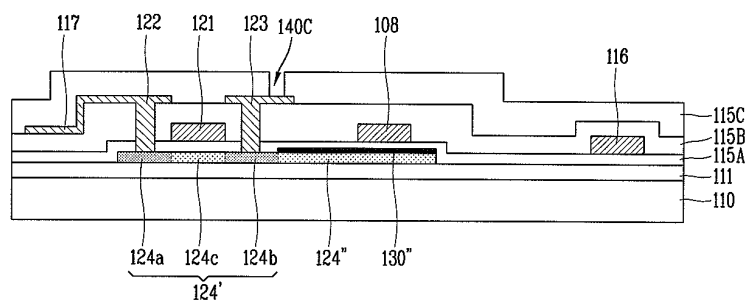
도면3c



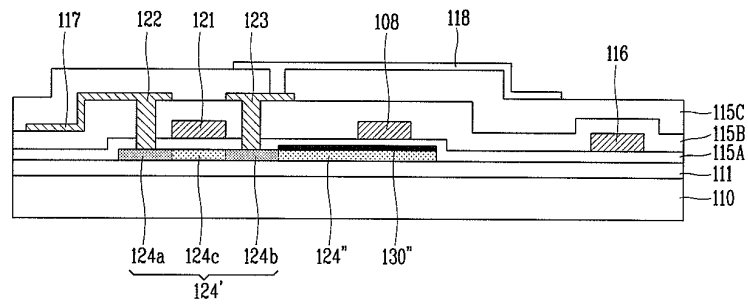
도면3d



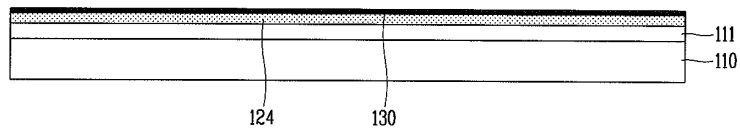
도면3e



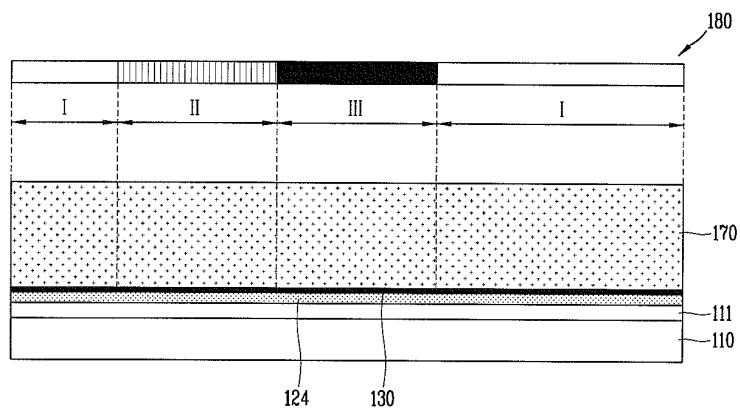
도면3f



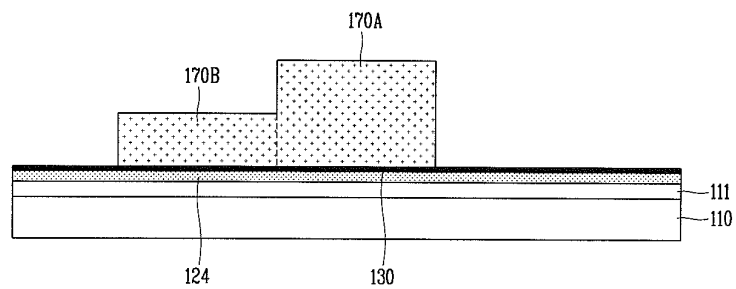
도면4a



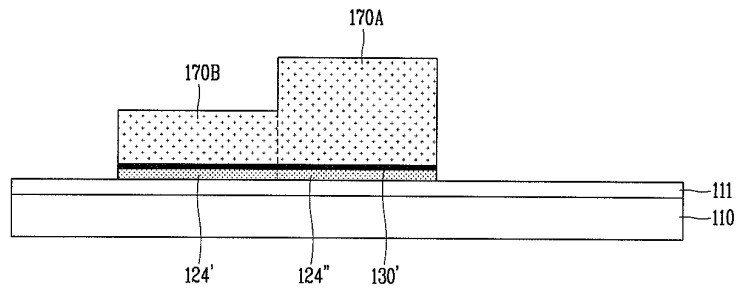
도면4b



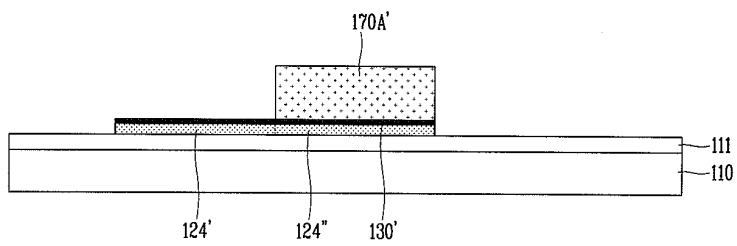
도면4c



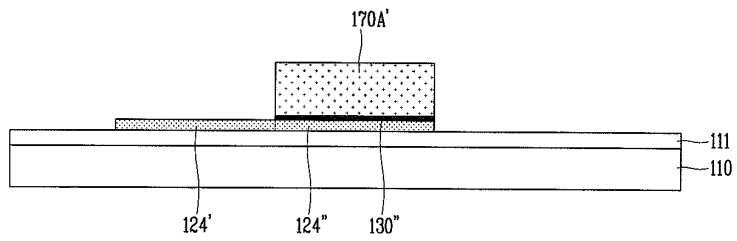
도면4d



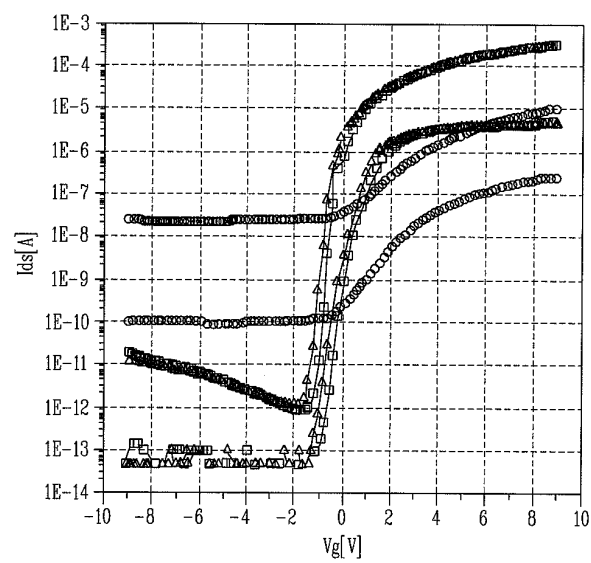
도면4e



도면4f



도면5



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR1020070072107A	公开(公告)日	2007-07-04
申请号	KR1020050136082	申请日	2005-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK YONG IN 박용인 KIM YOUNG JOO 김영주 KANG SU HYUK 강수혁		
发明人	박용인 김영주 강수혁		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136 G02F1/136213 G02F1/136227 G02F1/136286 G02F1/1368		
代理人(译)	PARK , JANG WON		
其他公开文献	KR101186518B1		
外部链接	Espacenet		

摘要(译)

制造本发明的液晶显示装置的方法具有以下步骤：通过形成和简化，减少制造成本，同时提供用于防止有源层损坏的第一基板和第二基板，以降低制造成本。制造过程中同时将存储电极形成铝系金属：形成存储电极的步骤，该存储电极在第一基板上形成有源层和存储层，并且在上部包括铝系金属存储层的一部分：在第一基板上形成第一绝缘层的步骤：在第一基板和公共线和栅极线上形成栅电极的步骤：在第一基板上形成第二绝缘层的步骤：形成限定像素区漏电极的数据线的步骤与栅电极相交，源电极和漏电极de形成在第一基板上：在第一基板上形成第三电介质抛光层的步骤：形成在第一基板上与漏电极电连接的像素电极的步骤：通过一个掩模工艺和附接电极的步骤第一基板和第二基板是有源层和存储电极。液晶显示器，有源层，存储电极，铝。

