



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0125494

(43) 공개일자 2006년12월06일

(21) 출원번호 10-2006-0048202

(22) 출원일자 2006년05월29일

심사청구일자 없음

(30) 우선권주장 JP-P-2005-00157390 2005년05월30일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 가와세 야스시
일본 홋카이도 가메다군 나나메쵸 나가지마 145번지가부시끼가이샤 르
네사스 북일본 세미컨덕터 내
이시다 스스무
일본 홋카이도 가메다군 나나메쵸 나가지마 145번지가부시끼가이샤 르
네사스 북일본 세미컨덕터 내
아끼바 다케사다
일본 홋카이도 가메다군 나나메쵸 나가지마 145번지가부시끼가이샤 르
네사스 북일본 세미컨덕터 내
나가타 야스시
일본 홋카이도 가메다군 나나메쵸 나가지마 145번지가부시끼가이샤 르
네사스 북일본 세미컨덕터 내
미야모토 나오끼
일본 홋카이도 가메다군 나나메쵸 나가지마 145번지가부시끼가이샤 르
네사스 북일본 세미컨덕터 내
시바 가즈요시
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤르네사스
테크놀로지 내

(74) 대리인 장수길
이중희
구영창

전체 청구항 수 : 총 10 항

(54) 액정 표시 구동용 반도체 집적 회로

(57) 요약

사용하는 액정 표시 장치의 사양에 따른 구동 조건 등의 설정을 용이하게 행할 수 있는 액정 표시 구동용 반도체 집적 회로(액정 컨트롤 드라이버 IC)를 실현한다. 액정 표시 장치(300)를 표시 구동하는 반도체 집적 회로화된 액정 표시 구동용 반도체 집적 회로(200)에, 데이터를 전기적으로 기입 가능한 불휘발성 메모리 회로(EPROM) 또는 데이터를 전기적으로 기입 소거 가능한 불휘발성 메모리 회로(EEPROM)를 내장시켜 그 메모리 회로(250)에 설정 정보를 저장시킨다. 이와 함께, 메모리 회로는 다른 회로를 구성하는 소자를 형성하는 반도체 제조 프로세스와 동일한 공정에 의해 형성하는 것이 가능한 통상의 소자로 구성하도록 하였다.

대표도

도 1

특허청구의 범위

청구항 1.

액정 패널의 주사선에 인가되는 구동 신호 및 액정 패널의 신호선에 인가되는 구동 신호를 생성하여 출력하는 1개의 반도체 칩 상에 형성된 액정 표시 구동용 반도체 집적 회로로서,

전기적으로 기입 가능한 불휘발성 메모리 회로 또는 전기적으로 기입 소거 가능한 불휘발성 메모리 회로를 내장하고, 상기 불휘발성 메모리 회로는 상기 반도체 칩 상의 다른 회로를 구성하고 있는 소자를 형성하는 반도체 제조 프로세스의 공정에 의해 형성되는 소자에 의해 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 2.

제1항에 있어서,

상기 불휘발성 메모리 회로는, 해당 반도체 집적 회로의 내부의 초기 설정 정보를 기억하기 위해 이용되는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 3.

제2항에 있어서,

상기 불휘발성 메모리 회로는, 복수의 그룹으로 나뉘어져, 어느 하나의 그룹의 메모리 회로는 해당 반도체 집적 회로 내부의 회로의 특성 변동을 보정하기 위한 설정 정보를 기입하는데 사용되고, 남은 그룹의 메모리 회로는 해당 반도체 집적 회로에 의해 구동되는 액정 패널의 특성에 맞춘 설정 정보를 기입하는 데 사용되는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 4.

제2항에 있어서,

상기 불휘발성 메모리 회로는, 복수의 그룹으로 나뉘어져, 어느 하나의 그룹의 메모리 회로는 해당 반도체 집적 회로를 제조하는 메이커측에서 저장할 설정 정보를 기입하는데 사용되고, 남은 그룹의 메모리 회로는 해당 반도체 집적 회로를 이용한 장치를 제조하는 유저측에서 저장할 설정 정보를 기입하는데 사용되는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 5.

제3항 또는 제4항에 있어서,

상기 불휘발성 메모리 회로는, 전기적으로 1회만 기입 가능한 불휘발성 메모리 회로에 의해 구성되어 있음과 함께, 상기 어느 하나의 그룹의 메모리 회로는 단일 그룹으로 되고, 상기 남은 그룹은 복수의 서브그룹으로 더 나뉘어져, 기입할 때마다 별도의 서브그룹이 선택됨으로써 외관상 복수회의 재기입이 가능한 메모리 회로로서 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 6.

제3항 내지 제5항 중 어느 한 항에 있어서,

상기 불휘발성 메모리 회로는, 전기적으로 1회만 기입 가능한 불휘발성 메모리 회로에 의해 구성되어 있음과 함께, 상기 어느 하나의 그룹의 메모리 회로와 상기 남은 그룹의 메모리 회로에 대응하여 각각 기입용의 고전압이 인가되는 전원 전압 단자가 별개로 설치되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 불휘발성 메모리 회로는, 각각 동일한 데이터를 기억하는 다중화된 메모리 셀에 의해 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 8.

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 불휘발성 메모리 회로 및 상기 다른 회로는, P 채널형 전계 효과 트랜지스터와 N 채널형 전계 효과 트랜지스터로 이루어지는 CMOS 회로에 의해 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 9.

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 반도체 칩은 사각 형상이며, 상기 주사선에 인가되는 구동 신호 및 신호선에 인가되는 구동 신호를 출력하는 단자가 상기 반도체 칩의 길이 방향의 한 쪽의 연부를 따라 배치되고, 상기 반도체 칩의 길이 방향의 다른 쪽의 연부를 따라 메모리 회로의 기입용의 고전압이 인가되는 전원 전압 단자와 입력 단자가 배치되고, 상기 불휘발성 메모리 회로는 상기 전원 전압 단자의 근방에 배치되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 10.

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 반도체 칩은 사각 형상이며, 상기 주사선에 인가되는 구동 신호 및 신호선에 인가되는 구동 신호를 출력하는 단자가 상기 반도체 칩의 길이 방향의 한 쪽의 연부를 따라 배치되고, 상기 반도체 칩의 길이 방향의 다른 쪽의 연부의 거의 중앙

에 메모리 회로의 기입용의 고전압이 인가되는 전원 전압 단자가 배치되고, 상기 반도체 칩의 거의 중앙에 상기 불휘발성 메모리 회로의 기입 및 관독을 행하는 제어 회로가 배치되고, 상기 불휘발성 메모리 회로는 상기 제어 회로와 상기 전원 전압 단자의 근방에 배치되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정 표시 장치를 구동하는 액정 표시 구동용 반도체 집적 회로(액정 컨트롤 드라이버 IC)에 관한 것으로, 예를 들면 사용하는 액정 표시 장치의 특성이나 사양을 불휘발적으로 설정하는 수단을 갖는 액정 컨트롤 드라이버 IC에 이용하기에 유효한 기술에 관한 것이다.

최근, 휴대 전화기나 PDA(Personal Digital Assistants) 등의 휴대용 전자 기기의 표시 장치로서는, 일반적으로 복수의 표시 화소가 예를 들면 매트릭스 형상으로 2차원 배열된 도트 매트릭스형 액정 패널이 이용되고 있다. 그리고, 기기 내부에는, 이 액정 패널의 표시 제어를 행하는 반도체 집적 회로화된 표시 제어 장치(액정 컨트롤러 IC)나 액정 패널을 구동하는 드라이버 회로 혹은 그와 같은 드라이버 회로를 내장한 액정 표시 구동 장치(액정 컨트롤 드라이버 IC)가 탑재되어 있다.

그런데, 액정 표시 장치는, 사용하는 액정의 종류나 구동 방식에 의해, 감마 특성이나 구동 전압, 동작 클럭의 주파수 등 사양이 상이함과 함께, 제조 변동에 의한 특성의 변동이 있다. 따라서, 액정 표시 구동 장치를 제공하는 메이커는, 사양이 상이한 액정 표시 장치나 제조 변동이 있는 액정 표시 장치에 대해서도 적용할 수 있도록 액정 표시 구동 장치를 구성하고, 장치의 범용성을 높이고, 제조 코스트를 내리도록 하는 고안을 하고 있다.

종래, 사양이 상이한 액정 표시 장치로서도 구동할 수 있도록 하기 위한 대책으로서, 액정 표시 구동 장치의 내부에 레지스터를 설치해 둔다. 이와 함께, 외부에 EPROM과 같은 불휘발성 메모리를 설치해 두고, 전원 투입 시의 초기 설정 등으로 불휘발성 메모리로부터 내부의 레지스터에 구동 조건 등의 설정 정보를 전송하는 방식이 실용화되어 있다. 또한, 액정 표시 구동 장치의 내부에 퓨즈 등을 갖는 설정 회로를 설치해 두고, 적용하는 액정 표시 장치가 결정된 시점에서 액정 표시 장치의 사양에 따라 퓨즈를 절단함으로써 설정을 행하는 방식도 제안되어 있다. 퓨즈로 액정 구동 장치의 동작 특성을 조정하도록 한 발명으로서, 예를 들면 참조 문헌 1에 기재된 것이 있다.

발명이 이루고자 하는 기술적 과제

상기 종래의 구동 조건 등의 설정 방식 중, 외부 ROM으로부터 레지스터에 정보를 설정하는 방식은, 전원 투입 시마다 설정을 행해야 하므로, CPU의 부담이 큼과 동시에 시스템의 상승이 느리진다고 하는 결점이 있다. 또한, 퓨즈를 이용하는 방식은, 일단 설정을 행하면 변경할 수 없기 때문에, 설정 후에 사용하는 액정 표시 장치 또는 그 사양에 변경이 있으면 대응할 수 없음과 동시에 유저측에서 설정을 행할 수 없기 때문에 사용하기 불편하다고 하는 결점이 있다.

또한, 제조 변동으로 회로 등의 특성이 원하는 값으로부터 벗어난 경우에, 저항, 용량 등 외장 소자의 저항값이나 용량값을 설정하여 회로의 특성의 어긋남을 조정할 수 있도록 하는 것이 일반적으로 행해지고 있다. 또한, 액정 표시 장치나 액정 구동 장치에서는, 보호용의 다이오드나 승압용의 캐패시터 등에 외장 소자를 이용하고, 이들 외장 소자로서 이용하여, 액정 드라이버 IC와 함께 플렉시블 기판 등에 실장하는 것이 행해지고 있다. 그 때문에, 외장 부품 점수가 비교적 많아 장치의 소형화를 곤란하게 함과 함께, 외장 소자에 의해서 액정 드라이버 IC의 외부 단자 수가 많아져 칩 사이즈가 커진다고 하는 결점이 있었다.

본 발명의 목적은, 사용하는 액정 표시 장치의 사양에 따른 구동 조건 등의 설정을 용이하게 행할 수 있는 사용성이 좋은 액정 표시 구동용 반도체 집적 회로를 제공하는 것에 있다.

본 발명의 다른 목적은, 제조 변동으로 액정 표시 장치나 액정 구동용 반도체 집적 회로의 특성이 원하는 값으로부터 벗어났다고 해도 조정할 수 있으며, 게다가 외장 부품이 적고 칩 사이즈도 작게 하는 것이 가능한 액정 표시 구동용 반도체 집적 회로를 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 신규의 특징에 대해서는, 본 명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.

발명의 구성

본원에서 개시되는 발명 중 대표적인 것의 개요를 설명하면, 하기와 같다.

즉, 액정 표시 장치를 표시 구동하는 반도체 집적 회로화된 액정 표시 구동용 반도체 집적 회로에, 데이터를 전기적으로 기입 가능한 불휘발성 메모리 회로(EPROM) 또는 데이터를 전기적으로 기입 소거 가능한 불휘발성 메모리 회로(EEPROM)를 내장시켜 그 메모리 회로에 설정 정보를 저장시킨다. 이와 함께, 메모리 회로는 다른 회로를 구성하는 소자를 형성하는 반도체 제조 프로세스와 동일한 공정에 의해 형성하는 것이 가능한 통상의 소자로 구성하도록 한 것이다.

불휘발성의 내장 메모리 회로를 액정 표시 구동용 반도체 집적 회로에 갖게 함에 따라, 외장 ROM과 레지스터를 사용하는 방식과 같이 전원 투입 시에 매회 설정 정보를 관독할 필요가 없게 되기 때문에, CPU의 부담이 가벼워짐과 함께 시스템의 상승이 빠르게 된다고 하는 이점이 있다. 특히 휴대 전화 등에 적용되는 액정 표시 장치의 기동 시에 리셋 동작을 행하는 경우에는, 휴대 전화의 전원 기동 시, 및 스탠바이 상태에서부터 액티브 상태로 될 때에 액정 표시 장치의 리셋 동작을 행할 필요가 있는 경우도 있다. 이러한 경우, 마이크로프로세서는 여러가지 디바이스(RF 모듈, 전원 회로, 메모리, 액정 표시 장치의 구동 제어용의 반도체 회로 등)에 초기값을 설정할 필요가 있어, 마이크로프로세서의 동작 부담은 무겁다. 그 때문에, 액정 표시 구동용 반도체 집적 회로에서의 전원 투입 시의 설정을 빠르게 하는 것은, CPU의 부담을 가볍게 하여 시스템의 구동을 빠르게 하는 데에 있어서 매우 유효하다.

또한, 불휘발성의 내장 메모리 회로를 설치함으로써, 해당 칩 혹은 칩을 포함하는 액정 표시 장치의 개별 식별 정보(칩 ID 또는 모듈 ID)를 기입해 두는 것이 가능하게 된다. 그 때문에, 이러한 불휘발성 메모리 회로를 내장한 반도체 집적 회로를 이용하여 액정 표시 장치를 구성하는 유저 등에서는, 이 ID를 활용함으로써, 다양한 관리가 가능하게 된다고 하는 이점이 생성된다. 또한, ID는, 다른 설정 정보를 기입하였을 때에 발생하는 나머지의 영역을 이용하여 기억시키도록 할 수도 있다.

여기서, 다른 회로를 구성하는 소자를 형성하는 반도체 제조 프로세스의 공정에 의해 형성하는 것이 가능한 소자란, 플로팅 게이트를 갖는 FAMOS라고 불리도록 하는 불휘발성 기억 소자가 아닌 일반적인 소자를 의미한다. 일반적으로, EPROM 또는 EEPROM라고 불리는 메모리 IC는, 통상의 소자에 비하여 복잡한 구조를 갖는 불휘발성 기억 소자를 이용하여 구성되기 때문에, 마스크 매수가 많은 등 제조 코스트가 높아진다.

그런데, 통상의 소자만으로 구성 가능한 불휘발성 메모리 회로를 내장시켜 설정 정보를 저장하도록 하면, 사용하는 액정 표시 장치의 사양에 따라 구동 조건 등의 설정을 용이하게 행할 수 있음과 함께, 구동 조건 등에 변경이 있었다고 해도 용이하게 설정을 변경 가능한 메모리 회로를 염가로 실현할 수 있다. 또한, 본 발명에 따르면, 외장 소자를 이용하지 않고, 내장 불휘발성 메모리 회로에 저장되는 설정값을 변경함으로써 특성의 어긋남을 조정할 수 있기 때문에, 외장 부품 접수는 물론 외장 소자를 접속하기 위한 단자수를 적게 할 수 있다.

이하, 본 발명의 적합한 실시 형태를 도면에 기초하여 설명한다.

우선, 본 발명을 적용하여 유효한 불휘발성 메모리 회로를 내장한 액정 표시 구동용 반도체 집적 회로(액정 컨트롤 드라이버 IC)(200)를, 도 1을 이용하여 설명한다. 도 1은, 불휘발성 메모리 회로를 내장한 액정 컨트롤 드라이버 IC(200)와 이 드라이버에 의해 구동되는 TFT 액정 패널(300)로 이루어지는 액정 표시 시스템의 구성을 도시하는 블록도이다.

도 1에서, 참조 부호 200은 액티브 매트릭스 방식으로 액정 패널을 구동하여 표시를 행하는 액정 컨트롤 드라이버 IC, 참조 부호 300은 이 액정 컨트롤 드라이버 IC(200)에 의해 구동되는 TFT 액정 패널이다. TFT 액정 패널(300)은, 대향하는 2매의 글래스 기판의 한 쪽에 화상 신호가 인가되는 복수의 신호선으로서의 소스선(소스 전극)과 소정의 주기로 순차적으로 선택 구동되는 복수의 선택 주사선으로서의 게이트선(게이트 전극)이 직교하는 방향으로 배치되어 있다.

또한, 소스선과 게이트선의 각 교점에 화소 전극과 상기 화소 전극에 소스선 상의 화상 신호에 따른 전압을 인가하는 스위칭 소자로서의 TFT(박막 트랜지스터)로 이루어지는 화소가 매트릭스 형상으로 배치되어 있다. 이와 함께, 대향하는 다른 쪽의 글래스 기판에는 각 화소에 공통의 전극이 설치되고, 이들의 전극이 형성된 2매의 글래스 기판 사이에 액정이 밀봉되어 있다. 이러한 구성의 TFT 액정 패널(300)은 공지이므로 도시는 생략한다.

액정 컨트롤 드라이버 IC(200)는, 액정 패널(300)의 소스선 SL을 화상 신호에 따라 구동하는 소스 드라이버 회로(210), TFT 액정 패널(300)의 게이트선 GL을 순서대로 주사 구동하는 게이트 드라이버 회로(220), TFT 액정 패널(300)의 각 화소 공통의 전극에 커먼 전압 VCOM을 인가하는 커먼 드라이버 회로(230)를 구비한다. 또한, 드라이버 IC(200)는, 이들 드라이버 회로(210~230)에 필요하게 되는 구동 전압을 발생하는 LCD용 전원 회로(240), 구동 조건 등의 설정 정보를 기억하는 불휘발성 메모리 회로(250), 외부의 마이크로프로세서(이하, MPU 또는 CPU라고도 함) 등으로부터의 명령에 기초하여 칩 내부 전체를 제어하는 제어부(260)를 구비한다.

또한, 드라이버 IC(200)는, 내부의 기준으로 되는 클럭 ϕ_r 를 생성하는 발진 회로(270), 생성된 기준 클럭 ϕ_r 에 기초하여 상기 드라이버 회로(210~230) 등의 동작 타이밍을 부여하는 신호 $\phi_1, \phi_2, \phi_3 \dots$ 를 생성하는 타이밍 컨트롤 회로(280), 액정 패널(300)에 표시할 화상 데이터를 기억하는 표시용 RAM(290) 등을 구비한다. 이들 회로를 구비하는 드라이버 IC(200)는 단결정 실리콘과 같은 1개의 반도체 칩 상에 반도체 집적 회로로서 구성되어 있다.

또한, 드라이버 IC(200)는, 전원 전압 VCC가 인가되는 외부 단자와 접지 전위 GND가 인가되는 외부 단자를 갖는다. 또한, 불휘발성 메모리 회로(250)에 기입을 행하는 데 필요한 VCC보다도 높은 기입 전압 VPP1, VPP2가 인가되는 외부 단자가 설치되어 있다.

이 실시예의 제어부(260)는, 커맨드 코드를 설정하기 위한 인덱스 레지스터(261) 및 그 인덱스 레지스터(261)의 내용에 기초하여 기입이 이루어지는 컨트롤 레지스터(262)나 외부로부터 공급되는 데이터 및 상기 불휘발성 메모리 회로(250)로부터 판독된 데이터를 유지하는 데이터 레지스터(263), 불휘발성 메모리 회로(250)의 판독, 기입 제어를 행하는 리드/라이트 제어 회로(264) 등을 구비한다.

또한, 이 실시예의 제어부(260)에는, 외부의 MPU가 인덱스 레지스터(261)에 기입을 행함으로써 실행하는 커맨드를 지정하여 제어 신호를 생성하는 방식이 채용되어 있다. 제어부(260)의 제어 방식으로서, 외부의 MPU로부터 커맨드 코드를 받으면, 이 커맨드를 디코드하여 제어 신호를 생성하는 방식을 채용해도 된다. 데이터 레지스터(263)는, 불휘발성 메모리 회로(250)의 출력부에 설치하고, 제어부(260)에는 데이터 레지스터(263)에 판독된 데이터를 원하는 회로에 분배하는 게이트 회로를 설치하도록 해도 된다.

이와 같이 구성된 제어부(260)에 의한 제어에 의해, 액정 컨트롤 드라이버 IC(200)는, 외부의 MPU로부터의 명령 및 데이터에 기초하여 전술한 TFT 액정 패널(300)에 표시를 행할 때에, 표시 데이터를 표시용 RAM(290)에 순차적으로 기입해 가는 묘화 처리를 행한다. 이와 함께, 제어부(260)는, 표시 RAM용(290)으로부터 순차적으로 표시 데이터를 판독하는 판독 처리를 행하여 TFT 액정 패널(300)의 소스선 SL에 인가하는 신호 및 게이트선 GL, 커먼 전극 COM에 인가하는 신호를 드라이버(210, 220, 230)로부터 출력시킴으로써 액정 표시가 행해진다.

구동 조건 등의 설정 정보를 기억하는 불휘발성 메모리 회로(250)는, 후술한 바와 같이, 다른 회로를 구성하는 소자와 동일한 소자(본 실시예에서는 CMOS 트랜지스터)에 의해 구성되어 있다. 이것에 의해, 불휘발성 메모리 회로(250)를 형성하기 위해 제조 공정이 증가하지 않게 되어, 제조 코스트의 상승이 억제된다. 여기서, 불휘발성 메모리 회로(250)에 저장되는 설정 정보는, 크게 나누면 메이커(벤더)에서 저장할 설정 정보와 유저(어셈블리 메이커)에서 저장할 설정 정보의 2 종류가 있다. 실제로 사용할 때는, 한 쪽이나, 또는 양방을 설정할 수 있는 구성으로 할 수 있다.

본 실시예의 액정 컨트롤 드라이버 IC에서는, 불휘발성 메모리 회로(250)에, 메이커가 설정하는 정보를 저장하기 위한 제1 영역(251)과 유저가 설정하는 정보를 저장하기 위한 제2 영역(252)이 형성되어 있다. 이 중, 제1 영역(251)은 1회만 데이터를 기입할 수 있게 되고, 제2 영역(252)은 복수회 데이터를 기입할 수 있도록 되어 있다.

메이커에서 저장할 설정 정보에는, 내부의 기준으로 되는 클럭을 생성하는 발진 회로(270)에서 생성하는 클럭 ϕ_r 의 주파수를 설정하기 위한 정보, 기준 클럭 ϕ_r 에 기초하여 동작 클럭 $\phi_1, \phi_2, \phi_3 \dots$ 을 생성하는 타이밍 컨트롤 회로(280)에서 생성하는 클럭의 타이밍을 설정하기 위한 정보 등이 있다. 또한, 드라이버(210~230)에 필요하게 되는 구동 전압을 발생하는 LCD용 전원 회로(240)에서 발생하는 전압의 레벨을 설정하기 위한 정보도, 메이커에서 저장할 설정 정보에 포함된다. 그리고, 상기 발진 회로(270), 타이밍 컨트롤 회로(280), LCD용 전원 회로(240) 등은, 불휘발성 메모리 회로(250)로부터 판독된 대응하는 설정 정보에 따라 변경 가능하게 구성되어 있다.

도 2에는, 그 중 발진 회로(270)의 구성예가 도시되어 있다. 이 실시예의 발진 회로(270)는, OR 게이트(271)와 직렬 형태의 인버터 INV1, INV2와 피드백 패스로 이루어지는 링오실레이터에 의해 구성되어 있다. 그리고, 최종단의 인버터 INV2로부터 초단의 OR 게이트(271)에의 피드백 패스 상에 설치된 직렬 형태의 복수의 저항 R_{f1} , R_{f2} , …… R_{fm} 의 각 접속 노드와 오실레이터의 출력 단자 사이에 스위칭 소자 SW1, SW2, …… SWm이 설치되어 있다.

또한, 불휘발성 메모리 회로(250)로부터 판독되어 데이터 레지스터(263)에 유지된 대응하는 설정 정보를 디코딩하는 디코더 DEC1이 설치되고, 이 디코더 DEC1의 출력에 의해서 상기 스위칭 소자 SW1, SW2, …… SWm 중 어느 하나가 온 상태로 된다. 이에 의해, 피드백 신호의 지연 시간이 변화되어, 오실레이터의 출력인 기준 클럭 ϕ_r 의 주파수가 변경되도록 구성되어 있다. 그 결과, 제조 변동으로 발진 회로의 주파수가 원하는 주파수로부터 어긋난 경우에도, 주파수의 어긋남을 조정할 수 있게 된다. 또한, 액정 표시 장치에 맞는 특정한 사양의 주파수로 변경할 수 있도록 할 수도 있다.

또한, 피드백 신호가 입력되어 있는 오실레이터의 초단의 OR 게이트(271)의 다른 쪽의 입력 단자에 입력되어 있는 신호 COSC는, 오실레이터의 기동 신호이다. 이 신호 COSC가 로우 레벨로 되면 오실레이터는 발진 동작하고, COSC가 하이 레벨로 되면 오실레이터는 발진 동작을 정지하도록 되어 있다. 디코더 DEC1을 생략하고, 데이터 레지스터(263)에 유지된 설정 정보에 의해 스위칭 소자 SW1, SW2, …… SWm을 직접 제어하도록 구성해도 된다.

내장 메모리와 조정 회로가 없는 경우에는, 발진 회로(270)에 의해 생성되는 기준 클럭 ϕ_r 의 주파수를 변경하기 위해, 예를 들면 도 3에 도시되어 있는 바와 같이, 피드백 경로에 설치된 저항 R_f 를, 드라이버 IC(200)에 외장 소자로서 접속하고, 그 저항값을 변경하도록 해야만 하였다. 본 실시예에 따르면, 이러한 외장 소자가 불필요해지기 때문에, 외장 부품의 수를 줄여 시스템을 소형화할 수 있음과 함께, 외장 소자를 접속하기 위한 외부 단자도 적게 할 수 있기 때문에, 칩 자신도 소형화할 수 있다.

도 4에는, 타이밍 컨트롤 회로(280)의 구성예가 도시되어 있다. 이 실시예의 타이밍 컨트롤 회로(280)는, 직렬 형태로 접속된 복수의 지연 회로 DLY1, DLY2…… DLYn에 의해 구성되어 있다. 각 지연 회로 DLY1, DLY2…… DLYn의 접속 노드와 컨트롤러의 입력 단자 사이에, 스위칭 소자 SW11, SW12, …… SW1m이 설치되어 있다.

이들 스위칭 소자 SW11, SW12, …… SW1m 중 어느 하나가, 불휘발성 메모리 회로(250)로부터 판독되어 데이터 레지스터(263)에 유지된 대응하는 설정 정보의 신호 TC1, TC2, TC3 등에 의해 온 상태로 됨으로써, 출력되는 신호 TMD의 타이밍이 변경되게 되어 있다. 데이터 레지스터(263)에 유지된 설정 정보를 디코딩하는 디코더를 설치하고, 이 디코더의 출력으로 스위칭 소자 SW11, SW12, …… SW1m을 제어하도록 구성해도 된다.

여기서, 타이밍 컨트롤 회로(280)에 의해 타이밍을 조정하는 신호로서는, 예를 들면 표시 RAM(280)의 동작 타이밍을 부여하는 신호가 있다. 표시 RAM(280)은, 액정 컨트롤 드라이버의 내부에서 가장 고속으로 동작하는 회로이기 때문에, 그 동작 타이밍의 어긋남은 시스템 전체의 동작에 영향을 준다. 따라서, 표시 RAM(280)의 동작 타이밍을 부여하는 신호를 초기 설정으로 조정함으로써, 원하는 동작 특성이 얻어지게 된다.

도 5에는, LCD용 전원 회로(240)의 구성예가 도시되어 있다. 이 실시예의 LCD용 전원 회로(240)는, 직렬 형태로 접속된 래더 저항 R_{l1} , R_{l2} , …… R_{ln} 과, 각 래더 저항과 병렬로 접속된 스위칭 소자 SW21, SW22, …… SW2n을 구비한다. 그리고, 이들의 스위칭 소자 SW21, SW22, …… SW2n이, 불휘발성 메모리 회로(250)로부터 판독되어 데이터 레지스터(263)에 유지된 대응하는 설정 정보에 의해 온 또는 오프 상태로 된다. 이에 의해, LCD용 전원 회로(240)에서의 기준으로 되는 전압 VCOMR의 레벨이 결정되게 되어 있다.

도 5에서, LCD용 전원 회로(240) 내에 설치되어 있는 스위치 SWa1, SWa2는, 액정의 열화를 방지하기 위해 액정 패널을 교류 구동할 공통 전극에 인가하는 공통 전위 VCOMH와 VCOML을 절환하여 소정의 주기에서 극성 반전시키는 스위치이다. 또한, 스위치 SWm1, SWm2는, 표시 모드 등에 따라 공통 전극에 인가하는 공통 전위 VCOMH, VCOML 중 VCOMH의 레벨을 절환하기 위한 스위치이다. 이들의 스위치 SWa1과 SWa2 또는 SWm1과 SWm2는, 제어부(260)로부터의 제어 신호에 의해 각각 상보적 즉 한 쪽이 온일 때에는 다른 쪽이 오프의 상태로 된다.

내장 메모리와 조정 회로가 없는 경우에는, 기준으로 되는 전압 VCOMR의 레벨을 변경하기 위해, 예를 들면 도 6에 도시되어 있듯이, 드라이버 IC(200)에 외장의 저항 R_{t1} , R_{t2} 를 설치하고, 한 쪽의 저항 R_{t1} 의 저항값을 변경하도록 하고 있었다. 본 실시예에 따르면, 이러한 외장 소자가 불필요해지기 때문에, 외장 부품의 수를 줄여 시스템을 소형화할 수 있음과 함께, 외장 소자를 접속하기 위한 외부 단자도 적게 할 수 있기 때문에, 칩 자신도 소형화할 수 있다.

다음으로, 제어부(260)에 의한 불휘발성 메모리 회로(250)의 기입의 수순과 동작 타이밍을, 도 1 및 도 7을 이용하여 설명한다. 도 7에서, 신호 CS, RS, WR, RD는 리드/라이트 제어 회로(264)에 칩 외부로부터 입력되는 제어 신호이다. 이 중 제어 신호 CS는 칩이 선택된 것을 나타내는 신호, RS는 데이터 DB를 인덱스 레지스터에 래치하는 것이나 컨트롤 레지스터에 래치하는 것을 나타내는 신호이다. 또한, WR은 기입 동작을 제어하기 위한 신호, RD는 판독 동작을 제어하기 위한 신호이다. 리드/라이트 제어 회로(264)는, 이들 제어 신호 CS, RS, WR, RD와 타이밍 컨트롤러(280)로부터의 클럭 $\phi 2$ 에 기초하여, 메모리 회로(250)에 공급하는 신호를 생성한다. WE는 리드/라이트 제어 회로(264)에 의해 생성되어 메모리 회로(250)에 공급되는 기입 허가 신호이다. 또한, RE는 리드/라이트 제어 회로(264)에 의해 생성되어 메모리 회로(250)에 공급되는 판독 허가 신호이다.

도 7에는, 제어부(260)에 의한 불휘발성 메모리 회로(250)의 기입 동작 타이밍이 도시되어 있다. 이 기입 동작의 설명은, 특별히 제한되는 것은 아니지만, 본 실시예의 액정 컨트롤 드라이버에서는, 전원 투입 후에 MPU로부터 리셋 신호 RESET가 입력되면 하이 레벨로부터 로우 레벨로 되는 경우의 예를 설명하고 있다. 또한, 도 7의 예는, 어드레스는 000~011의 4개의 어드레스에 기입하는 경우의 예를 도시하고 있다.

우선, 리셋 신호 RESET가 입력되면, 칩 내부 레지스터는 리셋된다(도 7, 타이밍 t1). 계속해서, MPU 등에 접속된 제어 버스 BUS에, RS=Low의 기간에 인덱스 데이터가 드라이버 IC에 입력된다. 이 때, WR이 로우로부터 하이로 되는 타이밍에서 이 인덱스 데이터가 인덱스 레지스터(261)에 저장된다(도 7, 타이밍 t2).

이 때, 인덱스 레지스터(261)에 저장된 인덱스 데이터에 의해, ROM계 회로의 컨트롤 레지스터(262)가 선택된다. 또한, 타이밍 t2 후에, 제어 버스 BUS로부터, RS=High의 기간에 제어 등의 데이터(금후 간단하게 「데이터」라고 적음)가 드라이버 IC에 입력된다. 이 때, WR이 로우로부터 하이로 되는 타이밍에서, 이 데이터가 컨트롤 레지스터(262)에 저장된다(도 7, 타이밍 t3).

<기입 기간>

t3의 타이밍에서, 컨트롤 레지스터의 데이터가 확정되는데, 데이터의 내용은, 기입 데이터 WDATA, 기입 어드레스 ADDR, ROM 제어 데이터 OP0, OP1 등이다. 기입의 경우에는, 제어 데이터 OP0의 데이터를 0(Low)부터 1(High)로 한다. 이 때, OP0가 1(High)이면, WE/RE 제어 회로(264)를 제어하여, 기입 허가 신호 WE를 하이 레벨로 어서트하여, 기입 동작이 행해진다.

기입의 종료는, 제어 버스 BUS의 제어 신호 RS가 하이 레벨의 기간에 컨트롤 레지스터의 OP0의 데이터를 1(High)부터 0(Low)로 바꿈으로써, WE/RE 제어 회로(264)를 제어하여, 기입 허가 신호 WE를 로우 레벨로 네게이트한다. 이에 따라 기입 동작이 종료한다(도 7, 타이밍 t4).

어드레스를 바꾸어서 기입을 재개하는 경우에는, 제어 신호 RS가 하이 레벨의 기간에 컨트롤 레지스터의 OP0의 데이터를 0(Low)부터 1(High)로 한다(도 7, 타이밍 t5). 이 때, OP0가 1(High)이므로, WE/RE 제어 회로(264)는, 기입 허가 신호 WE를 하이 레벨로 어서트하여, 기입 동작이 행해진다. 이 때, 데이터 레지스터의 어드레스는, 갱신해 둔다. 이에 의해, 타이밍 t3으로부터 t4의 기간에서 기입된 어드레스와는 다른 어드레스의 영역에 기입이 행해진다.

이후, 타이밍 t5 후에는, 상기한 타이밍 t3부터 t4와 마찬가지로 컨트롤 레지스터의 OP0의 데이터를 세트함으로써 기입이 종료된다(도 7, 타이밍 t6). 이후에는, 상기를 반복한다.

또한, 이 실시예에서는, 외부로부터 입력되는 제어 신호 CS, RS, WR, RD에 따라 기입 동작을 실행하도록 구성한 것을 설명하였지만, 칩 내부에 1개의 커맨드 코드에 대응한 복수의 마이크로 명령 코드를 저장한 ROM을 설치한다. 그리고, 인덱스 레지스터(261)에 기입 커맨드가 설정되면, 마이크로 명령 코드를 판독하여 리드/라이트 제어 회로(264)에 대한 제어 신호를 생성하고, 자동적으로 기입 동작을 실행시키도록 구성하는 것도 가능하다. 단, 실시예와 같이 외부로부터의 제어 신호에 따른 제어 방식으로 함으로써, 제어부(260)의 규모를 작게 할 수 있다.

도 8에는, 제어부(260)에 의한 불휘발성 메모리 회로(250)의 판독 동작 타이밍이 도시되어 있다. RE는 리드/라이트 제어 회로(264)에 의해 생성되어 메모리 회로(250)에 공급되는 판독 허가 신호이다.

본 실시예의 액정 컨트롤 드라이버에서는, 전원 투입 후에 MPU로부터 리셋 신호 RESET가 하이 레벨로부터 로우 레벨로 어서트되고, 이에 의해, 칩 내부의 레지스터가 리셋된다. 그리고, 인덱스 레지스터(261)에 판독 커맨드가 설정되면,

인덱스 레지스터(261)에 의해 컨트롤 레지스터(262)의 소정의 제어 비트 OP1에 "1"이 세트되고, 리드/라이트 제어 회로(264)에 의해 판독 허가 신호 RE가 하이 레벨로 어서트되어 판독 동작이 개시된다(타이밍 t11). 또한, 이 때 제어 비트 OP0는 "0"으로 된다.

그리고, 컨트롤 레지스터(262)의 소정의 필드에 저장되어 있는 판독 어드레스 RADDR이 메모리 회로(250)에 공급되어 데이터의 판독이 실행된다. 이 때, 메모리 회로(250)에 공급된 어드레스에 대응한 영역에 기억되어 있는 데이터가 일괄되어 판독된다. 또한, 컨트롤 레지스터(262)에 판독용의 제어 비트 OP1을 설치하는 대신에, 리셋 신호 RESET를 적당한 딜레이 회로 등에 통과시킴으로써 리드/라이트 제어 회로(264)의 기동 신호로 하여, 하이 레벨의 판독 허가 신호 RE를 출력시키도록 구성해도 된다.

다음으로, 소정 시간 후에 타이밍 컨트롤 회로(280)로부터 래치 타이밍을 나타내는 신호 RSET가 출력되고, 메모리 회로(250)로부터 판독된 데이터가 데이터 레지스터(263)에 래치된다(타이밍 t12). 그 후, 불휘발성 메모리 회로(250)에의 판독 제어 신호 RE가 로우 레벨로 네게이트되어 1회의 판독 동작이 종료한다(타이밍 t13).

판독 데이터가 복수의 어드레스에 걸쳐 있을 때에는, 판독 허가 신호 RE이 로우 레벨로 부정되어 있는 동안에 컨트롤 레지스터(262)의 소정의 필드에 저장되어 있는 판독 어드레스 RADDR을 갱신하고나서 상기 동작을 반복하게 된다.

본 실시예에서는, 리셋 신호 RESET가 입력되면 인덱스 레지스터(261)에 의해서 컨트롤 레지스터(262)의 소정의 제어 비트 OP1에 "1"이 세트됨으로써 판독 허가 신호 RE가 생성되도록 구성되어 있지만, 리셋 신호 RESET를 적당한 딜레이 회로 등에 통과시킴으로써 판독 허가 신호 RE를 생성하도록 해도 된다. 또한, 본 실시예의 액정 컨트롤 드라이버 IC는, 리드/라이트 제어 회로(264)가, 전술한 제어 신호 CS, RS, WR, RD에 기초하여, 메모리 회로(250)로부터 데이터를 판독하도록 구성할 수 있다. 그리고, 이러한 판독 기능은, 예를 들면 회로가 정상적으로 동작하거나 검사하는 테스트 모드에서 유효화되도록 구성해도 된다.

도 9에는, 도 1의 불휘발성 메모리 회로(250) 중 메이커가 설정하는 정보를 저장하기 위한 제1 영역(251)에 사용하기에 적합한 메모리 회로의 예가 도시되어 있다. 이 실시예의 불휘발성 메모리 회로(250)는, FAMOS나 MNOS와 같은 불휘발성 기억 소자를 사용하지 않고, 통상의 회로 구성 소자인 P 채널 MOSFET(절연 게이트형 전계 효과 트랜지스터)와 N 채널 MOSFET만으로 구성되어 있다. 또한, 도 7에는, 도시의 편의상, 8개의 메모리 셀로 이루어지는 1 바이트의 기억 용량의 메모리 회로가 도시되어 있지만, 실제로는, 마찬가지로의 구성의 메모리 회로가 복수개 설치되고, 어드레스 신호에서 어느 하나를 선택적으로 동작시키도록 구성함으로써 복수 바이트의 기억 용량의 메모리 회로로서 구성되어 있다.

도 9에서, 참조 부호 264는 전술한 제어 신호 CS, RS, WR, RD와 컨트롤 레지스터(262)로부터의 데이터 DB0~DB17에 기초하여 메모리 회로의 기입, 판독을 위한 신호를 생성하는 리드/라이트 제어 회로이다. 또한, 참조 부호 254는 기입을 위해 필요한 통상의 전원 전압 VCC보다도 전위가 높은 기입 전압 VPP1, VPP2에 기초하여 회로 내부에서 필요한 소정의 레벨의 전원 전압 VPP1M, VPP2M을 생성하는 내부 전원 제어 회로이다. 또한, 참조 부호 255는 불휘발성 메모리 셀, 참조 부호 256은 각 메모리 셀의 판독/기입 회로에서, 이 실시예에서는 한번에 8 비트의 데이터를 리드/라이트할 수 있도록, 8개의 메모리 셀과 판독/기입 회로의 페어가 한 방향으로 배열하여 배치되어 있다. 기입 전압 VPP1, VPP2는, 예를 들면 9V와 7V이다.

LD0~LD7은 리드/라이트 제어 회로(264)로부터 출력되는 기입 데이터가 탑재하는 라이트 데이터선, PU는 판독을 제어하기 위한 판독 제어선이다. 또한, CG는 8 비트의 데이터를 리드/라이트하기 위한 통상의 메모리 어레이에서의 워드선에 상당하는 컨트롤 게이트선이다. 또한, SL은 메모리 셀(255)에 기입 전압을 공급하는 기입 전압 공급 라인, PRGM은 기입을 제어하기 위한 기입 제어선, VER은 메모리 셀의 전위를 제어하기 위한 전위 제어선이다. 컨트롤 게이트선 CG는, 판독 제어 신호 RE와 기입 제어 신호 WE의 배타적 논리합을 취하는 EOR 게이트 G0의 출력에 따라 구동된다. LS1, LS2는, EOR 게이트 G0의 출력 신호, 기입 제어 신호 WE의 레벨을 변환하는 레벨 시프트 회로이다.

판독/기입 회로(256)는, 라이트 데이터선 LD0~LD7 중 어느 하나의 라이트 데이터선과 기입 제어선 PRGM의 신호를 입력으로 하는 OR 게이트 G1과, 신호 CERB가 하이 레벨일 때에 그 OR 게이트 G1의 출력 신호를 통과시키는 전송 게이트 MOSFET Qt1을 구비한다. 또한, 판독/기입 회로(256)는, 판독 제어선 PU에 접속된 저항 R0 및 그 저항 R0과 직렬로 접속된 전송 게이트 MOSFET Qt2와, Qt2가 온되었을 때에 저항 R0의 전위가 강하하였는지의 여부를 판별하는 센스용 인버터 G2를 구비한다. 저항 R0은, 이 예에서는 고정 저항을 예시하고 있지만, 이것에 상당하는 동작을 하는 회로에 의해 구성하여도 된다.

메모리 셀(255)은, 전송 게이트 MOSFET Qt1과 기입 전압 공급 라인 SL 사이에 상호 채널이 병렬의 상태에서 접속된 전하 주입용 MOSFET Qw1, Qw2와, Qw1, Qw2의 게이트 단자와 컨트롤 게이트선 CG 사이에 용량 소자로서 접속된 MOS 용량 C1, C2를 갖는다. 또한, 메모리 셀(255)은, 판독 제어선 PU와 전위 제어선 VER 사이에, 상기 저항 R0 및 전송 게이트 MOSFET Qt2와 직렬 형태로 접속된 판독용 MOSFET Qr1, Qr2를 구비한다. 상기 전하 주입용 MOSFET Qw1과 판독용 MOSFET Qr1은 상호 게이트 단자끼리 결합되고, Qw2와 Qr2도 게이트 단자끼리 결합되고, 각각의 게이트 단자는 플로팅으로 되어 있다.

또한, 전송 게이트 MOSFET Qt1, Qt2도 게이트 단자끼리 결합되어 있고, 리드/라이트 제어 회로(264)로부터의 제어 신호 CER를 인버터로 반전한 신호 CERB가 공통 게이트에 공급되어, CERB에 의해 제어된다. 또한, 메모리 셀의 전위를 제어하는 상기 전위 제어선 VER은, 이 제어 신호 CERB를 또한 인버터에 의해 반전한 신호의 레벨을 변환하는 레벨 시프트 회로 LS3에 의해 구동된다.

이 실시예의 메모리 셀(255)은, 컨트롤 게이트선 CG에서 MOS 용량 C1, C2를 통하여 전하 주입용 MOSFET Qw1, Qw2의 게이트 전압을 높게 한 상태에서 라이트 데이터에 따라 Qw1, Qw2의 소스·드레인 사이에 기입 전압을 인가하여 Qw1, Qw2를 온 또는 오프 상태로 설정한다. 그리고, Qw1, Qw2에 선택적으로 드레인 전류를 흘림으로써 발생한 핫 일렉트론이, Qw1, Qw2의 게이트 전극에 주입됨으로써 데이터의 기입이 행해진다. 전하 주입용 MOSFET와 판독용 MOSFET를 2개씩 설치하고 있는 것은, 전하의 리크에 의한 기억 데이터의 신뢰성 저하를 방지하기 위해서이다.

데이터의 판독 시에는, 컨트롤 게이트선 CG에서 MOS 용량 C1, C2를 통하여 판독용 MOSFET Qr1, Qr2의 게이트 전압을 높게 한다. 이와 함께, 판독 제어선 PU를 높게 하고, VER을 낮게 하여 Qr1, Qr2의 소스·드레인 사이에 전위차를 부여하고 Qr1, Qr2에 전류가 흐르는지의 여부를 인버터 G2에 의해 판별한다.

구체적으로는, 전하 주입용 MOSFET Qw1, Qw2의 게이트 전극에 전하가 주입되어 있으면, 판독용 MOSFET Qr1, Qr2의 게이트 전압이 상대적으로 낮게 되어 오프 상태로 되어 드레인 전류는 차단된다. 한편, Qw1, Qw2의 게이트 전극에 전하가 주입되어 있지 않으면, 판독용 MOSFET Qr1, Qr2의 게이트 전압이 상대적으로 높게 되어 온 상태로 되어, 드레인 전류가 흐른다. 이에 의해, R0과 Qr1의 접속 노드의 전위가 변화한다. 이 전위 변화를 인버터 G2에 의해 판별함으로써 메모리 셀의 상태를 판정할 수 있다.

또한, 이 실시예에서는, 판독 동작 시, 전하 주입용 MOSFET Qw1, Qw2 중 한 쪽의 게이트 전극의 전하가 리크하였다고 하여도, 다른 쪽의 게이트 전극의 전하가 리크하지 않으면, 어느 한 쪽은 오프로 되어 드레인 전류가 흐르지 않는다. 그 때문에, 전하의 리크에 의한 기억 데이터의 신뢰성 저하를 방지할 수 있다. 전하 주입용 MOSFET Qw1, Qw2와 판독용 MOSFET Qr1, Qr2는, 각각 1개의 MOSFET에 의해 구성해도 메모리 셀로서 유효하게 동작하므로, 한 쪽의 조를 생략하는 것이 가능하다. 또한, 도 1의 실시예의 메모리 회로(250)는, 도 9와 같은 구성의 메모리 회로에 한정되지 않고 마찬가지로의 기능을 갖는 회로이면 된다.

다음으로, 상기 실시예의 액정 컨트롤 드라이버에 이용되는 불휘발성 메모리의 구체적인 디바이스의 구조와, 그 불휘발성 메모리에서의 데이터의 기입, 소거 및 판독의 각 동작에 대하여, 도 10~도 13을 이용하여 설명한다. 도 10은 메모리 셀 영역의 주요부 평면도이며, 도 11~도 13은 도 10 중의 D-D'선을 따라 자른 단면을 도시하고 있다.

도면에서, 참조 부호 1로 나타내고 있는 것은 예를 들면 단결정 실리콘으로 이루어지는 p형 반도체 기판, 참조 부호 2는 기판(1)의 표면에 선택적으로 형성된 필드 산화막, 참조 부호 19, 20은 기판(1) 및 필드 산화막(2)의 표면을 피복하도록 형성된 층간 절연막이다. 참조 부호 4A는 MOS 용량 C1, C2가 형성되는 p형 웰 영역, 참조 부호 4B는 MOSFET Qw1, Qw2; Qr1, Qr2가 형성되는 P형 웰 영역, 참조 부호 3은 p형 웰 영역(4A, 4B)의 하측에 형성된 n형 반도체 분리 영역이다. 참조 부호 5는 n형 반도체 분리 영역(3)에 전위를 부여하는 급전 영역으로서의 n형 반도체 영역, 참조 부호 14A는 n형 반도체 영역(5)의 버퍼층으로서의 n형 반도체 영역, 참조 부호 14B는 MOSFET Qw1, Qr1(Qw2, Qr2)의 소스·드레인 영역으로 되는 n형 반도체 영역이다.

또한, 참조 부호 15A는 MOS 용량 C1의 한 쪽의 단자로 되는 p형 반도체 영역, 참조 부호 15B는 MOSFET Qw1, Qr1의 p형 웰 영역(4B)에 전위를 부여하는 급전 영역으로서의 p형 반도체 영역, 참조 부호 18은 표면에 형성되는 전극과의 접촉 저항을 줄이기 위한 콘택층이다. 또한, 참조 부호 6은 MOS 용량 C1의 유전체층에서, 이 유전체층(6)은 MOSFET Qw1, Qr1의 게이트 절연막과 동일 공정에서 형성된다. 또한, 참조 부호 7A는 MOS 용량 C1의 다른 쪽의 단자로 되는 도전체층, 참조 부호 7B는 MOSFET Qw1, Qr1의 게이트 전극이고, 도전체층(7A)은 Qw1, Qr1의 게이트 전극과 동일 공정에서 형성된다.

데이터의 기입 시에는, 도 11에 도시한 바와 같이 n형 반도체 영역(5)을 통하여 n형 반도체 분리 영역(3)에 예를 들면 9 V를 인가하고, p형 반도체 영역(15B)을 통하여 MOSFET Qw1, Qr1(Qw2, Qr2)이 형성된 p형 웰 영역(4B)에 0 V를 인가한다. 또한, p형 반도체 영역(15A)을 통하여 용량 소자 C1(C2)이 형성된 p형 웰 영역(4A)에 순방향의 9 V를 인가한다. MOSFET Qw1, Qr1(Qw2, Qr2)의 게이트 전극(7B)과 용량 소자 C1(C2)의 한 쪽의 단자로서의 전극(7A)은 연결되기 때문에, p형 웰 영역(4)에의 9 V의 인가에 의해 전극(7B)의 전위가 상승된다.

또한, 데이터 기입용의 MOSFET Qw1(Qw2)의 소스, 드레인으로서의 n형 반도체 영역(14B)의 한 쪽에 7 V를 인가하고, 다른 쪽에 0 V를 인가한다. 또한, 데이터 판독용의 MOSFET Qr1(Qr2)의 소스, 드레인으로서의 n형 반도체 영역(14B)을 0 V로 한다. 이에 의해, 데이터 기입용의 MOSFET Qw1(Qw2)의 채널에 전류가 흘러, 그 때 발생한 핫 일렉트론(e-)이 게이트 전극(7B)에 주입되어, 데이터의 기입이 행해진다. 또한, n형 반도체 분리 영역(3)에 9 V를 인가하는 것은, p형 웰 영역(4A)에 9 V가 인가됨으로써 PN 접합이 순방향으로 바이어스되지 않도록 하기 위함이다.

데이터의 판독 시에는, 도 12에 도시한 바와 같이 n형 반도체 영역(5)을 통하여 n형 반도체 분리 영역(3)에 예를 들면 3 V를 인가하고, p형 반도체 영역(15B)을 통하여 MOSFET Qw1, Qr1(Qw2, Qr2)이 형성된 p형 웰 영역(4B)에 0 V를 인가한다. 또한, p형 반도체 영역(15A)을 통하여 용량 소자 C1, C2가 형성된 p형 웰 영역(4A)에 3 V를 인가한다. 이 p형 웰 영역(4A)에의 3 V의 인가에 의해 전극(7A 및 7B)의 전위가 상승되고, 전극(7B)에 전하가 축적되어 있는지의 여부에 따라, 데이터 판독용의 MOSFET Qr1, Qr2가 온 또는 오프 상태로 된다.

또한, 데이터 기입용의 MOSFET Qw1(Qw2)의 소스, 드레인으로서의 n형 반도체 영역(14B)을 0 V로 하고, 데이터 판독용의 MOSFET Qr1(Qr2)의 소스, 드레인으로서의 n형 반도체 영역(14B)의 한 쪽에 0 V를 인가하고, 다른 쪽에 예를 들면 도 9에 도시한 저항 R0의 한 쪽을 접속하였을 때의 전압이 인가된다. 도 9에 도시한 저항 R0의 한 쪽은 PU에 접속되어 있는 것은 전술한 바와 같다. 이 때, 데이터 판독용의 MOSFET Qr1, Qr2의 온 또는 오프 상태에 따라 전류가 흐르거나 흐르지 않거나 한다. 이것이, 인버터 G2에 의해 검출된다. 또한, n형 반도체 분리 영역(3)에 3 V를 인가하는 것은, p형 웰 영역(4A)에 3 V가 인가됨으로써 PN 접합이 순방향으로 바이어스되지 않도록 하기 위해서이다.

도 14에는, 도 1의 불휘발성 메모리 회로(250)의 유저가 설정하는 정보를 저장하기 위한 제2 영역(252)에 사용하기에 적합한 메모리 회로의 예가 도시되어 있다. 이 실시예의 불휘발성 메모리 회로(250)는, 도 9의 실시예의 불휘발성 메모리 회로(250)와 마찬가지로, FAMOS나 MNOS와 같은 불휘발성 기억 소자를 사용하지 않고 구성되어 있다. 단, 이 실시예의 불휘발성 메모리 회로(250)는, 기억된 데이터의 소거가 가능한 구성으로 되어 있다. 데이터의 소거는, 컨트롤 레지스터(262)의 제어 비트 OP0, OP1에 각각 "1"이 세트됨으로써, 소거 모드에 들어가 소거를 실행하도록 구성할 수 있다.

이 실시예의 불휘발성 메모리 회로(250)는, 도 9의 실시예의 불휘발성 메모리 회로(250)와 거의 동일한 구성을 가지므로, 동일 구성의 부분에 대해서는 설명을 생략하고, 주로 차이에 대하여 설명한다. 도 9의 실시예의 불휘발성 메모리 회로(250)와의 제1 차이는, 본 실시예에서는, 전원 제어 회로(254)가, 외부로부터 공급되는 제3 전압 VPP3에 기초를 둔 내부 전압 VPP3M을 생성 가능하게 구성되어 있는 점에 있다. 제2 차이는, 이 내부 전압 VPP3M이 컨트롤 게이트선 CG를 구동하는 레벨 시프트 회로 LS1에 로우측의 전원 전압으로서 공급되어 있는 점에 있다.

내부 전압 VPP3M은, 데이터 기입 시나 판독 시에는 0 V와 같은 접지 전위로 되는 한편, 데이터의 소거 시에는 -9 V와 같은 전위로 되어, 이것이 컨트롤 게이트선 CG를 통하여 플로팅 게이트에 결합되어 있는 용량 소자 C1, C2에 인가된다. 불휘발성 메모리 셀(255)을 구성하는 MOSFET Qw1, Qw2, Qr1, Qr2는, 도 10 및 도 11에 도시하는 레이아웃과 구조를 갖는 소자를 이용할 수 있다.

이러한 구성의 소자로 이루어지는 메모리 회로에서, 데이터를 소거하기 위해서는, 도 13에 도시한 바와 같이 n형 반도체 영역(5)을 통하여 n형 반도체 분리 영역(3)에 예를 들면 9 V를 인가하고, p형 반도체 영역(15B)을 통하여 MOSFET Qw1, Qr1(Qw2, Qr2)이 형성된 p형 웰 영역(4B)에 9 V를 인가한다. 또한, p형 반도체 영역(15A)을 통하여 용량 소자 C1(C2)이 형성된 p형 웰 영역(4A)에 역방향의 -9 V를 인가한다. 또한, 데이터 기입용의 MOSFET Qw1(Qw2) 및 데이터 판독용의 MOSFET Qr1(Qr2)의 소스 영역으로서의 n형 반도체 영역(14BW1, 14BR1)을 개방 전위로 하고, Qw1(Qw2) 및 Qr1(Qr2)의 드레인 영역으로서의 n형 반도체 영역(14BW2, 14BR2)에 9 V를 인가한다.

여기서, 용량 소자 C1, C2의 용량 전극(게이트 전극(7A))의 면적은, MOSFET Qw1, Qw2의 게이트 용량을 형성하는 용량 전극(게이트 전극(7B))의 면적보다 크기 때문에(도 10 참조), 용량 소자 C1, C2의 용량은, MOSFET Qw1, Qw2의 게이트

용량에 비하여 커진다. 그 때문에, MOSFET Qw1, Qw2의 게이트 용량에 인가되는 전압은, 용량 소자 C1, C2에 인가되는 전압보다 커진다. 이에 의해, 데이터 기입용의 MOSFET Qw1, Qw2 및 데이터 판독용의 MOSFET Qr1, Qr2의 공통 게이트 전극(7B)에 축적되어 있던 전자(e-)가 FN 터널 현상으로 p형 웰 영역(4B)에 방출된다.

이와 같이, 용량 소자 C1, C2가 형성된 p형 웰 영역(4A)에 마이너스(역방향)의 전압을 인가하고, MOSFET Qw1, Qw2, Qr1, Qr2가 형성된 p형 웰 영역(4B)에 플러스(순방향)의 전압을 인가한다. 이에 의해, 게이트 파괴를 일으키지 않는 전압(9 V 이하)에 의해 데이터 소거 동작에 필요한 전위차(18 V)를 확보하는 것이 가능하게 된다. 또한, n형 반도체 분리 영역(3)에 9 V를 인가하는 것은, p형 웰 영역(4B)에 9 V가 인가됨으로써 PN 접합이 순방향으로 바이어스되지 않도록 하기 위해서이다. 이러한 구성의 메모리 회로를 이용함으로써 복수회의 데이터의 기입이 가능하게 된다.

도 15에는, 도 1의 불휘발성 메모리 회로(250)의 유저가 설정하는 정보를 저장하기 위한 제2 영역(252)에 사용하기에 적합한 메모리 회로의 다른 예가 도시되어 있다. 이 실시예의 불휘발성 메모리 회로(250)도, FAMOS나 MNOS와 같은 불휘발성 기억 소자를 사용하지 않고, 통상의 회로 구성 소자인 P 채널 MOSFET와 N 채널 MOSFET만으로 구성되어 있다. 또한, 이 실시예의 불휘발성 메모리 회로(250)는, 기억된 데이터의 소거를 상정하지 않는 경우의 회로이다.

이 실시예에서는, 복수회의 데이터의 기입을 가능하게 하기 위해, 동일 기억 용량을 갖는 2개의 बैं크 BNK1, BNK2가 설치되어 있다. 각각의 बैं크는, 도 9에 도시되어 있는 메모리 셀(255)과 동일 구성의 메모리 셀을 갖고, बैं크 BNK1, BNK2는 리드/라이트 제어 회로(264)로부터 출력되는 각각의 बैं크 지시 신호 B0, B1에 의해 어느 한 쪽이 선택된다.

보다 구체적으로는, 리드/라이트 제어 회로(264)로부터 출력되는 기입 데이터가 탑재하는 라이트 데이터선 LD0~LD7 상의 신호와 상기 बैं크 지시 신호 B0, B1 중 어느 한 쪽의 신호를 입력으로 하는 NAND 게이트 G10~G17, G20~G27이 설치되어 있다. 또한, बैं크 지시 신호 B0과 각 제어선 PU, CG, PRGM, SL 상의 신호를 입력으로 하는 NAND 게이트 G30, G31, G32, G33과, बैं크 지시 신호 B1과 각 제어선 PU, CG, PRGM, SL 상의 신호를 입력으로 하는 NAND 게이트 G40, G41, G42, G43이 설치되어 있다.

그리고, बैं크 지시 신호 B0, B1에 의해 NAND 게이트 G10~G17과 G30~G33 또는 G20~G27과 G40~G43 중 어느 한 쪽이 유효화됨으로써 한 쪽의 बैं크가 선택된다. 이것에 의해, 외관상, 데이터의 재기입이 가능한 메모리 회로가 실현된다. 또한, 한 쪽의 बैं크에의 기입이 이루어지면, 다음 기입 때에는 자동적으로 다른 बैं크가 선택되도록 하는 구조를 칩 내부에 설치해 두도록 해도 된다. 이것에 의해, 유저의 잘못된 처리에 의한 데이터 덮어쓰기를 방지할 수 있다. 이 실시예에서는, बैं크의 수를 2개로 하였지만, 3개 이상 설치하도록 해도 된다. 이에 의해, 외관상, 2회 이상 데이터의 재기입이 가능한 메모리 회로가 실현된다.

도 16에는, 도 1의 불휘발성 메모리 회로(250)의 유저가 설정하는 정보를 저장하기 위한 제2 영역(252)에 사용하기에 적합한 메모리 회로의 또 다른 예가 도시되어 있다.

이 실시예에서는, 복수회의 데이터의 기입을 가능하게 하기 위해, 동일 기억 용량을 갖는 2개의 बैं크 BNK1, BNK2가 설치되어 있다. 각각의 बैं크는, 도 7에 도시되어 있는 메모리 셀(255)과 동일 구성의 메모리 셀을 가짐과 함께, 메모리 셀이 접속되는 컨트롤 게이트선 CG는 공통의 게이트선 CG와 각 बैं크 BNK1, BNK2용의 게이트선 CG1, CG2가 설치되어 있다. 또한, 전원 회로(254)에는 बैं크 BNK1용의 기입 전압 VPP1-1과 बैं크 BNK2용의 기입 전압 VPP1-2를 인가하는 전원 단자 P1, P2가 설치되어 있다.

그리고, 이들의 전원 단자에 인가된 전압에 기초하여 생성된 내부 기입 전압 VPP1-1M, VPP1-2M이, 각 बैं크용의 게이트선 CG1, CG2를 구동하는 레벨 시프트 회로 LS1-1, LS1-2에 각각 공급되도록 구성되어 있다. 이것에 의해, 전원 단자 P1에 기입 전압 VPP1-1이 인가되면 बैं크 BNK1에 대한 데이터의 기입이 가능하게 되고, 전원 단자 P2에 기입 전압 VPP1-2가 인가되면 बैं크 BNK2에 대한 데이터의 기입이 가능하게 된다.

기입 전압을 인가하는 단자를 바꿈으로써 기입을 행하는 बैं크를 전환할 수 있고, 이에 의해, 외관상, 데이터의 재기입이 가능한 메모리 회로가 실현된다. 기입 전압 VPP2도 बैं크마다 따로따로 공급하도록 구성해도 된다. 또한, बैं크의 수 및 기입 전압을 인가하는 단자의 수를 3개 이상으로 해도 된다.

도 17에는, 본 실시예의 액정 컨트롤러 드라이버 IC를 구성하는 각 회로 블록의 반도체 칩 상에서의 레이아웃의 일례가 도시되어 있다. 도 17에서는, 도 1에 도시되어 있는 회로와 동일한 회로에는 동일한 부호가 부가되어 있다. 부호 G0~Gi, Gi+1~Gn은 게이트 드라이버 회로(220)에 의해 생성된 게이트 구동 신호를 출력하는 단자(출력 패드), S0~Sm은 소스 드라이버 회로(210)에 의해 생성된 소스선 구동 신호를 출력하는 단자(출력 패드)이다.

또한, VPP1~VPP3, GND는 외부로부터 공급되는 ROM 기입용의 전원 전압이 인가되는 전원 단자(전원 패드), DB0~DB17은 버스를 통하여 CPU로부터 공급되는 신호가 입력되는 단자(입력 패드)이다. 특별히 제한받는 것은 아니지만, 액정 패널에는 좌우로 게이트 구동 신호의 입력 단자를 갖는 것이 있으므로, 그것에 따라, 게이트 구동 신호를 출력하는 단자(출력 패드)는 2개의 그룹 G0~Gi와 Gi+1~Gn으로 나누어지고, 소스선 구동 신호를 출력하는 단자(출력 패드) S0~Sm을 삽입하도록 하여 양측에 설치되어 있다.

도 17로부터 알 수 있듯이, 본 실시예의 액정 컨트롤러 드라이버 IC에서는, 반도체 칩의 길이 방향의 1변을 따라 출력 패드 G0~Gi와 Gi+1~Gn, S0~Sm이 배치되고, 반대측의 변을 따라 입력 패드 DB0~DB17이 배치되어 있다. 그리고, 출력 패드 G0~Gi와 Gi+1~Gn, S0~Sm에 대응하여 칩의 한 쪽의 변에는, 게이트 드라이버 회로(220A)와 소스 드라이버 회로(210)와 게이트 드라이버 회로(220B)가 배치되어 있다. 또한, 칩의 거의 중앙에, 제어부(260)를 구성하는 타이밍 컨트롤 회로(280) 등의 회로가 배치되고, 그 양측에 표시 데이터 기억용의 RAM(290A, 290B)이 배치되어 있다.

또한, 전원 패드 VPP1~VPP3의 근방에 ROM 회로(250)가, 또한 입력 패드 DB0~DB17의 근방에 LCD용의 전원을 생성하는 전원 회로(240)가 배치되어 있다. 이와 같이, ROM 기입용의 전원 전압이 인가되는 전원 패드 VPP1~VPP3의 근방에 ROM 회로(250)가 배치되어 있기 때문에, 패드로부터 회로까지의 전원 라인이 짧아져 전력 손실이 적게 된다. 이와 함께, 비교적 높은 ROM 기입용의 전원 전압이 인가되는 전원 패드 VPP1~VPP3이 칩의 코너에 설치되어 있기 때문에, 다른 패드와의 사이의 정전 내압을 높일 수 있다. 이 실시예에서는, 정전 내압을 더욱 높이기 위해, 전원 패드 VPP1~VPP3의 각 패드의 간격보다도 그라운드 패드 GND 간격을 넓게 하고 있다.

도 18에는, 본 실시예의 액정 컨트롤러 드라이버 IC를 구성하는 각 회로 블록의 반도체 칩 상에서의 레이아웃의 다른 예가 도시되어 있다. 도 18에서, 도 17에 도시되어 있는 회로나 단자와 동일한 회로, 단자에는 동일한 부호를 붙이고 중복된 설명은 생략한다. 도 18의 실시예에서는, 칩의 거의 중앙에 배치된 제어부(260)의 이웃에 ROM 회로(250)가 배치되어 있다.

액정 컨트롤러 드라이버 IC에서는, 기입 데이터나 판독 데이터를 전송하기 위해 제어부(260)와 ROM 회로(250)를 연결하는 배선의 수가 비교적 많아지기 때문에, 제어부(260)와 ROM 회로(250)를 분리하여 두면 배선의 점유 면적이 커져 칩 사이즈의 증대를 초래한다. 그런데, 본 실시예와 같은 레이아웃을 채용하면, 배선의 점유 면적을 삭감하여 칩 사이즈를 저감할 수 있다고 하는 이점이 있다. 본 실시예는, ROM 회로(250)의 기억 용량이 큰 경우에 적용하면 유효하다.

이상 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다. 예를 들면, 상기 실시예에서는, 전하의 리크에 의한 기억 데이터의 신뢰성 저하를 방지하기 위해 메모리 셀에 전하 주입용 MOSFET와 판독용 MOSFET를 2개씩 설치하고 있지만, 각각 1개의 MOSFET로 이루어지는 메모리 셀이어도 된다.

또한, 상기 실시예에서는, 유저가 설정하는 정보를 저장하기 위한 제2 영역(252)만이 재기입 가능하게 구성되어 있는 경우를 설명하였지만, 메이커가 설정하는 정보를 저장하기 위한 제1 영역(251)의 메모리 회로의 뱅크의 수를 2개로 하고, 외관상 한번만 이 영역의 데이터를 재기입할 수 있도록 구성해도 된다.

<산업 상의 이용 가능성>

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경으로 된 이용 분야인 3 단자의 스위치 소자인 박막 트랜지스터에 의해 화소 전극에 전하를 주입하는 TFT 액정 패널을 구동하는 액정 컨트롤러 드라이버에 대하여 설명하였다. 본 발명은 그것에 한정되는 것은 아니고, 예를 들면, 2 단자의 스위치 소자에 의해 화소 전극에 전하를 주입하는 MIM 액정 패널을 구동하는 액정 컨트롤러 드라이버 등에 적용할 수 있다.

발명의 효과

본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 하기와 같다.

즉, 본 발명에 따르면, 사용하는 액정 표시 장치의 사양에 따른 구동 조건 등의 설정을 용이하게 행할 수 있는 사용성이 좋은 액정 구동 제어용 반도체 집적 회로를 실현할 수 있다.

또한, 본 발명에 따르면, 제조 변동으로 특성이 원하는 값으로부터 어긋났다고 해도, 외장 소자를 이용하지 않고 조정할 수 있고, 외장 부품 점수를 삭감하여 칩 사이즈도 작게 할 수 있는 액정 구동 제어용 반도체 집적 회로를 실현할 수 있다고 하는 효과가 있다.

도면의 간단한 설명

도 1은 불휘발성 메모리 회로를 내장한 액정 컨트롤 드라이버 IC와 이 드라이버에 의해 구동되는 TFT 액정 패널로 이루어지는 액정 표시 시스템의 구성을 도시하는 블록도.

도 2는 본 발명을 적용한 액정 컨트롤 드라이버에서의 발진 회로의 실시예를 도시하는 블록도.

도 3은 외장 소자를 사용하여 주파수 조정 가능하게 한 발진 회로의 예를 도시하는 회로도.

도 4는 타이밍 컨트롤 회로의 일례를 도시하는 회로도.

도 5는 LCD용 전원 회로의 일례를 도시하는 회로도.

도 6은 외장 소자를 사용하여 전압 조정 가능하게 한 LCD용 전원 회로의 예를 도시하는 회로도.

도 7은 도 1의 실시예의 액정 컨트롤 드라이버 IC 내의 불휘발성 메모리 회로(ROM)의 기입 시의 동작 타이밍을 도시하는 타이밍차트.

도 8은 불휘발성 메모리 회로(ROM)의 판독 시의 동작 타이밍을 도시하는 타이밍차트.

도 9는 불휘발성 메모리 회로에서의 메이커 정보 저장 영역에 적합한 메모리 회로의 구체적인 구성예를 도시하는 회로도.

도 10은 불휘발성 메모리 회로를 구성하는 메모리 셀의 레이아웃의 예를 도시하는 평면도.

도 11은 불휘발성 메모리 회로를 구성하는 메모리 셀의 구조와 기입 시의 인가 전압을 도시하는 단면도.

도 12는 불휘발성 메모리 회로를 구성하는 메모리 셀의 구조와 판독 시의 인가 전압을 도시하는 단면도.

도 13은 불휘발성 메모리 회로를 구성하는 메모리 셀의 구조와 소거 시의 인가 전압을 도시하는 단면도.

도 14는 불휘발성 메모리 회로에서의 사용자 정보 저장 영역에 적합한 메모리 회로의 실시예를 도시하는 회로도.

도 15는 사용자 정보 저장 영역에 적합한 메모리 회로의 다른 실시예를 도시하는 회로도.

도 16은 사용자 정보 저장 영역에 적합한 메모리 회로의 또 다른 실시예를 도시하는 회로도.

도 17은 본 실시예의 액정 컨트롤 드라이버 IC를 구성하는 각 회로 블록의 반도체 칩 상에서의 레이아웃의 일례를 도시하는 평면도.

도 18은 본 실시예의 액정 컨트롤 드라이버 IC를 구성하는 각 회로 블록의 반도체 칩 상에서의 레이아웃의 다른 예를 도시하는 평면도.

<도면의 주요 부분에 대한 부호의 설명>

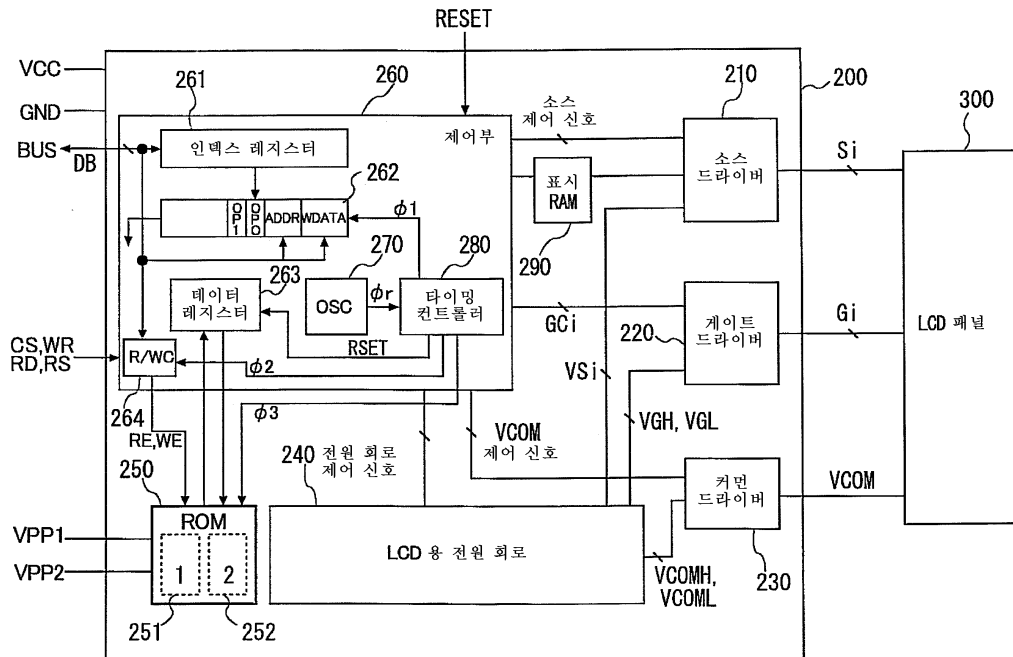
200 : 액정 컨트롤 드라이버 IC

210 : 소스 드라이버

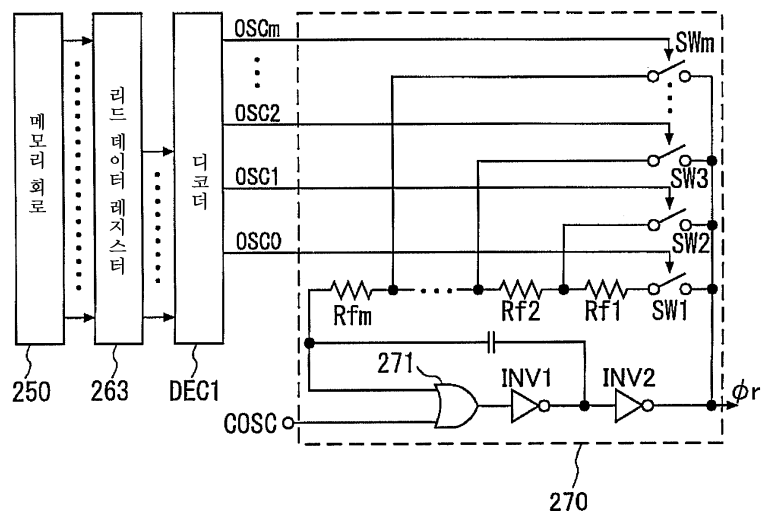
- 220 : 게이트 드라이버
- 230 : 커먼 드라이버
- 240 : LCD용 전원 회로
- 250 : 불휘발성 메모리 회로
- 251 : 제1 영역(메이커 사용 영역)
- 252 : 제2 영역(유저 사용 영역)
- 254 : 전원 제어 회로
- 255 : 불휘발성 메모리 셀
- 256 : 판독/기입 회로
- 260 : 제어부
- 261 : 인덱스 레지스터
- 262 : 컨트롤 레지스터
- 263 : 데이터 레지스터
- 264 : 리드/라이트 제어 회로
- 270 : 발진 회로
- 280 : 타이밍 컨트롤 회로
- 290 : 표시용 RAM
- 300 : TFT 액정 패널

도면

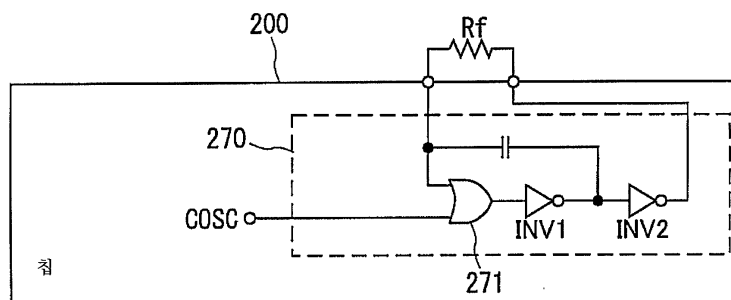
도면1



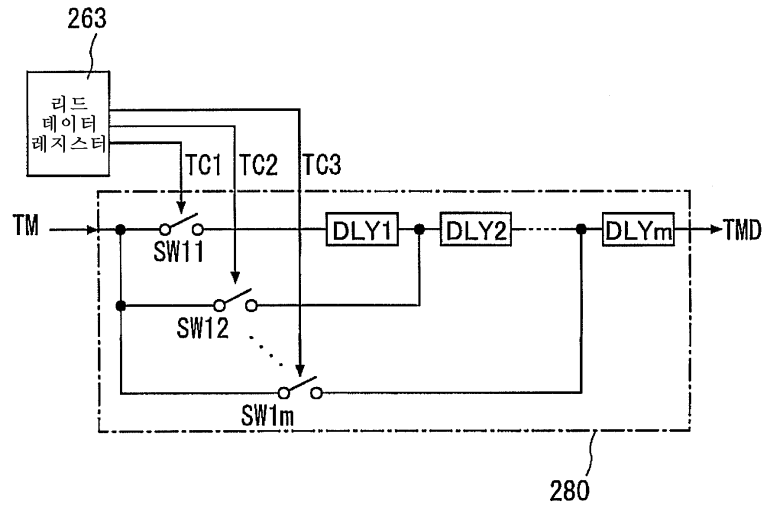
도면2



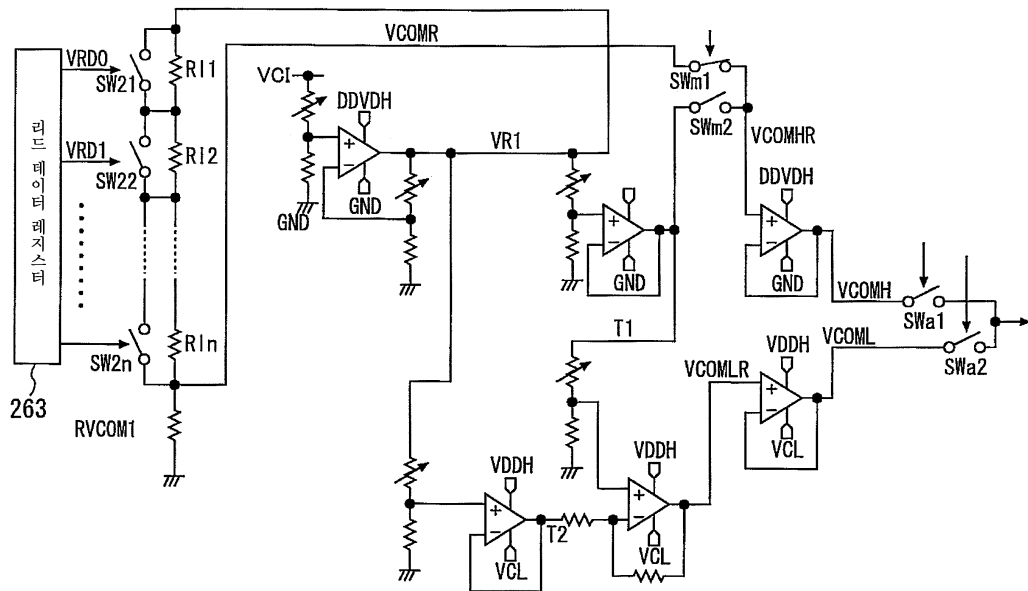
도면3



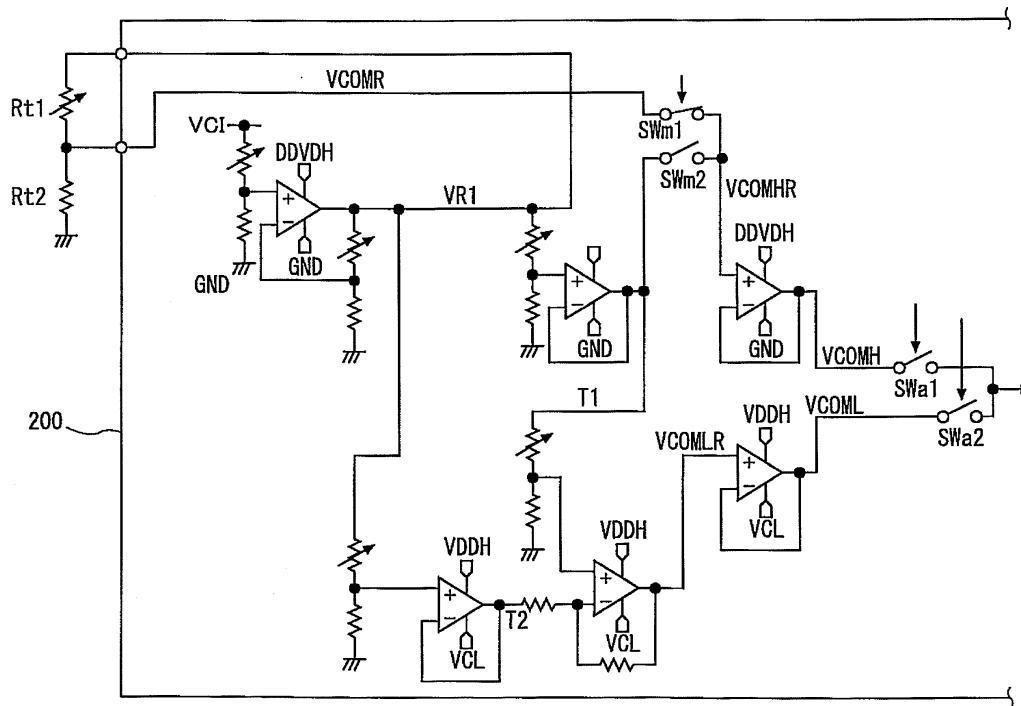
도면4



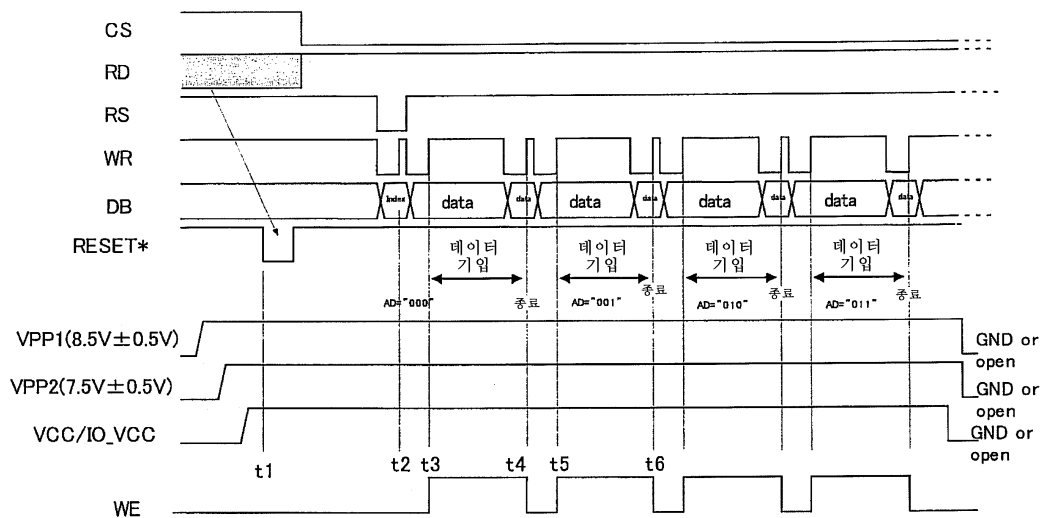
도면5



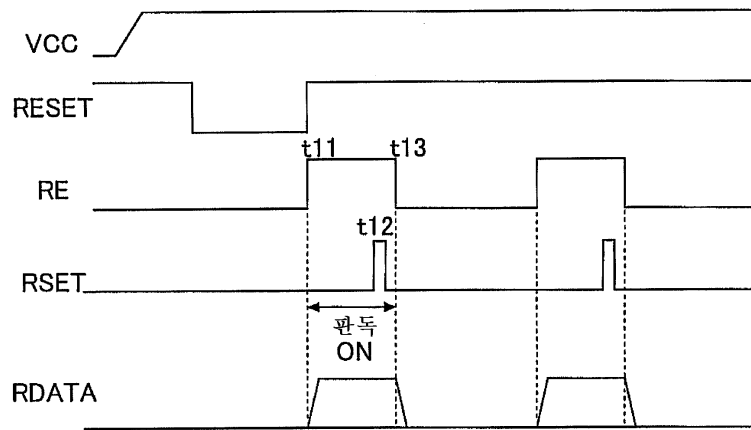
도면6



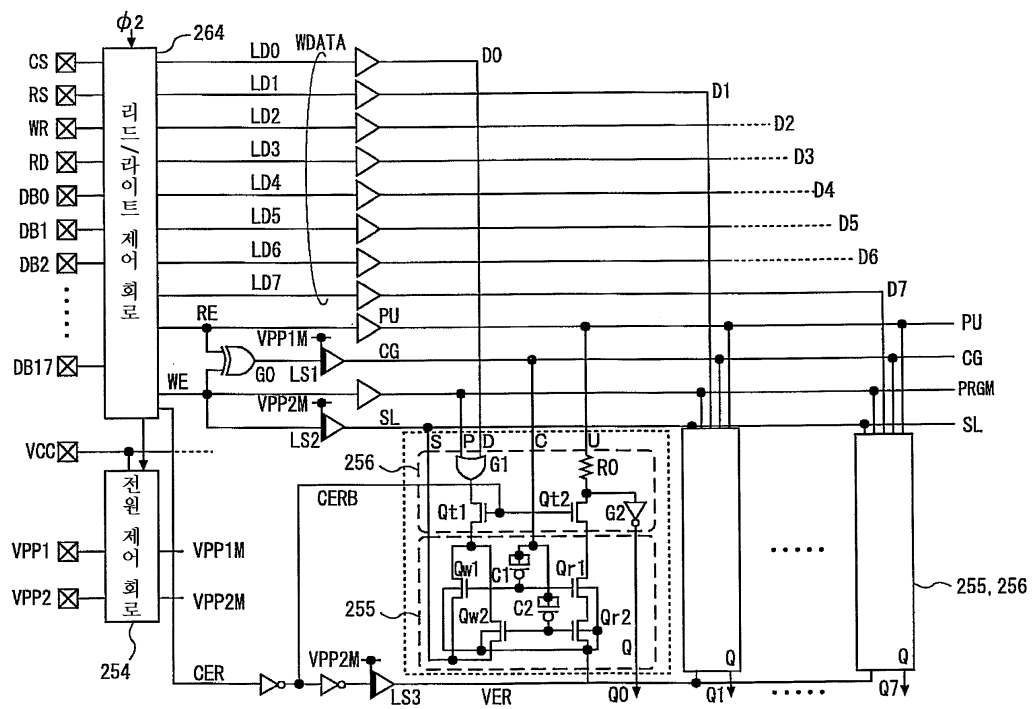
도면7



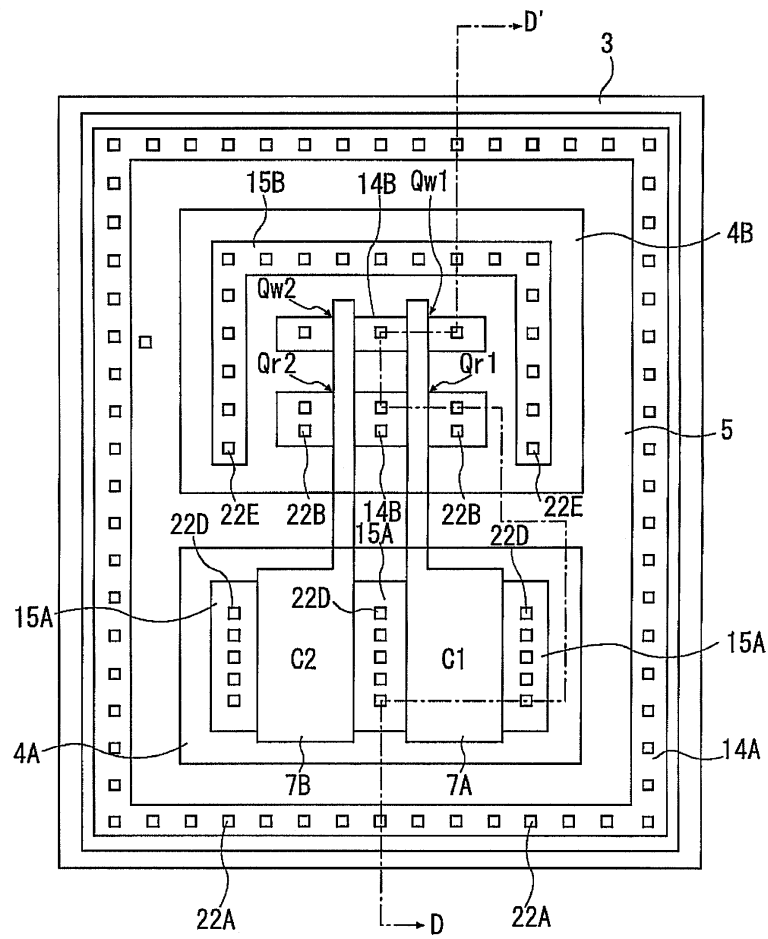
도면8



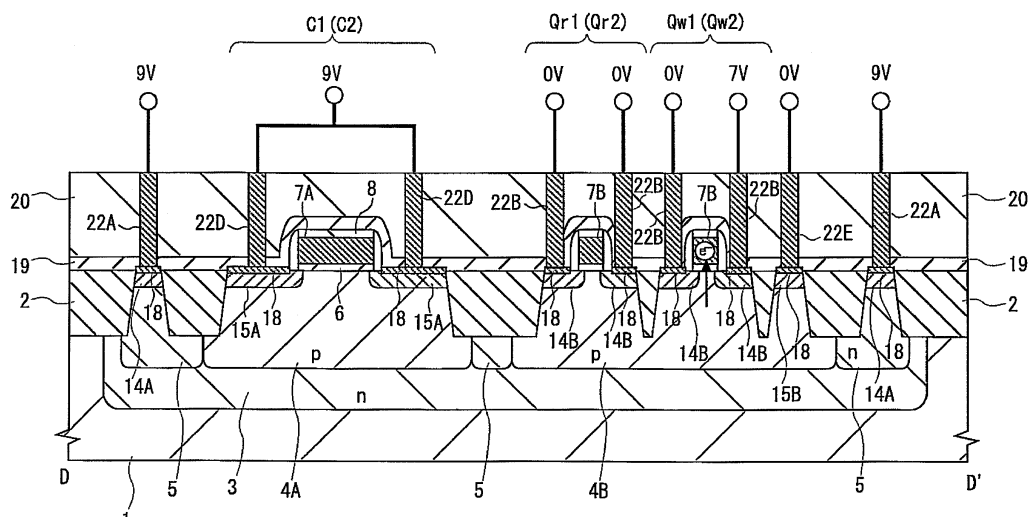
도면9



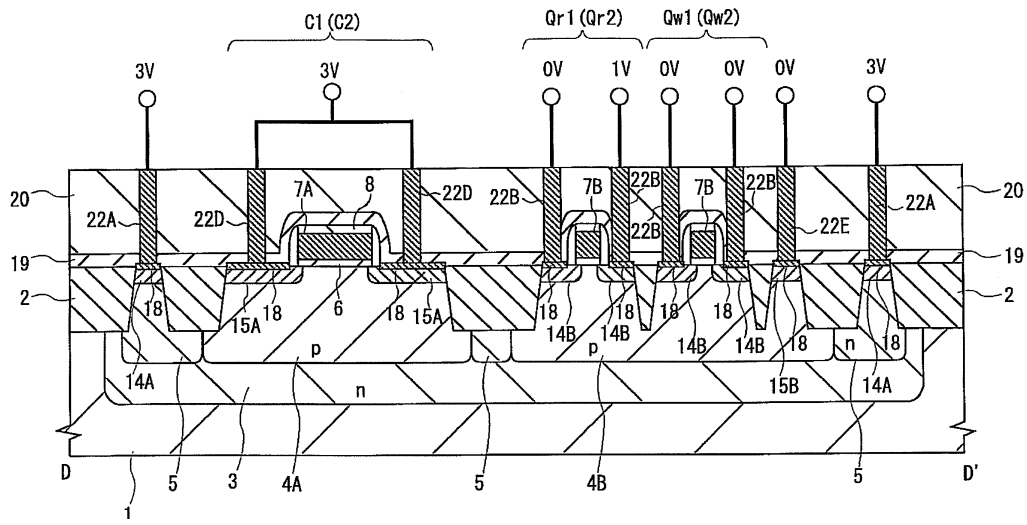
도면10



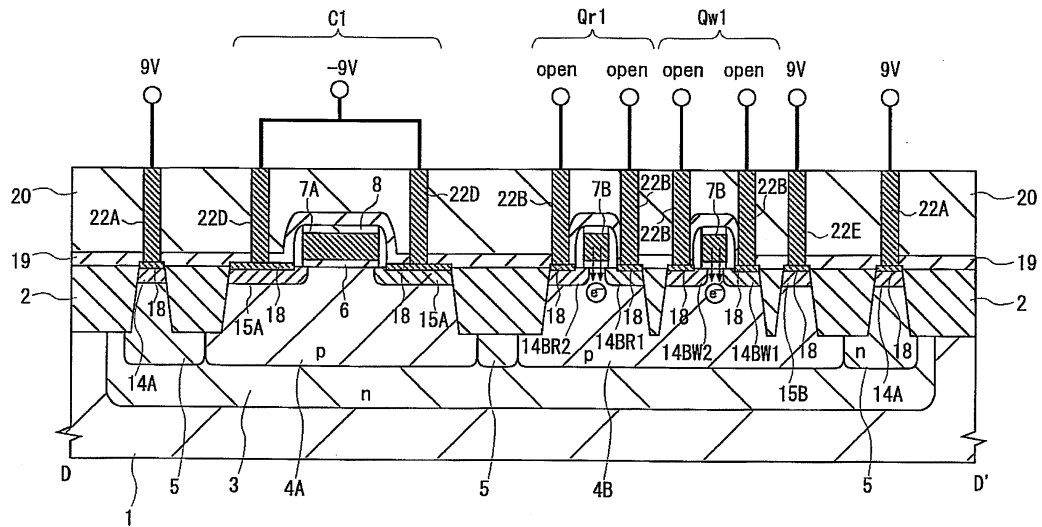
도면11



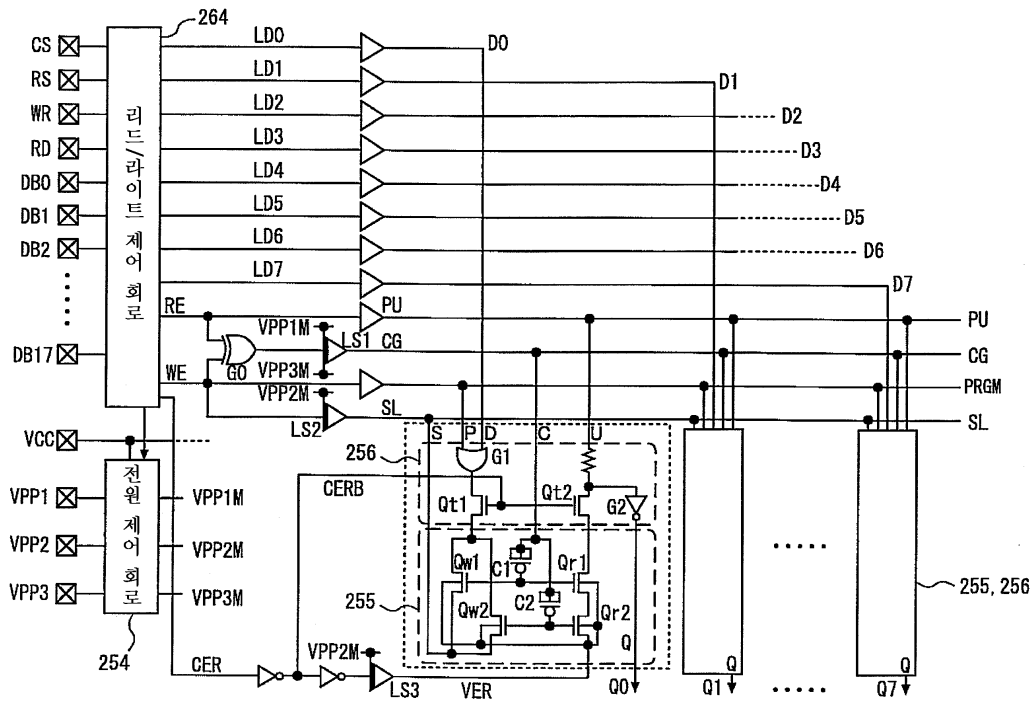
도면12



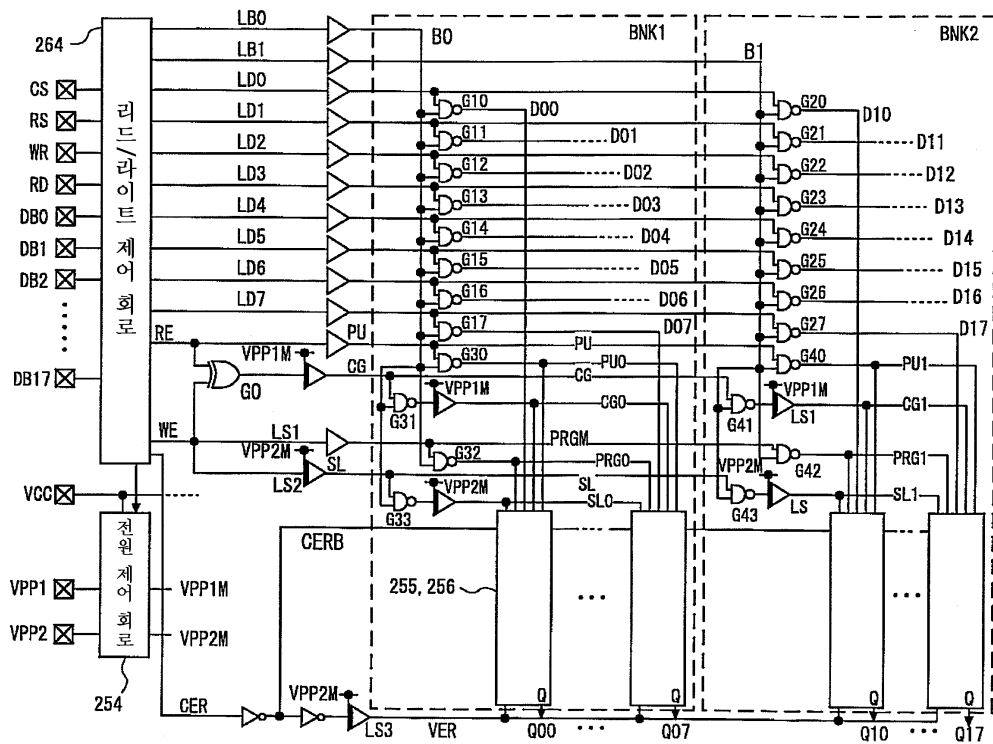
도면13



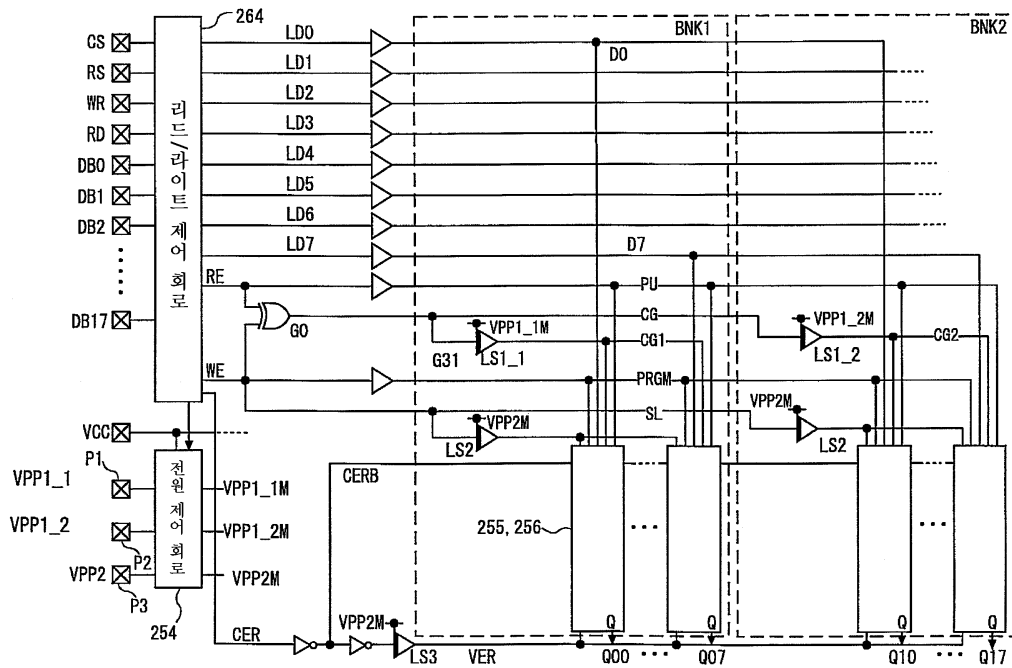
도면14



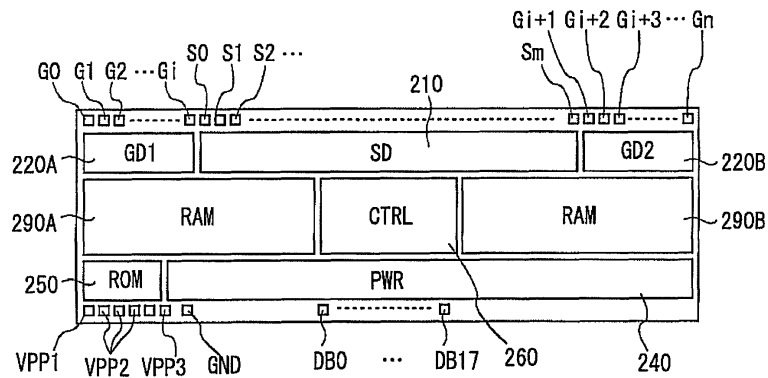
도면15



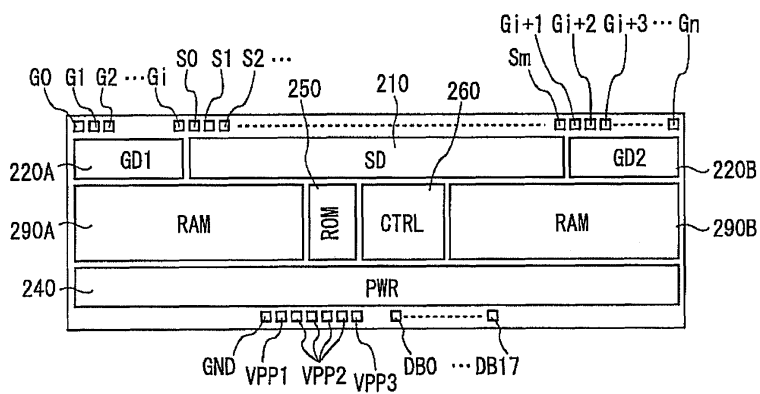
도면16



도면17



도면18



专利名称(译)	用于液晶显示器驱动的半导体集成电路		
公开(公告)号	KR1020060125494A	公开(公告)日	2006-12-06
申请号	KR1020060048202	申请日	2006-05-29
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子株式会社		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	KAWASE YASUSHI 가와세야스시 ISHIDA SUSUMU 이시다스스무 AKIBA TAKESADA 아끼바다께사다 NAGATA YASUSHI 나가따야스시 MIYAMOTO NAOKI 미야모토나오끼 SHIBA KAZUYOSHI 시바가즈요시		
发明人	가와세야스시 이시다스스무 아끼바다께사다 나가따야스시 미야모토나오끼 시바가즈요시		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G5/005 H01L29/7885 H01L29/42328 H01L27/11521 H01L27/0207 G09G3/3655 G09G2310/08 H01L29/42324 H01L27/11558		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2005157390 2005-05-30 JP		
外部链接	Espacenet		

摘要(译)

用于液晶显示器驱动的半导体IC (集成电路) (液晶控制驱动器IC) 可以容易地执行包括根据用于使用的液晶显示器的规格等的驱动条件的建立。在用于液晶显示器驱动的半导体IC (集成电路) (200) 中, 指示和驱动液晶显示器 (300) 的半导体成为集成电路, 电子可见的非易失性存储电路 (EEPROM) 记录在建立非易失性存储电路 (EPROM) 或电可写数据的数据, 并将建立信息存储在存储电路 (250) 中。同时, 它包括可能的正常次要, 即存储器电路形成另一电路的过程与形成器件的半导体制造过程相同。液晶显示器, 存储器电路, 数据, 非易失性存储器电路。

