

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/133(11) 공개번호 10-2005-0039183
(43) 공개일자 2005년04월29일(21) 출원번호 10-2003-0074608
(22) 출원일자 2003년10월24일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 권순영
경상북도구미시비산동489-1(1/4)전원리빙필101동807호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치의 구동장치

요약

본 발명은 게이트 집적회로의 수를 절감할 수 있도록 한 액정표시장치의 구동장치에 관한 것이다.

본 발명의 액정표시장치의 구동장치는 데이터라인들을 구동시키기 위한 데이터 드라이버와, 게이트라인들을 구동시키기 위한 적어도 하나 이상의 게이트 집적회로와, 게이트 집적회로 각각의 채널출력라인과 1(1은 홀수 또는 짝수)번째 게이트라인의 사이마다 형성되는 스위칭소자들을 구비하며, 하나의 채널출력라인은 서로 인접된 두개의 게이트라인과 접속된다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치의 구동장치를 나타내는 도면.

도 2는 도 1에 도시된 게이트 드라이버에 포함되는 게이트 집적회로를 개략적으로 나타내는 도면.

도 3은 도 2에 도시된 게이트 집적회로의 구동과정을 나타내는 타이밍도.

도 4는 본 발명의 실시예에 의한 액정표시장치의 구동장치를 나타내는 도면.

도 5는 도 4에 도시된 게이트 드라이버에서 채널출력라인으로 공급되는 스캔신호를 나타내는 도면.

도 6은 도 4에 도시된 게이트 드라이버에 포함되는 게이트 집적회로를 개략적으로 나타내는 도면.

도 7은 도 6에 도시된 게이트 집적회로의 구동과정을 나타내는 타이밍도.

< 도면의 주요 부분에 대한 부호의 설명 >

2,32 : 액정패널 4,34 : 데이터 드라이버

6,36 : 게이트 드라이버 8,38 : 감마전압 공급부

10,40 : 타이밍 콘트롤러 12,52 : 게이트 집적회로

14,54 : 쉬프트 레지스터 블록 16,17,56,57 : 쉬프트 레지스터

18,58 : 레벨 쉬프트 20,60 : 출력버퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동장치에 관한 것으로 특히, 게이트 집적회로의 수를 절감할 수 있도록 한 액정표시장치의 구동장치에 관한 것이다.

액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 이러한 액정표시장치는 셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입으로 구현되어 컴퓨터용 모니터, 사무기기, 셀룰라폰 등의 표시장치에 적용되고 있다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 이용되고 있다.

도 1은 종래의 액정표시장치의 구동장치를 개략적으로 나타낸 것이다.

도 1을 참조하면, 종래의 액정표시장치의 구동장치는 $m \times n$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차되며 그 교차부에 TFT가 형성된 액정패널(2)과, 액정패널(2)의 데이터라인들(D1 내지 Dm)에 데이터신호를 공급하기 위한 데이터 드라이버(4)와, 게이트라인들(G1 내지 Gn)에 스캔신호를 공급하기 위한 게이트 드라이버(6)와, 데이터 드라이버(4)에 감마전압을 공급하기 위한 감마전압 공급부(8)와, 게이트 드라이버(6)와 데이터 드라이버(4)를 제어하기 위한 타이밍 콘트롤러(10)를 구비한다.

액정패널(2)은 데이터라인들(D1 내지 Dm) 및 게이트라인들(G1 내지 Gn)의 교차부에 매트릭스 형태로 배치되는 다수의 액정셀(Clc)을 구비한다. 액정셀(Clc)에 각각 형성된 TFT는 게이트라인(G)으로부터 공급되는 스캔신호에 응답하여 데이터라인들(D1 내지 Dm)로부터 공급되는 데이터신호를 액정셀(Clc)로 공급한다. 또한, 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

감마전압 공급부(8)는 아날로그 형태의 데이터신호가 생성될 수 있도록 다수의 감마전압을 데이터 드라이버(4)로 공급한다.

타이밍 콘트롤러(10)는 도시되지 않은 시스템으로부터 공급되는 동기신호들을 이용하여 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 생성한다. 여기서, 게이트 제어신호(GCS)에는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC) 및 게이트 출력 신호(Gate Output Enable : GOE) 등이 포함된다. 그리고, 데이터 제어신호(DCS)에는 소스 스타트 펄스(Source Start Pulse : SSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOE) 및 극성신호(Polarity : POL) 등이 포함된다. 아울러, 타이밍 콘트롤러(10)는 자신에게 입력되는 데이터(R,G,B)를 재정렬하여 데이터 드라이버(4)로 공급한다.

데이터 드라이버(4)는 타이밍 콘트롤러(10)로부터 공급되는 데이터 제어신호(DCS)에 응답하여 수평기간마다 1라인분씩의 화소 신호를 데이터라인들(D1 내지 Dm)로 공급한다. 특히, 데이터 드라이버(4)는 타이밍 콘트롤러(10)로부터 입력되는 디지털 데이터(R,G,B)를 감마전압 공급부(8)로부터의 감마전압을 이용하여 아날로그 화소신호로 변환하여 공급한다.

구체적으로, 데이터 드라이버(4)는 소스 스타트 펄스(GSP)를 소스 쉬프트 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 발생한다. 이어서, 데이터 드라이버(4)는 샘플링 신호에 응답하여 데이터(R,G,B)를 일정 단위씩 순차적으로 입력하여 래치한다. 그리고, 데이터 드라이버(4)는 래치된 1라인분의 데이터(R,G,B)를 아날로그 신호인 데이터신호로 변환하여 소스 출력 신호(SOE)의 인에이블 기간에 데이터 라인들(D1 내지 Dm)에 공급한다. 여기서, 데이터 드라이버(4)는 극성신호(POL)에 응답하여 정극성 또는 부극성으로 데이터신호를 변환한다.

게이트 드라이버(6)는 타이밍 콘트롤러(10)로부터의 게이트 제어신호(GCS)에 응답하여 게이트라인들(G1 내지 Gn)에 순차적으로 스캔신호(게이트 하이전압)를 공급한다. 이에 따라, 게이트 라인(G1 내지 Gn)에 접속된 박막 트랜지스터(TFT)가 순차적으로 구동된다. 이때, 구동되지 않은 게이트라인들(G)에는 게이트 로우전압(예를 들면, 그라운드(GND) 전압)이 공급된다.

이를 위해, 게이트 드라이버(6)는 도 2와 같이 (개략적으로)구성된 다수의 게이트 집적회로(12)를 구비한다. 도 2를 참조하면, 게이트 집적회로(12)는 쉬프트 레지스터 블록(14), 레벨 쉬프트(18) 및 출력버퍼(20)를 구비한다.

쉬프트 레지스터 블록(14)은 k (k 는 자연수)개의 쉬프트 레지스터(16,17)들로 구성된다.(즉, 게이트 집적회로(12)는 k 개의 채널을 구비한다) 이와 같은 쉬프트 레지스터 블록(14)은 순차적으로 쉬프트 펄스를 발생한다. 레벨 쉬프트(18)는 자신에게 공급된 쉬프트 펄스를 이용하여 스캔신호를 생성한다. 출력버퍼(20)는 레벨 쉬프트(18)로부터 공급된 스캔신호를 해당 게이트라인(G)으로 공급한다.

이와 같은 게이트 집적회로(12)의 동작과정을 도 3을 참조하여 상세히 설명하기로 한다. 먼저, 쉬프트 레지스터 블록(14)은 타이밍 콘트롤러(10)로부터 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 클럭(GSC)을 공급받는다. 여기서, 게이트 쉬프트 클럭(GSC)은 1수평주기(1H)의 주기를 갖는다. 그리고, 게이트 스타트 펄스(GSP)는 1수평주기(1H)동안 하이상태를 유지한다. 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 클럭(GSC)을 공급받은 쉬프트 레지스터 블록(14)은 게이트 쉬프트

클럭(GSC)의 1주기마다 게이트 스타트 펄스(GSP)를 첫번째 쉬프트 레지스터(16)로부터 k번째 쉬프트 레지스터(17)로 이동시키게 된다. 여기서, 게이트 스타트 펄스(GSP)가 인접된 쉬프트 레지스터로 이동될 때마다(즉, 1수평주기(1H)마다) 해당 쉬프트 레지스터로부터 쉬프트 펄스가 발생되어 레벨 쉬프터(18)로 공급된다.

레벨 쉬프터(18)는 타이밍 콘트롤러(10)로부터 게이트 출력 신호(GOE)를 공급받는다. 실제로, 게이트 출력 신호(GOE)는 제 1출력신호(OE1), 제 2출력신호(OE2) 및 제 3출력신호(OE3)의 입력으로 이용된다. 여기서, 제 1출력신호(OE1)는 $i(i$ 는 1, 4, 7, 10, ...)번째 게이트라인(G_i)의 출력을 제어한다. 다시 말하여, 제 1출력신호(OE1)가 하이상태를 유지할 때 i 번째 게이트라인(G_i)으로는 스캔신호가 공급되지 못한다.(제 1출력신호(OE1)가 하이상태를 유지할 때 i 번째 게이트라인(G_i)으로는 게이트 로우전압만이 공급된다)

제 2출력신호(OE2)는 $i+1$ 번째 게이트라인(G_{i+1})의 출력을 제어한다. 다시 말하여, 제 2출력신호(OE2)가 하이상태를 유지할 때 $i+1$ 번째 게이트라인(G_{i+1})으로는 스캔신호가 공급되지 못한다.(제 2출력신호(OE2)가 하이상태를 유지할 때 $i+1$ 번째 게이트라인(G_{i+1})으로는 게이트 로우전압만이 공급된다) 마찬가지로, 제 3출력신호(OE3)는 $i+2$ 번째 게이트라인(G_{i+2})의 출력을 제어한다. 다시 말하여, 제 3출력신호(OE3)가 하이상태를 유지할 때 $i+2$ 번째 게이트라인(G_{i+2})으로는 스캔신호가 공급되지 못한다.(제 3출력신호(OE3)가 하이상태를 유지할 때 $i+2$ 번째 게이트라인(G_{i+2})으로는 게이트 로우전압만이 공급된다) 한편, 종래에는 제 1 내지 제 3출력신호(OE1, OE2, OE3)로 게이트 출력 신호(GOE)를 이용한다.(실제로, 제 1 내지 제 3출력신호(OE1, OE2, OE3) 각각은 채널마다 설치되어 있는 논리곱 게이트(AND GATE)로 입력된다. 여기서, 논리곱 게이트의 다른측 입력으로는 쉬프트펄스가 공급된다)

1수평주기(1H)마다 쉬프트 펄스를 공급받는 레벨 쉬프터(18)는 게이트 출력 신호(GOE)의 로우구간에 쉬프터 펄스에 대응하는 스캔신호를 생성하여 출력버퍼(20)로 공급한다. 출력버퍼(20)는 자신에게 공급되는 스캔신호를 순차적으로 게이트라인들(G)로 공급함으로써 게이트라인들(G)이 순차적으로 구동되게 한다.

즉, 종래에는 상술한 바와 같이 게이트 드라이버(6) 및 데이터 드라이버(4)에서 공급되는 데이터신호 및 스캔신호에 대응하여 소정의 화상이 액정패널(2)에 표시되게 된다.

하지만, 이와 같은 종래의 게이트 집적회로는 k개의 게이트라인을 구동하기 위하여 k개의 채널을 필요로한다. 예를 들어, 800개의 게이트라인을 구동하기 위해서는 410개의 채널을 가지는 2개의 게이트 집적회로가 설치되어야 한다. 이와 같이, 게이트 집적회로의 각각의 채널이 하나의 게이트라인을 구동하게 되면 게이트라인의 수에 대응하여 다수의 게이트 집적회로가 설치되어야 하므로 제조비용이 상승되는 문제점이 발생된다. 특히, 액정패널이 대형화 및 고해상도로 갈수록 이와 같은 문제점은 더욱 심각해진다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 게이트 집적회로의 수를 절감할 수 있도록 한 액정표시장치의 구동장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 액정표시장치의 구동장치는 데이터라인들을 구동시키기 위한 데이터 드라이버와, 게이트라인들을 구동시키기 위한 적어도 하나 이상의 게이트 집적회로와, 게이트 집적회로 각각의 채널출력라인과 1(i 는 홀수 또는 짝수)번째 게이트라인의 사이마다 형성되는 스위칭소자들을 구비하며, 하나의 채널출력라인은 서로 인접된 두개의 게이트라인과 접속된다.

상기 게이트 집적회로는 각각의 채널출력라인으로 적어도 둘 이상의 스캔신호를 공급한다.

상기 게이트 집적회로는 각각의 채널출력라인으로 제 1스캔신호, 제 2스캔신호 및 제 3스캔신호를 공급한다.

$j(j$ 는 자연수)번째 채널출력라인으로 공급되는 제 1스캔신호는 $j-1$ 번째 채널출력라인으로 공급되는 제 2스캔신호와 동기되도록 공급되고, 제 2스캔신호는 $j+1$ 번째 채널출력라인으로 공급되는 제 1스캔신호와 동기되도록 공급됨과 아울러 제 3스캔신호는 다른 채널출력라인으로 공급되는 제 1 내지 제 3스캔신호와 동기되지 않도록 공급된다.

상기 j 번째 채널출력라인으로 공급되는 제 1스캔신호는 $j-1$ 번째 채널출력라인에 접속된 스위칭소자를 턴-온시키는데 이용되고, j 번째 채널출력라인으로 공급되는 제 2스캔신호는 j 번째 채널출력라인과 접속된 두개의 게이트라인중 첫번째 게이트라인의 스캔신호로 이용됨과 아울러 제 3스캔신호는 j 번째 채널출력라인과 접속된 두개의 게이트라인중 두번째 게이트라인의 스캔신호로 이용된다.

상기 게이트 집적회로는 4수평주기(4H)동안 하이상태를 유지하는 게이트 스타트펄스를 2수평주기(2H)의 주기를 가지는 게이트 쉬프트 클럭을 이용하여 쉬프트시키면서 쉬프트펄스를 발생시키는 쉬프트 레지스터 블록과; 쉬프트펄스를 공급받음과 아울러 게이트출력신호, 제 1출력신호, 제 2출력신호 및 제 3출력신호의 제어에 의하여 각각의 채널출력라인으로 공급될 제 1스캔신호, 제 2스캔신호 및 제 3스캔신호를 생성하기 위한 레벨 쉬프터와; 제 1스캔신호, 제 2스캔신호 및 제 3스캔신호를 각각의 채널출력라인으로 공급하기 위한 출력버퍼를 구비한다.

상기 레벨 쉬프터는 제 1출력신호가 하이 상태일 때 $i(i$ 는 1, 4, 7, 10, ...)번째 채널출력라인으로 로우신호가 공급되도록 제어하며 제 2출력신호가 하이 상태일 때 $i+1$ 번째 채널출력라인으로 로우신호가 공급되도록 제어함과 아울러 제 3출력신호가 하이 상태일 때 $i+2$ 번째 채널출력라인으로 로우신호가 공급되도록 제어하고, 게이트출력신호가 하이 상태일 때 모든 채널출력라인으로 로우신호가 공급되도록 제어한다.

상기 제 1출력신호는 1수평주기(1H)동안 하이상태를 유지함과 아울러 6수평주기(6H)의 주기를 갖고, 게이트 출력 신호는 1수평주기(1H)의 일부분의 시간동안 하이상태를 유지함과 아울러 1수평주기(1H)의 주기를 갖는다.

상기 제 2출력신호는 제 1출력신호를 2수평주기 지연하여 생성되고, 제 3출력신호는 제 1출력신호를 4수평주기 지연하여 생성된다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 4 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4는 본 발명의 실시예에 의한 액정표시장치의 구동장치를 나타내는 도면이다.

도 4를 참조하면, 본 발명의 실시예에 의한 액정표시장치의 구동장치는 액정패널(32), 데이터 드라이버(34), 게이트 드라이버(36), 감마전압 공급부(38) 및 타이밍 콘트롤러(40)를 구비한다.

액정패널(32)은 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)의 교차부마다 형성되는 $m \times n$ 개의 액정셀들(Clc)을 구비한다. 그리고, 액정셀들(Clc) 각각은 TFT1을 구비한다. TFT1은 게이트라인(G)으로 공급되는 스캔신호에 응답하여 데이터라인들(D1 내지 Dm)로부터 공급되는 화소신호를 액정셀(Clc)로 공급한다.

감마전압 공급부(38)는 다수의 감마전압을 데이터 드라이버(34)로 공급한다. 데이터 드라이버(34)는 타이밍 콘트롤러(40)로부터 공급되는 데이터 제어신호(DCS)에 응답하여 수평기간마다 1라인분씩의 화소 신호를 데이터라인들(D1 내지 Dm)로 공급한다. 이때, 데이터 드라이버(34)는 타이밍 콘트롤러(40)로부터 공급되는 데이터를 감마전압 공급부(38)로부터 공급되는 감마전압을 이용하여 아날로그 화소신호로 변환한 후 데이터라인들(D1 내지 Dm)로 공급한다.

타이밍 콘트롤러(40)는 도시되지 않은 시스템으로부터 공급되는 동기신호들을 이용하여 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 생성한다. 여기서, 게이트 제어신호(GCS)에는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE), 제 1출력신호(OE1), 제 2출력신호(OE2) 및 제 3출력신호(OE3) 등이 포함된다. 그리고, 데이터 제어신호(DCS)에는 소스 스타트 펄스(Source Start Pulse : GSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOC) 및 극성신호(Polarity : POL) 등이 포함된다. 아울러, 타이밍 콘트롤러(40)는 자신에게 입력되는 데이터(R,G,B)를 재정렬하여 데이터 드라이버(34)로 공급한다.

게이트 드라이버(36)는 타이밍 콘트롤러(40)로부터 공급되는 게이트 제어신호(GCS)에 응답하여 도 5와 같이 채널출력라인(GD1)으로 3개의 스캔신호(SP1, SP2, SP3)를 공급한다.

여기서, 하나의 채널출력라인(GD)으로부터 공급되는 스캔신호들(SP1, SP2, SP3)에 의하여 서로 인접된 2개의 게이트라인(G)으로 스캔신호가 공급된다. 다시 말하여 첫번째 채널출력라인(GD1)으로부터 공급되는 스캔신호들(SP1, SP2, SP3)에 의하여 제 1 및 제 2게이트라인(G)으로 스캔신호가 공급된다. 그리고, 두번째 채널출력라인(GD2)으로부터 공급되는 스캔신호들(SP1, SP2, SP3)에 의하여 제 3 및 제 4게이트라인(G)으로 스캔신호가 공급된다. 이를 위해, 홀수번째 게이트라인(G1, G3, G5, ...)과 채널출력라인(GD) 각각의 사이에는 스위칭소자(TFT2)가 설치된다. (스위칭소자(TFT2)는 짝수번째 게이트라인(G2, G4, G6, ...)과 채널출력라인(GD) 사이에 설치될 수 있다)

j(j는 자연수)번째 채널출력라인(GDj)과 접속되는 스위칭소자(TFT2)의 게이트단자는 j+1번째 채널출력라인(GDj+1)과 접속된다. 즉, j번째 채널출력라인(GDj)과 접속되는 스위칭소자(TFT2)는 j+1번째 채널출력라인(GDj+1)의 제어에 의하여 턴-온 또는 턴-오프된다.

한편, j번째 채널출력라인(GDj)으로 공급되는 제 1스캔신호(SP1)는 j-1번째 채널출력라인(GDj-1)으로 공급되는 제 2스캔신호(SP2)와 동기되도록 공급된다. 그리고, j번째 채널출력라인(GDj)으로 공급되는 제 2스캔신호(SP2)는 j+1번째 채널출력라인(GDj+1)으로 공급되는 제 1스캔신호(SP1)와 동기되도록 공급된다. 아울러, j번째 채널출력라인(GDj)으로 공급되는 제 3스캔신호(SP3)는 다른 채널출력라인들(GD)로 공급되는 스캔신호들(SP1 내지 SP3)과 동기되도록 않도록 공급된다. 여기서, j번째 채널출력라인(GDj)으로 공급되는 제 1스캔신호(SP1)는 j-1번째 채널출력라인(GDj-1)에 접속된 스위칭소자(TFT2)를 턴-온시키는 데 이용된다. 그리고, j번째 채널출력라인(GDj)으로 공급되는 제 2스캔신호(SP2)는 자신이 접속된 게이트라인(G) 중 첫번째 게이트라인(TFT2와 접속된 게이트라인)에 공급되는 스캔신호로 이용되고, 제 3스캔신호(SP3)는 자신이 접속된 게이트라인(G) 중 두번째 게이트라인에 공급되는 스캔신호로 이용된다.

이와 같은 스캔신호들(SP1, SP2, SP3)에 의하여 게이트라인들(G)로 스캔신호가 공급되는 과정을 제 1 및 제 2게이트라인(G1, G2)으로 예를 들어 설명하기로 한다. 먼저, 제 1채널출력라인(GD1)으로 제 2스캔신호(SP2)가 공급될 때 제 2채널출력라인(GD2)으로 제 1스캔신호(SP1)가 공급된다. 제 2채널출력라인(GD2)에 공급되는 제 1스캔신호(SP1)는 제 1채널출력라인(GD1)과 접속된 스위칭소자(TFT2)를 턴-온시킨다. 제 1채널출력라인(GD1)과 접속된 스위칭소자(TFT2)가 턴-온되면 제 1채널출력라인(GD1)으로 공급된 제 2스캔신호(SP2)가 스위칭소자(TFT2)를 경유하여 제 1게이트라인(G1)으로 공급된다. 즉, 1채널출력라인(GD1)으로 제 2스캔신호(SP2)가 공급됨과 아울러 제 2채널출력라인(GD2)으로 제 1스캔신호(SP1)가 공급될 때 제 1게이트라인(G1)으로 스캔신호가 공급되어 제 1게이트라인(G1)과 접속된 액정셀들이 활성화되고, 이에 따라 데이터라인들(D1 내지 Dm)로부터 공급되는 화소신호들이 제 1게이트라인(G1)과 접속된 액정셀들로 공급된다.

이후, 제 1채널출력라인(GD1)으로 제 3스캔신호(SP3)가 공급된다. 제 1채널출력라인(GD1)으로 공급된 제 3스캔신호(SP3)는 제 2게이트라인(G2)으로 공급된다. 즉, 제 1채널출력라인(GD1)으로 제 3스캔신호(SP3)가 공급될 때 제 2게이

트라인(G2)으로 스캔신호가 공급되어 제 2게이트라인(G2)과 접속된 액정셀들이 활성화되고, 이에 따라 데이터라인들(D1 내지 Dm)로부터 공급되는 화소신호들이 제 2게이트라인(G2)과 접속된 액정셀들로 공급된다. 실제, 본 발명에서는 이와 같은 과정을 반복하면서 게이트라인들(G)을 순차적으로 활성화시키면서 화소신호를 액정셀들로 충전시킨다.

상술한 바와 같이 본 발명에서는 하나의 채널출력라인(GD)으로 부터 출력된 스캔신호들(SP1 내지 SP3)을 이용하여 두개의 게이트라인(G)을 구동할 수 있다. 즉, 본 발명에서는 800개의 게이트라인을 구동하기 위하여 410개의 채널을 가지는 하나의 게이트 집적회로만이 설치될 수 있다. (410×2 = 820의 게이트라인을 구동할 수 있다) 따라서, 본 발명에서는 종래에 비하여 게이트 집적회로의 수를 1/2로 줄일 수 있고, 이에 따라 제조비용을 절감할 수 있다.

한편, 도 5에서 제 1게이트라인(G1)과 접속된 액정셀들이 활성화될 때 제 2게이트라인(G2) 및 제 4게이트라인(G4)들도 활성화되게 된다. 즉, 제 2게이트라인(G2) 및 제 4게이트라인(G4)과 접속된 액정셀들에 제 1게이트라인(G1)분의 화소신호가 충전되게 된다. 하지만, 이후 구동과정에서 제 2게이트라인(G2) 및 제 4게이트라인(G4) 각각으로 충전하고자 하는 화소신호가 공급되기 때문에 액정패널(32)에서 원하는 화상을 표시할 수 있다.

도 6은 도 4에 도시된 게이트 드라이버(36)에 적어도 하나 이상 포함된 게이트 집적회로(52)를 나타내는 도면이다.

도 6을 참조하면, 게이트 집적회로(52)는 쉬프트 레지스터 블록(54), 레벨 쉬프터(58) 및 출력버퍼(60)를 구비한다.

쉬프트 레지스터 블록(54)은 k(k는 자연수)개의 쉬프트 레지스터(56,57)들로 구성된다. (즉, 게이트 집적회로(52)는 k개의 채널(k개의 채널출력라인(GD)구비)을 구비한다) 이와 같은 쉬프트 레지스터 블록(54)은 쉬프트 펄스를 발생한다. 레벨 쉬프터(58)는 자신에게 공급된 쉬프트 펄스를 이용하여 스캔신호를 생성한다. 출력버퍼(60)는 레벨 쉬프터(58)로부터 공급된 스캔신호를 해당 채널출력라인(GD)으로 공급한다.

이와 같은 게이트 집적회로(52)의 동작과정을 도 7을 참조하여 상세히 설명하기로 한다.

먼저, 쉬프트 레지스터 블록(54)은 타이밍 컨트롤러(40)로부터 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 펄스(GSC)를 공급받는다. 여기서, 게이트 쉬프트 클럭(GSC)은 2수평주기(2H)의 주기를 갖는다. 그리고, 게이트 스타트 펄스(GSP)는 4수평주기(4H) 동안 하이상태를 유지한다. 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 클럭(GSC)을 공급받은 쉬프트 레지스터 블록(54)은 게이트 쉬프트 클럭(GSC)의 상승시점에 게이트 스타트 펄스(GSP)를 첫번째 쉬프트 레지스터(56)로부터 k번째 쉬프트 레지스터(57)로 이동시키게 된다. 실제, 첫번째 쉬프트 레지스터(56)에서 두번째 쉬프트 레지스터로 옮겨진 게이트 스타트 펄스(GSP)는 도 7의 점선과 같이 표현될 수 있다.

한편, 게이트 스타트 펄스(GSP)가 쉬프트 레지스터로 이동될 때 해당 쉬프트 레지스터로부터 쉬프트펄스가 발생되어 레벨 쉬프터(58)로 공급된다. 여기서, 각각의 쉬프트 펄스는 4수평주기동안 하이상태를 유지한다.

레벨 쉬프터(58)는 타이밍 컨트롤러(40)로부터 게이트 출력 신호(GOE), 제 1출력신호(OE1), 제 2출력신호(OE2) 및 제 3출력신호(OE3)를 입력받는다.

여기서, 제 1출력신호(OE1)는 i(i는 1, 4, 7, 10, ...)번째 채널출력라인(GDi)의 출력을 제어한다. 다시 말하여, 제 1출력신호(OE1)가 하이상태를 유지할 때 i번째 채널출력라인(GDi)으로는 스캔신호가 공급되지 못한다. (제 1출력신호(OE1)가 하이상태를 유지할 때 i번째 채널출력라인(GDi)으로는 게이트 로우전압만이 공급된다) 이와 같은 제 1출력신호(OE1)는 1수평주기(1H)동안 하이상태를 유지한다. (여기서, 제 1출력신호(OE1)는 6수평주기(6H)의 주기를 갖는다)

제 2출력신호(OE2)는 i+1번째 채널출력라인(GDi+1)의 출력을 제어한다. 다시 말하여, 제 2출력신호(OE2)가 하이상태를 유지할 때 i+1번째 채널출력라인(GDi+1)으로는 스캔신호가 공급되지 못한다. (제 2출력신호(OE2)가 하이상태를 유지할 때 i+1번째 채널출력라인(GDi+1)으로는 게이트 로우전압만이 공급된다) 이와 같은 제 2출력신호(OE2)는 제 1출력신호(OE1)를 2수평주기(2H) 지연하여 생성된다. 따라서, 제 2출력신호(OE2)의 하이신호는 제 1출력신호(OE1)의 2주기 뒤에 나타난다.

제 3출력신호(OE3)는 i+2번째 채널출력라인(GDi+2)의 출력을 제어한다. 다시 말하여, 제 3출력신호(OE2)가 하이상태를 유지할 때 i+2번째 채널출력라인(GDi+2)으로는 스캔신호가 공급되지 못한다. (제 3출력신호(OE3)가 하이상태를 유지할 때 i+2번째 채널출력라인(GDi+2)으로는 게이트 로우전압만이 공급된다) 이와 같은 제 3출력신호(OE3)는 제 1출력신호(OE1)를 4수평주기(4H) 지연하여 생성된다. 따라서, 제 3출력신호(OE3)의 하이신호는 제 1출력신호(OE1)의 4주기 뒤에 나타난다.

게이트 출력 신호(GOE)는 1수평주기(1H)의 주기를 갖는다. 여기서, 게이트 출력신호(GOE)는 1수평주기(1H)의 일부분의 시간동안 하이상태를 유지한다. 이와 같은 게이트 출력신호(GOE)는 모든 채널출력라인들(GD)의 출력을 제어한다. 다시 말하여, 게이트 출력신호(GOE)가 하이상태를 유지할 때 채널출력라인들(GD)로 스캔신호가 공급되지 못한다.

4수평주기동안 하이상태를 유지하는 쉬프트펄스를 공급받은 레벨 쉬프터(58)는 쉬프트펄스에 대응되는 스캔신호를 생성하여 출력버퍼(60)로 공급한다. 여기서, 레벨 쉬프터(58)는 제 1 내지 제 3출력신호(OE1 내지 OE3) 및 게이트 출력신호(GOE)에 대응하여 스캔신호를 생성한다. 따라서, 각각의 채널출력라인(GD)으로는 제 1스캔신호(SP1), 제 2스캔신호(SP2) 및 제 3스캔신호(SP3)가 출력된다.

출력버퍼(60)는 자신에게 공급되는 제 1 내지 제 3스캔신호(SP3)를 채널출력라인(GD)으로 공급함으로써 게이트라인들(G)에 접속된 액정셀들에서 순차적으로 화소신호가 충전되도록 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동장치에 의하면 게이트 집적회로 하나의 채널을 이용하여 2개의 게이트라인에 스캔신호를 공급할 수 있다. 따라서, 본 발명에서는 n 개의 게이트라인을 구동하기 위하여 $1/2$ 개의 채널만큼의 게이트 집적회로 설치되고, 이에 따라 제조비용을 절감할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

데이터라인들을 구동시키기 위한 데이터 드라이버와,

게이트라인들을 구동시키기 위한 적어도 하나 이상의 게이트 집적회로와,

상기 게이트 집적회로 각각의 채널출력라인과 l (l 은 홀수 또는 짝수)번째 게이트라인의 사이마다 형성되는 스위칭소자들을 구비하며,

상기 하나의 채널출력라인은 서로 인접된 두개의 게이트라인과 접속되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 2.

제 1항에 있어서,

상기 게이트 집적회로는 상기 각각의 채널출력라인으로 적어도 둘 이상의 스캔신호를 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 3.

제 2항에 있어서,

상기 게이트 집적회로는 상기 각각의 채널출력라인으로 제 1스캔신호, 제 2스캔신호 및 제 3스캔신호를 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 4.

제 3항에 있어서,

j (j 는 자연수) 번째 채널출력라인으로 공급되는 제 1스캔신호는 $j-1$ 번째 채널출력으로 공급되는 제 2스캔신호와 동기되도록 공급되고, 제 2스캔신호는 $j+1$ 번째 채널출력라인으로 공급되는 제 1스캔신호와 동기되도록 공급됨과 아울러 제 3스캔신호는 다른 채널출력라인으로 공급되는 제 1 내지 제 3스캔신호와 동기되지 않도록 공급되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 5.

제 4항에 있어서,

상기 j 번째 채널출력라인으로 공급되는 제 1스캔신호는 $j-1$ 번째 채널출력라인에 접속된 스위칭소자를 턴-온시키는데 이용되고, 상기 j 번째 채널출력라인으로 공급되는 제 2스캔신호는 상기 j 번째 채널출력라인과 접속된 두개의 게이트라인중 첫번째 게이트라인의 스캔신호로 이용됨과 아울러 제 3스캔신호는 상기 j 번째 채널출력라인과 접속된 두개의 게이트라인중 두번째 게이트라인의 스캔신호로 이용되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 6.

제 4항에 있어서,

상기 게이트 집적회로는

4수평주기(4H)동안 하이상태를 유지하는 게이트 스타트펄스를 2수평주기(2H)의 주기를 가지는 게이트 쉬프트 클럭을 이용하여 쉬프트시키면서 쉬프트펄스를 발생시키는 쉬프트 레지스터 블록과;

상기 쉬프트펄스를 공급받음과 아울러 게이트출력신호, 제 1출력신호, 제 2출력신호 및 제 3출력신호의 제어에 의하여 상기 각각의 채널출력라인으로 공급될 제 1스캔신호, 제 2스캔신호 및 제 3스캔신호를 생성하기 위한 레벨 쉬프터와;

상기 제 1스캔신호, 제 2스캔신호 및 제 3스캔신호를 상기 각각의 채널출력라인으로 공급하기 위한 출력버퍼를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 7.

제 6항에 있어서,

상기 레벨 쉬프터는 상기 제 1출력신호가 하이 상태일 때 i (i 는 1,4,7,10, ...)번째 채널출력라인으로 로우신호가 공급되도록 제어하며 상기 제 2출력신호가 하이 상태일 때 $i+1$ 번째 채널출력라인으로 로우신호가 공급되도록 제어함과 아울러 상기 제 3출력신호가 하이 상태일 때 $i+2$ 번째 채널출력라인으로 로우신호가 공급되도록 제어하고, 상기 게이트출력신호가 하이 상태일 때 모든 채널출력라인으로 로우신호가 공급되도록 제어하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 8.

제 6항에 있어서,

상기 제 1출력신호는 1수평주기(1H)동안 하이상태를 유지함과 아울러 6수평주기(6H)의 주기를 갖고, 상기 게이트 출력신호는 1수평주기(1H)의 일부분의 시간동안 하이상태를 유지함과 아울러 1수평주기(1H)의 주기를 갖는 것을 특징으로 하는 액정표시장치의 구동장치.

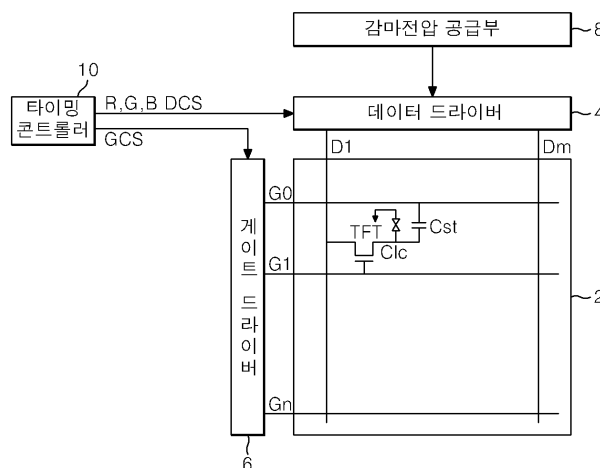
청구항 9.

제 8항에 있어서,

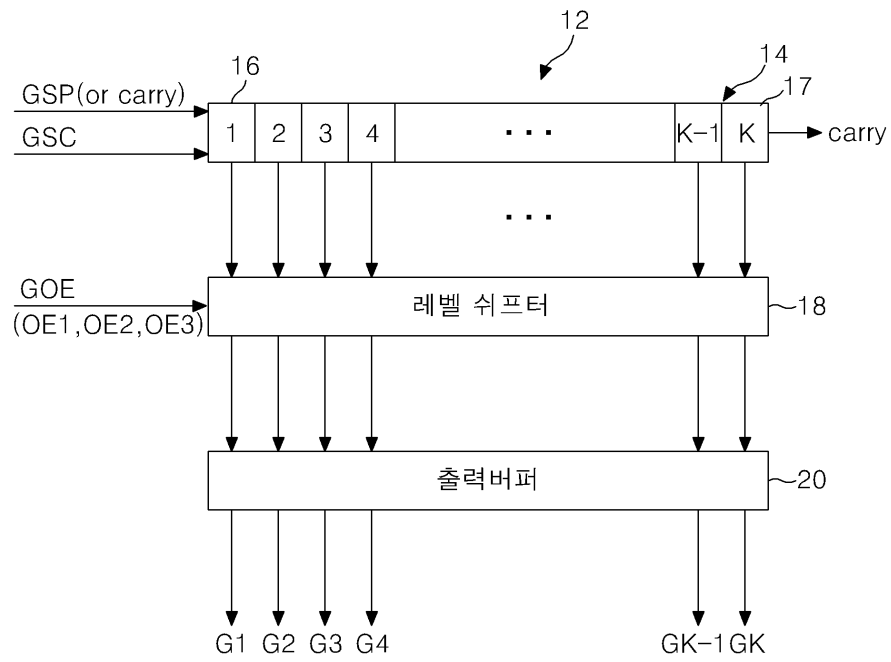
상기 제 2출력신호는 제 1출력신호를 2수평주기 지연하여 생성되고, 상기 제 3출력신호는 제 1출력신호를 4수평주기 지연하여 생성되는 것을 특징으로 하는 액정표시장치의 구동장치.

도면

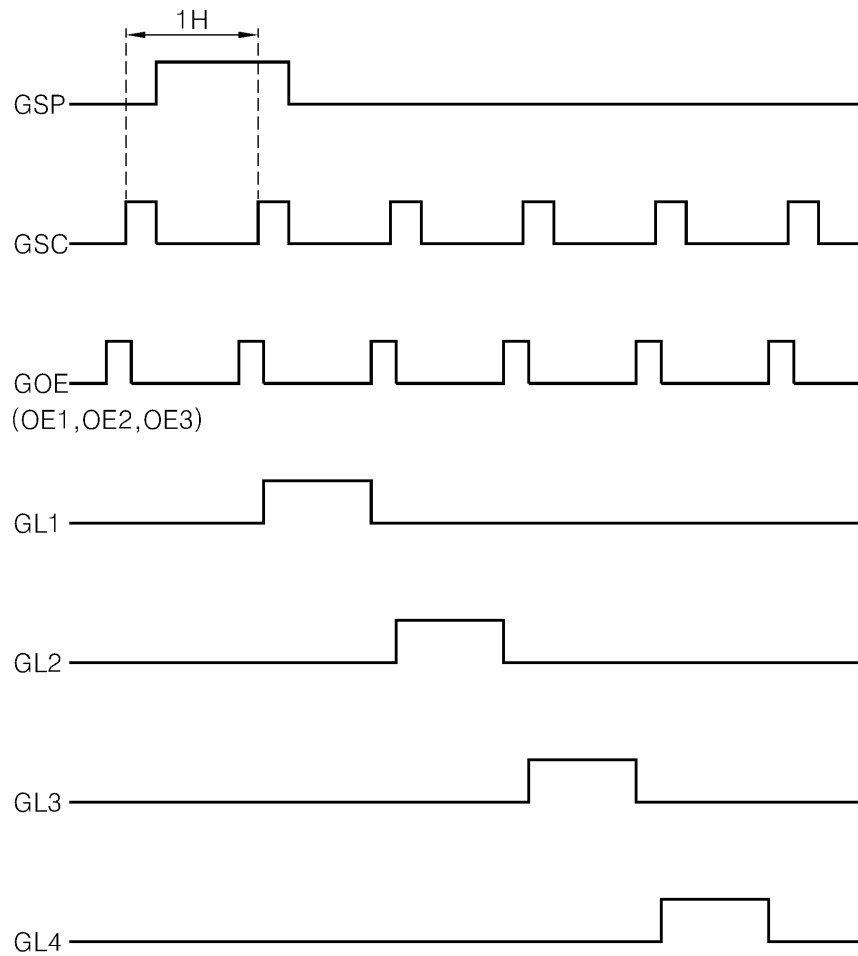
도면1



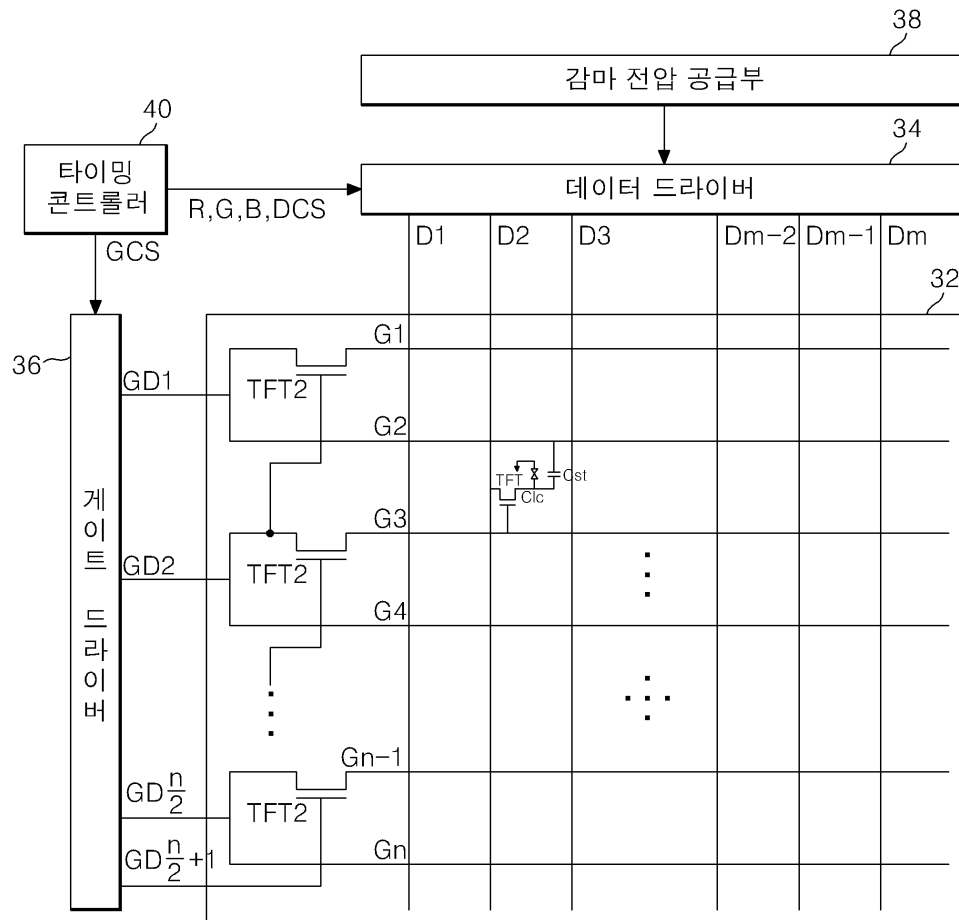
도면2



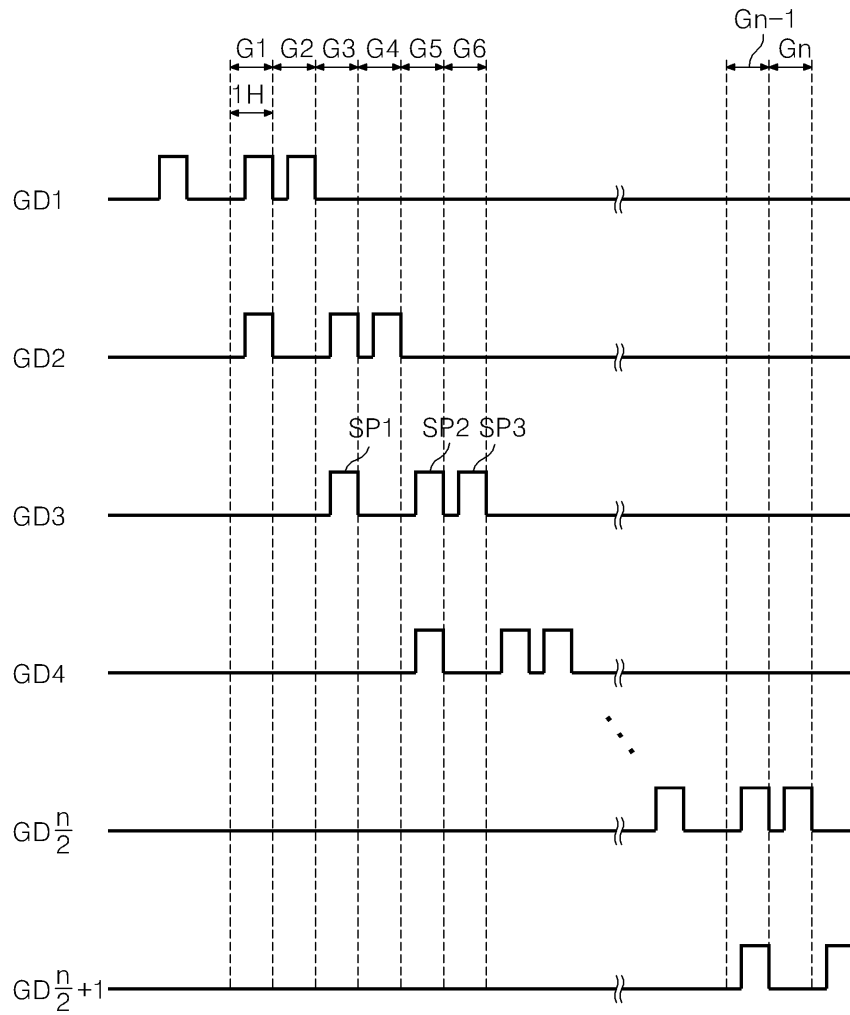
도면3



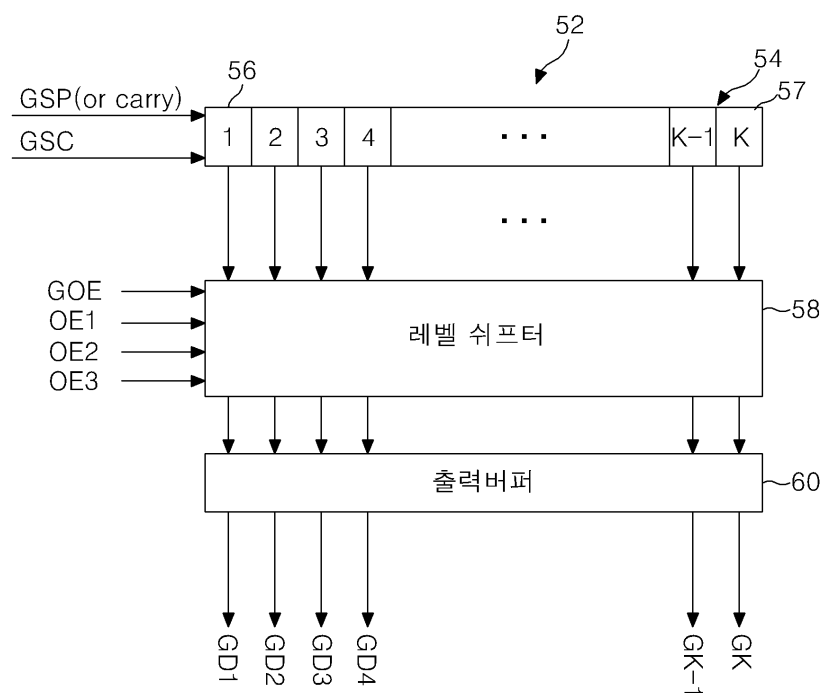
도면4



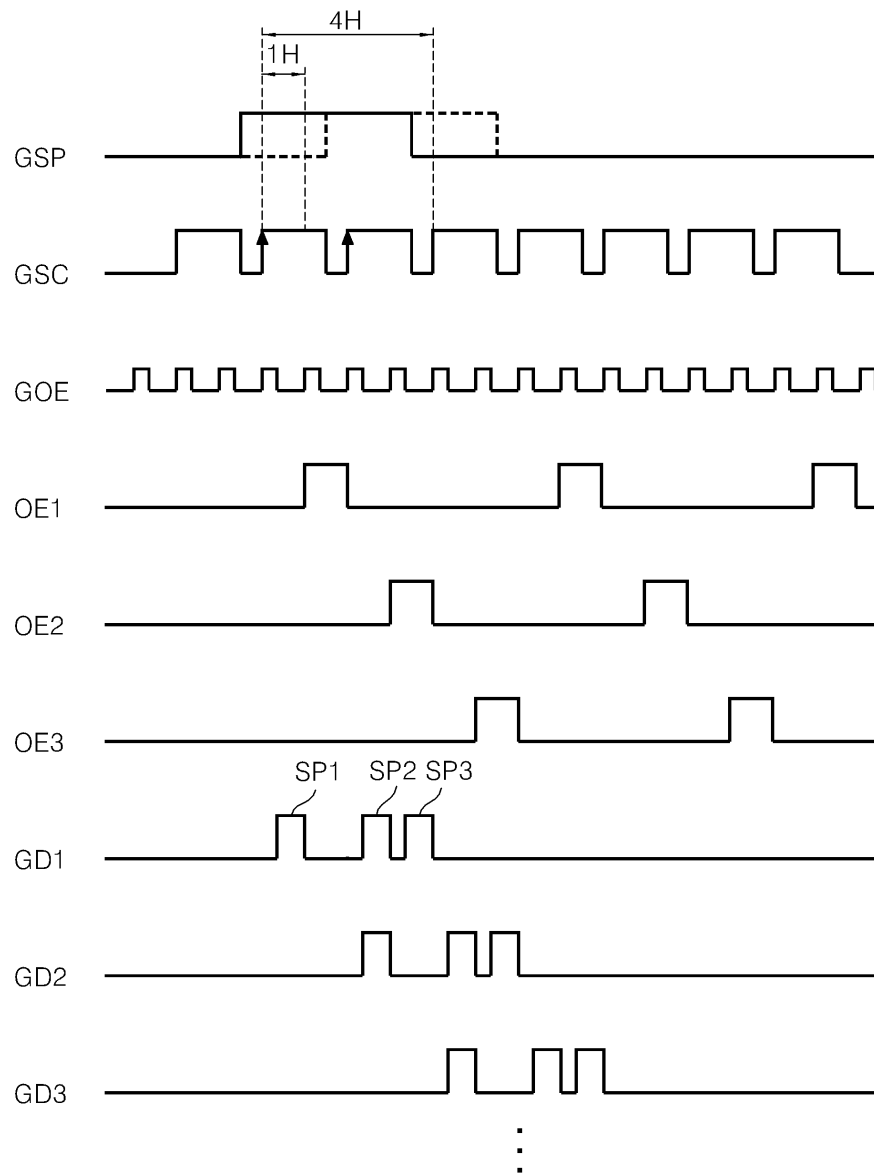
도면5



도면6



도면7



专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	KR1020050039183A	公开(公告)日	2005-04-29
申请号	KR1020030074608	申请日	2003-10-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON SUNYOUNG		
发明人	KWON,SUNYOUNG		
IPC分类号	G02F1/133		
其他公开文献	KR100962502B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器的驱动装置，包括形成于数据驱动器的开关元件：至少一个栅极集成电路：用于驱动栅极线栅极集成电路的每个通道输出线和用于驱动数据线的栅极线间隔。通道输出线连接到两条栅极线，这两条栅极线通过开关元件相邻。为了响应扫描信号而导通/截止，其中连接到j (j是自然数) 的开关元件的数字通道输出线被提供给j + 1，通道输出线转向 - 门连接到j数通道输出线的开关元件的端子连接到j + 1通道输出线。

