(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2004-0045426
(43) 공개일자 2004년06월01일

(21) 출원번호 10-2004-7002986
(22) 출원일자 2004년02월27일
번역문 제출일자 2004년02월27일
(86) 국제출원번호 PCT/JP2002/008626
(87) 국제공개번호 WO 2003/021566
(86) 국제출원출원일자 2002년08월27일
(87) 국제공개일자 2003년03월13일

(30) 우선권주장 60/315,476 2001년08월28일 미국(US)

(71) 출원인 가부시키가이샤 휴네트
일본 도쿄도 기타쿠 오지 2쵸메 20반 7고

(72) 발명자 낼리,로버트엠
미국텍사스주75070맥켄니엔.웨스트파크드라이브310

오키타,마사야
일본사이타마338-0013,사이타마시,스즈야2-초메,621-6

(74) 대리인 전영일
장수현

심사청구 : 없음

(54) ＴＦＴ 디스플레이 장치용 컨트롤러

요약

디스플레이 제어에 사용되며 프로그램 가능한「서브 필드」타이밍 발생기의 제어하에 있는 3개의 주지의 컴포넌트를 갖는 프로그램 가능한 컨트롤러를 개시한다. 이들 3개의 주지의 컴포넌트로서 위상 록 루프(PLL)유닛, 픽셀 파이프라인(PPL) 유닛, 내장 프레임 버퍼를 포함한다. 이들은 잘 이해된 컴포넌트이지만, 각 컴포넌트는 필드 순차 컬러(FSC-TFT) 디스플레이는 물론, 비 FSC-TFT 디스플레이 장치도 지원하도록 실장되고 있다. 프로그램 가능한 컨트롤러는 또한, FSC-TFT 디스플레이에 고유의 새로운 컴포넌트를 몇 개 구비하고 있다. 이들 새로운 컴포넌트로서는, LED 제어(또는, 사용된 컬러 광원)를 제어하는 색광 시퀀서나 다른 디스플레이 패널 사이의 극히 넓은 다양성에 순응시키는 프로그램 가능한 소스 드라이버／게이트 드라이버 제어부가 포함된다.

대표도

도 33

색인어

TFT 디스플레이 장치, TFT 디스플레이 장치 컨트롤러

명세서

기술분야

본 발명은, 일반적으로, TFT 디스플레이 장치용 컨트롤러에 관한 것이다.

배경기술

새로운 고성능의 TFT 기술이 평가되고 있다. 이 신규 기술은 필드 순차 컬러 TFT (FSC-TFT) 액정 디스플레이라고 불린다. FSC-TFT 디스플레이 장치는 픽셀마다 큰 개구를 갖는다. 이것에 의해 보다 양호한 시야각을 얻을 수 있고, 또, 백라이트의 양호한 투과율을 얻을 수 있다.

종래 일반적인 TFT 액정 디스플레이의 컬러화에는 컬러 필터를 사용한 방식이 사용되어 왔고, 이를 컬러 필터 TFT 디스플레이라고 부른다. 컬러 필터 TFT 디스플레이 시스템의 컬러화 방식과 FSC-TFT 디스플레이 시스템의 컬러화 방식의 차이는, 적, 녹, 청색의 3원색으로부터 전 범위의 색을 만드는 방식의 차이에 있다. 양 타입의 시스템에 있어서는, 원색 성분의 휘도(그레이 스케일 레벨이라고 함)는, 제로(0)와 상한(통상은 255)과의 사이의 양자화 균배 곡선으로 표시된다. 다른 3원색의 다른 균배를 혼합하는 것에 의하여, 실질적으로 원하는 색을 만들 수 있다. 예를 들면, 핑크는, 상한에 가까운 적색 및 상한에 가까운 청색과 그리고 어느 정도의 녹색을 조합시킨 혼합 색이다. 녹색이 상한에 근접하면, 핑크는 백색에 근접한다.

컬러 필터 TFT 디스플레이에 있어서는, 3개의 색성분의 전부가 작은 영역 중(속)에서 서로 상당히 근접하여 활성화된다. 이 작은 영역은 픽셀이라고 불리고, 이 3개의 색성분은 서브 픽셀이라고 불린다. 이 영역은 상당히 작기 때문에, 인간의 눈은 3개 별개의 서브 픽셀에 의하여 점유되는 영역을 전체적으로 1개의 픽셀로서 인식해 버리고, 사용자는 3개 다른 원색을 인식할 수 없으며, 3색이 조합된 1개의 색을 인식하게 된다. 픽셀은 프레임이라고 불리는 2차원 매트릭스에 배열된다. 각 픽셀이 30분의 1초마다 리프레쉬(refresh)되는 경우, 그 디스플레이는 1초당 30프레임(FPS)으로 리프레쉬 하고 있다고 말해진다. 각 픽셀과 각 서브 픽셀은 각각 30Hz로 리프레쉬 된다. 도 1은, 컬러 필터 TFT 디스플레이 시스템의 프레임의 일례를 나타내고 있다.

FSC-TFT 디스플레이 시스템에 있어서는, 3개의 색성분이 고속 반복 시퀀스로 한번에 1색씩, 모두 동일한 픽셀 위치에서 활성화되기 때문에, 인간의 눈은 3개의 색성분을 중첩하여 인식한다. 각각의 색성분이 시분할로 픽셀 영역을 점유하기 때문에, 컬러 필터 TFT 디스플레이 시스템과 같이 서브 픽셀이라고 하는 개념은 존재하지 않는다. 컬러 필터 TFT 디스플레이 시스템의 경우와 마찬가지로, FSC-TFT 디스플레이 시스템에 있어서 픽셀도, 프레임이라고 불리는 2차원 매트릭스에 배열된다. 또한, 컬러 필터 TFT 시스템과 마찬가지로, 각픽셀이 30분의 1초마다 활성화 되는 경우는, 이 디스플레이는 1초당 30프레임(FPS)으로 리프레쉬 된다고 한다.

그러나, FSC-TFT 디스플레이 시스템은 서브 픽셀이라고 하는 개념이 없기 때문에, 픽셀의 개별적인 색성분에 대한 다른 개념이 필요해진다. FSC-TFT 디스플레 이 시스템에서는, 각 색 성분은 1프레임을 시간적으로 분할한 필드(즉, 서브 프레임)와 관련되어 있다. 1개의 프레임 중에는, 시분할로 3개의 다른 색성분이 존재하기 때문에, 3개의 다른 색 필드가 각 색마다 적어도 1개씩 존재한다. 색 필드는 컬러 필터 TFT 디스플레이 시스템의 서브 픽셀에 상당한다. 적색 필드 기간에는 모든 픽셀이 적색 성분으로 리프레쉬 되고, 녹색 필드 기간에는 모든 픽셀이 녹색 성분으로 리프레쉬 되고, 청색 필드 기간에는 모든 픽셀이 청색 성분으로 리프레쉬 된다. FSC-TFT 디스플레이 시스템이 30FPS의 리프레쉬 레이트로 스크린(화면)을 리프레쉬하기 위해서는, 각 필드에서 90분의 1초의 리프레쉬 기간을 필요로 하는 것이 된다. 예를 들면 1개의 프레임에 4개의 색 필드를 할당한 경우에는, 적색 필드, 녹색 필드, 청색 필드, 뒤이어, 다시 녹색 필드라고 하는 전체 4개의 필드를 이용하여 프레임이 리프레쉬된다. 이것은, 인간의 눈이 녹색에 고감도이기 때문이고, 설계에 따라서는 이 감도를 이용하여 명확한 표시를 할 수 있다. 이러한 경우, 30FPS의 리프레쉬 레이트에서는 1개의 필드마다 120분의 1초의 리프레쉬 기간을 필요로 하는 것이 된다. 도 2는 3필드 FSC 프레임을 예시하고 있고, 도 3은 4필드 FSC 프레임을 예시하고 있다. 모든 픽셀의 동일 색성분(즉, 서브 픽셀으로 이루어진 각 필드)이 컬러 필드 또는 컬러 평면으로서 동시에 표시된다.

프레임, 픽셀, 필드에 관한 전술한 정보를 염두에 두고, 서브 필드의 개념을 보다 알기 쉽게 설명한다. 1 프레임 기간이 3이상의 필드로 구성될 수 있는 것과 마찬가지로, 1필드 기간은 복수개의 서브 필드 기간으로 구성될 수 있다. 도 4를 참조하면서 TFT 액티브 매트릭스 디스플레이 기술을 검토하면 서브 필드를 가장 잘 이해할 수 있다. 매트릭스는 칼럼과 라인의 그리드이고, 그 각 교점에 1개의 픽셀이 할당되어 각 픽셀에 적어도 1개의 트랜지스터가 존재한다.

칼럼은, 소스 드라이버라고 불리는 디바이스로부터의 칼럼 전압으로 구동된다. 소스 드라이버는 픽셀의 표시 데이터에 따른 전압을 칼럼에 인가한다. 라인은 게이트 드라이버라고 불리는 디바이스로부터의 게이트 전압으로 구동된다. 각 칼럼 선에는 항상 어느 정도의 전압이 인가되고 있지만, 라인 선에는 게이트 전압이 펄스 형식으로 한번에 1라인에만 인가된다. 게이트 드라이버의 라인 선에의 펄스는, 그 라인에 접속되고 있는 모든 트랜지스터의 게이트에 전압을 인가한다. 이러한 트랜지스터의 각각은 온 상태가 되어, 소스 드라이버로부터 각 칼럼을 경유하여 각 픽셀의 액정(LC

) 콘덴서가 충전된다. 1개의 칼럼마다 픽셀의 표시 데이터에 따른 전압이 각각 독립적으로 인가되기 때문에, 각 LC 콘덴서는 각각의 픽셀에 따른 전압 레벨까지 충전된다.

도 4B을 참조하면, 각 픽셀은 액정(C_{LC}는 액정 콘덴서의 캐패시턴스)과, TFT 트랜지스터와 보조 용량 콘덴서 C_S를 포함하고, 각 픽셀 영역의 액정은 전압 V_{LC}에 의하여 통과한 빛의 양을 픽셀마다 독립적으로 제어한다. 라인 선은 트랜지스터의 게이트에 접속되고 있고, 게이트 드라이버로부터 게이트 전압이 그 라인 선에 인가되면, TFT 트랜지스터는 게이트 온 상태로 된다. 도 4B의 픽셀내의 액정에 인가되는 전압 V_{LC}와 칼럼 선의 전압 V_{COLUMN}과의 사이에 차이가 있는 경우, 즉 V_{DS}가 0V 이외의 경우에는, 전압 V_{LC}가 칼럼 선의 전압 V_{COLUMN}과 동일하게 되도록 TFT 트랜지 스터에 전류가 흐른다(이 전류를 도 4에서는 I_D로 나타내며, 화살표는 전류의 흐름 방향을 나타낸다). 전류가 흘러 들어가면 LC 콘덴서에 관련되는 전압 V_{LC}는 상승하고, TFT 트랜지스터의 전압이 저하되지만, 액정의 투과율은, V_{LC}에 의하여 정해진다. 예를 들면, 노멀리 블랙인 액정에서는 V_{LC}가 클수록 보다 대량의 빛이 액정을 통과할 수 있다. 게이트 오프 후에 TFT 트랜지스터의 전류가 다시 차단되면, 누설 전류 등에 의하여 V_{LC}가 내려가기 시작한다. 이 하락이 진행되는 것에 따라 빛이 액정을 통과하기 어렵게 된다. 최종적으로, 빛은 액정을 전혀 통과하지 않게 되고, 디스플레이 스크린은 검은 색이 된다. 컬러 필터 TFT 디스플레이 시스템에서는, 각 픽셀마다 3개의 서브 픽셀이 존재하고, 각 서브 픽셀은 각각 적색, 녹색, 청색의 컬러 필터와 조합되어 있기 때문에 1개의 프레임마다 1회만 트랜지스터가 게이트 온 된다. 광원은 백색광이다. 도 1에 도시된 컬러 필터 TFT 디스플레이의 TFT 프레임의 예를 한번 더 보면, 디스플레이 전체를 커버하는 스트라이프 형태의 필터가 상당히 효과적이라는 것을 알 수 있다. 이것에 대하여, FSC-TFT 디스플레이 시스템에서는 서브 픽셀의 개념이 존재하고 있지 않기 때문에 1개의 프레임 기간중에 적어도 3개의 색 필드 기간이 존재하고 1개의 색 필드 기간마다 적어도 한번 트랜지스터가 게이트 온 된다.

TFT 디스플레이에 관한 전술한 설명으로부터, LC 콘덴서의 전압 V_{LC}가 상당히 중요한 것은 분명하다. 이 전압 V_{LC}는 액정을 통과하는 빛의 양을 제어하고 이 빛의 양이 색의 휘도를 결정한다. 예를 들면, 백색을 얻기 위해서는 3개의 다른 색성분의 각각에 대하여 가능한 최대량의 빛이 통과할 수 있도록 허용되어야 한다. 일반적인 TFT 의 스위치 성능은 완전지 않으며, TFT 트랜지스터가 게이트 오프 하고 있는 경우에도, 콘덴서의 전압을 원하는 레벨로 일정하게 유지할 수 없다. 도 5(문제점을 명료하게 나타내기 위해 과장되어 있다)는 이 전류가 어떤 기간에 걸쳐 LC 콘덴서의 전압(V_{LC})에 어떻게 작용하는지를 나타낸다.

예를 들면, 백색을 얻기 위해 최대량의 빛을 통과시킨 경우, TFT 트랜지스터가 게이트 오프 상태가 되고 나서(즉, 콘덴서를 충전한 것을 중지하고 나서) 바로 백색이 회색으로 전환되기 시작하고, 이윽고 흑색이 된다. 콘덴서를 충전하는 기간과 콘덴서가 방전하는 기간과의 비는 도시한 바 대로 높다. 디스플레이가 N 개의 라인(즉, N 라인의 픽셀)을 갖는 경우, 이 비는 1:N 이다. 그 결과, 파형을 바꾸는 것이 바람직하다.

그러나, 파형은 1개의 색 필드 기간을 나타내고 있다. 그 때문에, 이 파형을 수정하기 위해서는 서브 필드의 개념을 여기에 도입하지 않으면 안된다. 도 6(문제점을 명료하게 나타내기 위해 여기에서도 과장되어 있다)에 나타나듯이, 색 필드 기간 중에 전류가 여러번 콘덴서에 유입될 수 있다면, 콘덴서를 재충전할 수 있으며, 색 필드 기간 동안 V_{LC}의 진폭의 범위를 줄일 수 있다. 컬러 필터 TFT 디스플레이 시스템이 이 기술을 이용하고 있지 않아도, 이 기술은 FSC-TFT 디스플레이 시스템에 적용할 수 있는 것과 동일한 정도에 용이하게 컬러 필터 TFT 디스플레이 시스템에도 적용할 수 있다. 지금 이 개념을 이용하고 있는 것은 FSC-TFT 시스템이기 때문에, 본 명세서의 이하의 설명은 FSC-TFT 기술에 주안을 두고 있지만, 모든 사항을 비 FSC-TFT 기술, 즉, 컬러 필터 TFT 디스플레이 시스템에도 용이하게 적용할 수 있다고 이해해야 한다.

발명의 상세한 설명

본 발명의 주된 목적은, TFT 디스플레이 장치의 소비 전력을 절감하는 것이다.

본 발명의 다른 목적은, TFT 디스플레이 장치의 동화상 표시 성능을 향상시키는 것이다.

관련된 기술적 과제는, 본 발명에 의하면, 도 33을 참조하면,

외부에서 공급된 TFT 표시 데이터를 기억하도록 동작하는 프레임 버퍼와,

타이밍 컨트롤러와,

이 타이밍 컨트롤러에 의하여 발생된 신호에 응답하여, TFT 표시 데이터를 읽어들이고 원하는 표시 포맷으로 변환하도록 동작하는 픽셀 파이프라인(PPL)과,

상기 타이밍 컨트롤러에 의하여 발생된 신호에 응답하여, TFT 디스플레이의 표시를 제어하도록 동작하는 소스／게이트 드라이버 제어부가, 1개의 다이에 집적되고 있는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러를 제공하는 것에 의하여 달성된다. 즉, 프레임 버퍼와 타이밍 컨트롤러 등을 1개의 칩에 집적하는 것에 의하여 소비 전력을 대폭적으로 절감하는 것이 가능해진다.

본 발명이 바람직한 실시의 형태에서는, 상기 타이밍 컨트롤러에 의하여 발 생된 신호에 응답하고, 상기 PPL이 소스／게이트 드라이버 제어부에 상기 TFT 표시 데이터와는 무관한 고정 데이터를 출력한 것이 좋고, 구체적으로는, 상기 PPL로부터 변환된 포맷의 상기 TFT 표시 데이터의 출력과 상기 고정 데이터의 출력을 일정한 주기 또한 일정한 시간 비율로 전환한다. 이것에 의해, 아래에 상세하게 설명하는 바와 같이, 소비 전력을 저하시키면서 동화상 표시 성능을 향상할 수 있다.

본 발명은, 앞서 설명한 것처럼, FSC-TFT 디스플레이 장치에 제한되지 않으며, 비 FSC-TFT 디스플레이 장치 즉 컬러 필터 TFT 디스플레이 장치에 대해서도 적용 가능하고, 이와 같은 형식이 다른 디스플레이 장치에 대한 범용성을 확보하기 위해, TFT 디스플레이 장치용 컨트롤러는, FSC-TFT 디스플레이용과 비 FSC-TFT 디스플레이용으로 전환 가능한 것이 바람직하다.

또, 본 발명의 실시의 형태에서는, 서브 필드의 타이밍 제어를 이용하여, 필드 기간에 걸쳐 주기적인 간격으로 보다 소량의 전류를 콘덴서에 주입하는 것에 의하여 LC 콘덴서에 관련되는 전압을 가능한 한 일정하게 접근하도록 유지한다. 이것에 의해 명확한 화상(필드의 기간에 걸쳐 플리커가 적거나, 또는, 색 변화가 작다)을 제공할 수 있을 뿐만 아니라, 소비 전력도 적다. 아래에 설명하지만, 서브 필드 제어를 수반한 FSC-TFT 디스플레이 시스템이 컬러 필터 TFT 디스플레이 시스템보다도 바람직한 것에는 그 밖에도 많은 이유가 있다. FSC 기술과 서브 필드 타이밍에 고유한 문제점을 FSC-TFT 디스플레이의 프로그램 가능한 제어가 어떻게 해결하고 있는지를 전술한 관점에서 설명한다.

도 7은, 1개의 색 필드 기간이 여러 기간으로 세분되고 있는 것을 예시한 선도이다. 이 여러 기간으로서는, 흑, 백, 컬러, 컬러 유지가 있다. 그래프의 횡축은 1개의 색 필드 기간에 포함된 기간을 나타낸다. 도 7에서는, 컬럼 전압 V_{COLUMN}, 게이트 전압, LC 콘덴서의 전압 V_{LC} 가 도시되어 있다. 컬럼 전압은, 실제로는 1개의 라인마다 다른 값에 변화하고 있지만, LC 콘덴서의 전압에 있어서는, 그 TFT 트랜지스터에 대한 게이트가 온 상태가 되는 것이 언제 인가라는 것이 문제 되지 않는다. 도 7로부터 알 수 있듯이, LC 콘덴서의 전압은, TFT가 온이 된다면 급격하게 증대하고 TFT가 오프가 된다면 천천히 감소한다. 기간에 관한 이들 2개의 전압의 관계는 본건 명세서에서 말한 제문제점을 이해하기 위해서 중요하다.

계속하여 도 7을 참조하여 필드의 4개가 다른 기간을 이하에서 간단하게 설명한다. 흑색 기간에 관해서는 정기적으로 화면을 검게 표시하는 것에 의하여 FSC-TFT 디스플레이뿐만 아니라 컬러 필터 TFT 디스플레이라도 동화상 표시 성능이 현저하게 개선되는 것이 알려져 있다. 백색 기간에 관해서는, 흑색 기간 후, 컬러 상태까지 픽셀을 구동하기 위해 TFT 의 최대 전압 또는 최소 전압역으로의 버스트가 필요해질 경우도 있다. 이 기간은 반드시 필요한 것은 아니지만 보다 높은 품질의 디스플레이 품질을 제공한다. 컬러 기간에 관해서는 LC 콘덴서의 전압을 일정하게 유지하기 위해 여러 차례의 LC 콘덴서 충전 사이클이 요구된다. 또한, 1서브 필드 기간이 짧아지는 것은 화면 주사의 시작 위치 및 종료 위치의 시간차를 적게 하고, 특히, FSC-TFT 로 균일한 화면 표시를 얻을 수 있다. 컬러 기간의 컬럼 전압 파형은 표시 데이터에 변경이 없는 한 1필드 안에 있어서 서브 필드 기간마다 반복적으로 되풀이하여 동일한 파형으로 된다. 컬러 유지 기간에 관해서는, 반드시 필요한 것은 아니지만, 소스 드라이버 및 게이트 드라이버의 동작을 정지시키는 것에 의하여 소비 전력을 절감할 수 있다.

서브 필드에 있어서 흑색 서브 필드, 컬러 서브 필드등의 조합이나 타이밍은, 표면상은 비교적 단순하다고도 생각될지 모르지만, 이러한 조합 및 타이밍은 디스플레이 제어의 전체적 타이밍에 큰 영향을 주는 다양한 서로 다른 패러미터에 관하여 고찰한다면, 그렇다고는 할 수 없다. 이와 같은 조합이나 타이밍에 관한 특성에 영향을 주는 이와 같은 패러미터의 몇 개를 이하에 설명한다.

픽셀의 치수에 관해서는, 통상적으로는, 픽셀 면적이 큰 만큼 LC 콘덴서의 용량도 커진다. 콘덴서의 용량이 큰 만큼 콘덴서에 동일 전압을 충전하는데 큰 전류가 요구된다. 시장에는 다양한 액정 디스플레이가 존재하고 있고, 그 결과, 시장의 LC 콘덴서의 용량도 다양하다.

디스플레이의 치수(픽셀 수)에 관해서는, 160x160 을 밑도는 픽셀수로부터 1280x280 을 상회하는 픽셀수의 디스플레이가 시판되고 있다. 이들 디스플레이의 프레임 주기는, 통상은, 50Hz 와 80Hz 의 사이의 어느 하나이다. 처리되는 픽셀수가 다양하기 때문에, 서브 필드의 주기를 산출하면 광범한 클록 레이트가 취급되어야만 한다는 것을 알 수 있다.

액정의 응답 기간에 관해서는, 어느 정도의 속도로 액정이 인가 전압에 반응하는가, 또는, 인가 전압이 제거된 후에 어느 정도의 속도로 액정이 완화하는가에 의하여 어떻게 하여 전압을 인가할 것인가가 정해진다.

위와 같은 사항은, 2개의 다른 디스플레이 시스템이 동일한 서브 필드 타이밍을 가질 가능성은 상당히 작은 것을 알 수 있다. 이것이 문제로 되는 것은 각 디스플레이 시스템이 고유한 타이밍 컨트롤러를 필요로 하는 것에 의한다. 컨트롤러의 비용 절감을 계속하여 실시함에 따라 전기소자의 대량 생산을 이용할 수 없기 때문에, 이와 같은 디스플레이 시스템은 고가가 된다. 1 종류의 디스플레이에 있서도 응용 제품마다 서로 다른 컨트롤러를 필요로 한 것이 있다.

따라서, 비용을 최소한으로 억제하고 각각이 다른 서브 필드 타이밍을 갖는 광범한 디스플레이 시스템에 순응한 것을 목적으로 하여 상이한 응용 제품에 적합하도록 프로그램된 프로그램 가능한 타이밍 컨트롤러를 입수하는 것이 바람직하다.

본 발명의 실시의 형태는, 새로운「서브 필드」타이밍 발생기의 제어하에서 디스플레이 제어에 사용된 3 개의 주지의 컴포넌트를 갖는 컨트롤러에 관련되어 있다. 이 컨트롤러의 범용성을 확보하기 위해서는, 이 컨트롤러는 프로그램 가능한 것이 바람직하다. 여기에 기재한 3개의 주지의 컴포넌트는 이하와 같다.

1）위상 록 루프(PLL) 유닛：

전술한 상당히 넓은 범위의 서브 픽셀 클록 레이트를 고려하면, 필요한 서브 클록 레이트를 커버하기에 충분할 정도로 플렉시블한 프로그램 가능한 서브 픽셀 타이밍 컨트롤러를 만드는 유일한 방법은, 프로그램 가능한 PLL 을 사용하는 것이다.

2）픽셀 파이프라인(PPL) 유닛：

데이터는 일련의 픽셀에 시리얼화되고(각 픽셀은 1, 2, 4, 8, 16, 24 또는 32 비트 폭일 수 있다), 프레임 전체가 처리될 때까지 픽셀마다, 라인마다, 그리고 서브 필드마다 디스플레이에 클록 아웃 된다. 이것은 PPL 의 작용이다. PPL에 영향을 주지 않는 컴포넌트는, 컬러 룩 업 테이블(Color Look Up Table-CLUT), 색 속성 제어(Color Attribute Controls -CAC), 비트 오더링(비토의 순서) 등이다. FSC-TFT 디스플레이에 특유의 PPL 의 1개의 특징은, 각 출력 클록으로 여러 픽셀을 소스 드라이버에 출력할 필요가 있다.

3）내장 프레임 버퍼：

60프레임／초，320x240의 24비트 색(true color)(3바이트/픽셀)의 5서브 필드 중 3필드마다의 FSC 디스플레이는, 디스프레이를 리프레쉬함에 240 메가바이트／초의 데이터 속도가 요구되는 것을 나타내고 있다. 디스플레이가 인터액티브(대화식)로 되어 있다면(유저가 항상 디스플레이의 데이터 내용을 변경하고 있다), 메모리에 요구되는 전체 데이터 속도는, 300메가바이트／초를 곧바로 넘기게 될 것이다. 이 문제를 해결하고, 게다가 비용 및 소비 전력을 낮게 억제하기 위한 한 방법은, 픽셀 파이프라인(PPL)이 점유하는 동일한 다이에 메모리를 집적하는 것이다.

이들은 주지 또한 잘 이해된 컴포넌트이지만, 각각, FSC 의 필드 및 서브 필드 개념을 지원하기 위해, 본 발명의 여러 실시예에서 개성적으로 표현되어 있다. 본 발명의 바람직한 실시예의 컨트롤러는 프로그램 가능하고, 이러한 실시예는, FSC-TFT 디스플레이에 특유의 여러 새로운 컴포넌트도 포함한다. 이러한 새로운 컴포넌트에는 이하의 것이 있다.

1) 컬러 시퀀스 컨트롤러는, LED 제어부(사용된 색 광원에 대해서는 종류를 묻지않음)를 제어하기 위해 사용된다. 컬러 필드는 이미 논의한 바와 같이, 반복 시퀀스 중, 한번에 1개씩 표시되기 때문에, 각 필드를 위한 LED(또는 광원)는, 필드 데이터가 소스 드라이버에 부여받은 때와 일치하도록 조명된다. 일 실시예에 따르면, 각 광원의 강도를 제어하기 위하여 이 컴포넌트를 사용할 수 있다.

2) 프로그램 가능한 소스／게이트 드라이버 제어부(Programmable Source and Gate Driver)는 다른 디스플레이 패널 사이의 상당히 넓은 다양성에 순응하기 위해 사용된다.

도면의 간단한 설명

첨부된 도면과 관련하여 고찰한다면, 이하의 상세한 설명을 참조하면서 본 발명을 이해하는 것으로써 본 발명의 다른 국면, 특징 및 이점을 쉽게 이해할 수 있을 것이다.

도 1은 비 FSC 프레임의 일례를 나타내는 도면이다.

도 2는 예시로서 3필드 FSC 프레임을 나타내는 도면이다.

도 3은 예시로서 4필드 FSC 프레임을 나타내는 도면이다.

도 4는 액티브 매트릭스 TFT 디스플레이의 액티브 소자부를 나타내는 도면이다.

도 5는 도 4에 나타내는 액티브 매트릭스 TFT 디스플레이의 액티브 소자부내의 액정(LC) 콘덴서에 인가되는 전압에 전류가 어떻게 영향을 주는지를 도시하는 타이밍 파형도이다.

도 6은 필드 기간에 여러번 전류가 콘덴서에 유입할 수 있도록 하는 것에 의 하여, 도 4에 나타내는 액티브 매트릭스 TFT 디스플레이의 액티브 소자부내의 액정(LC) 콘덴서에 인가되는 전압을 나타내는 타이밍 파형도이다.

도 7은 색 필드 기간이 여러 기간으로 세분되고 있는 것을 나타내는 선도이다.

도 8은 TFT-LCD 디스플레이의 프로그램 가능한 하부시스템의 구체적인 예를 개략적으로 나타내는 블록도이다.

도 9는 타이밍 컨트롤러, 픽셀 파이프라인, 내장 프레임 버퍼 메모리, 색광 시퀀서, 프로그램 가능한 소스 및 게이트 드라이버 제어부를 갖는 프로그램 가능한 집적 FSC-TFT-LCD 컨트롤러의 일 예를 개략적으로 나타내는 블록도이다.

도 10은 도 9에 도시된 픽셀 파이프라인의 상세한 블록도이다.

도 11은 도 10에 도시된 픽셀 파이프라인의 OUT MUX/PATH SEL 논리부의 상세한 블록도이다.

도 12는 도 9에 도시된 위상 록 루프(PLL)의 개략적인 블록도이다.

도 13은 도 9의 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러가 FSC 통상 가동(NormalRun) 모드에 있을 때의 2개의 시퀀스 순서를 나타내는 프레임 타이밍도 이다.

도 14는 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러에 관련된 특정한 필드 계수 레지스터가 1개의 흑색 서브 필드, 2개의 백색 서브 필드, 4개의 컬러 서브 필드, 및 1개의 유지 서브 필드를 생성하기 위하여 어떻게 프로그램됐는지를 도시하는 필드 타이밍 도이다.

도 15는 FSC-TFT LCD 디스플레이용의 백라이트를 생성하기 위해, 적색 광원, 녹색 광원, 청색 광원을 순서대로 제어하는 것을 나타내는 파형 타이밍도이다.

도 16은 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러를 위한 백라이트 제어 기술을 나타내는 파형 타이밍도이다.

도 17은 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러를 위한 스탠바이 타이밍 기술을 나타내는 파형 타이밍도이다.

도 18은 감마 전압, 게이트 드라이버, 디스플레이 패널을 포함한 소스 드라이버에 관련하여, 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러를 이용하는 디스플레이 시스템을 개략적으로 나타내는 블록도이다.

도 19는, (전형적인 비 FSC-TFT LCD 에 관하여)2개의 프레임 또는 (전형적인 FSC-TFT LCD에 대하여)2개의 서브 프레임 기간에 걸친 LCD 출력(소스 및 게이트 입력)의 타이밍 신호를 모두 나타내는 파형 타이밍도이다.

도 20은 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러에 관련된 프로그램 가능한 드라이버 타이밍 컨트롤러의 시각 모델이다.

도 21은 도 20의 시각 모델을 구성하기 위해 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 이용하기에 적합한 1쌍의 프로그램 가능한 제 1 게이트 액티브 레지스터를 나타내는 도면이다.

도 22는 도 20의 시각 모델을 구성하기 위해 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 이용하기에 적합한 프로그램 가능한 최후의 게이트 액티브 레지스터를 나타내는 그림이다.

도 23은 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 사용하여 수직 시프트 클록의 듀티 사이클을 제어하기에 적합한 1쌍의 프로그램 가능한 레지스터를 나타내는 도면이다.

도 24는 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 사용하여 게이트 출력의 액티브 기간을 제어하기에 적합한 1쌍의 프로그램 가능한 레지스터를 나타내는 도면이다.

도 25는 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 사용하여 게이트 드라이버 출력 액티브 기간과 소스 드라이버 데이터 전송 타이밍과의 사이의 타이밍 관계를 조절하기에 적합한 프로그램 가능한 레지스터의 설정을 나타내는 도면이다.

도 26은 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 이용하여 도 25에 도시된 프로그램 가능한 레지스터의 설정에 의하여 제어된 타이밍 관계를 더욱 개선하기에 적합한 프로그램 가능한 레지스터의 설정을 나타내는 도면이다.

도 27은 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 이용하여 전송 펄스가 발생한 후, 시프트 레지스터가 각 소스 드라이버마다 소스 드라이버 안에서 클리어되기 전의 기간을 결정하기에 적합한 프로그램 가능한 레지스터의 설정을 나타내는 도면이다.

도 28은 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 이용하여 소스 드라이버에 대한 유효 데이터가 언제 시작되는지를 결정하기에 적합 한 프로그램 가능한 레지스터를 나타내는 도면이다.

도 29는 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 사용하여 1개의 라인의 최후의 유효 데이터가 출력된 후, 몇 개의 유효한 수평 시프트 클록 사이클이 1라인의 데이터(data) 중에 잔존하고 있는지를 규정기에 적합한 프로그램 가능한 레지스터를 나타내는 도면이다.

도 30는 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 사용하여 소스 드라이버 출력에 관련된 극성 클록이 1 라인마다, 또는, 1 프레임마다 토글하고 있는지 여부를 결정하기에 적합한 프로그램 가능한 레지스터를 나타내는 도면이다.

도 31은 도 9에 도시된 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 사용하여 수직 시프트 클록의 제1 액티브 에지의 후, 그리고, 소스 드라이버 출력에 관련된 극성 클록을 토글하기 전에 수직 시프트 펄스가 액티브하게 된 후에 대기하는 수직 시프트 클록 사이클의 수를 규정하기에 적합한 프로그램 가능한 레지스터를 나타내는 도면이다.

도 32는 도 9에 도시한 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 사용하여, 이 프로그램 가능한 집적 FSC-TFT LCD 컨트롤러와 함께 이용하기에 적합한 프로그램 가능한 레지스터와 관련하여 특정 출력 신호의 극성을 제어하기에 적합한 레지스터를 나타내는 그림이다.

도 33은 본 발명의 기본적인 구성을 나타내는 블록도이다.

첨부된 도면의 각 도면은 특정 실시례를 나타내는 것이지만, 설명 중에서 지 적하고 있듯이, 본 발명의 다른 실시례도 포함된다. 모든 예에 있어, 이 개시는 대표례로서 본 발명의 예시적인 실시례를 제시한 것이고 제한적인 것은 아니다. 본 발명의 범위 및 그 원리의 사상으로부터 일탈하지 않고 다양한 다른 변형례나 실시례를 당업자라면 안출할 수 있을 것이다.

실시예

도 8은, 본 발명의 한 실시예에 따라 단일 칩에 집적된 FSC-TFT 디스플레이 컨트롤러(100)를 구체화한 FSC-TFT 액정 디스플레이의 서브시스템(10)의 개략 블록도이다. 디스플레이 컨트롤러(100)은 새로운 혁신적인 방법으로 사용되는 몇몇의 주지된 컴포넌트를 포함하며, 또한, FSC 디스플레이 제어에 고유한 몇몇의 신규 컴포넌트도 더 포함한다. 위상 록 루프, 픽셀 파이프라인, 내장 프레임 버퍼, 컬러 라이트 시퀀서 및 상술한 프로그램 가능한 게이트 드라이버 및 소스 드라이버의 컨트롤러를 포함하는 것에 덧붙여, FSC 디스플레이 컨트롤러(100)에 고유한 몇몇의 부가적 능력은 전력 관리 모드를 대상으로 하고 있다. 모든 컴포넌트(예를 들면, 타이밍 컨트롤러, 픽셀 파이프라인, 메모리)가 전부 동일한 다이에 편입되어 프로그램 가능한 유연성이 부가되면, 막대한 전력 관리가 적용된다. 예를 들면, 레지스터 설계에 의하여 각 컴포넌트마다의 전력을 엄밀하게 관리할 수 있다.

FSC 디스플레이 컨트롤러(100)을 설계에 편입한 모든 시스템의 배터리 수명을 연장하기 위해, 전력 관리 레벨에 의하여 디스플레이 품질을 연속적으로 저하시킬 수 있다. 사용자가 고품질 디스플레이를 요구하는 경우 디스플레이 서브시스템(10)은 보다 대량의 전력을 소비하지만, 사용자가 디스플레이를 신경쓰 지 않는다면 저품위 디스플레이 상태로 설정하여 훨씬 적은 전력밖에 소비하지 않도록 할 수 있다. FSC-TFT 및 컬러 필터 TFT의 디스플레이 기술의 당업자이라면 이것이 포터블 유닛에 있어 상당히 중요한 요건인 것임을 알 수 있을 것이다.

도 9는 도 8에 도시된 FSC-TFT 디스플레이 컨트롤러(100)의 상세 블록도이다. 각 컴포넌트와 관련된 적용에 의해, 각 컴포넌트 사이에서 서로 동작할 수 있고 이전에는 결코 달성될 수 없었던 결과, 또는, 공지의 디스플레이 컨트롤러를 이용해도 가능하지 않았던 결과를 전부 달성할 수 있다.

프레임 격납 메모리(102)는 내장 메모리이다. 표시 데이터는 전부 프레임 격납 메모리(102)에 기억된다. 도 외의 호스트 프로세서(예를 들면, DSP)는 랜덤하게 그리고 사용자의 의사대로 데이터를 호스트 인터페이스 유닛(Host I/F)(104)을 통하여 수정할 수 있다. 데이터는 24비트 색 RGB 팩식 픽셀 포맷, 단색 포맷 또는 팔레트 방식 포맷의 어느 하나로 프레임 격납 메모리(102)에 기억된다. 표시 데이터는 픽셀 파이프라인 유닛(106)에 의하여 프레임 격납 메모리(102)로부터 꺼내어진다. 픽셀 파이프라인 유닛(106)은 프레임 격납 메모리(102)에 기억할 때에 어떤 포맷이든지 데이터를 FSC-TFT 액정 디스플레이에 의하여 표시하는데 필요한 필드 순차 컬러 포맷으로 변환하거나, 또는, 종래의 컬러 필터 TFT 액정 디스플레이용의 팩 식 RGB 픽셀 포맷에 변환한다. 픽셀 파이프라인은 당업자이라면 아는 것으로, 이 명세서에서는 명료 내지 간결한 것을 유지하기 위해 그 상세한 설명을 생략한다. 그러나, FSC-TFT 디스플레이 컨트롤러(100)의 기능 모드의 서브 필드 지지 특성은 전술한 것처럼 특유의 적응을 필요로 한다.

광범위한 디스플레이 패널의 사이즈 및 해상도를 다루기 위해서, 전술한 바와 같이 픽셀 파이프라인(106)에 관련하여 위상 록 루프(PLL)가 실장될 필요가 있다. PLL은 3개의 데이터 채널 ch[0](108), ch[1](110), ch[2](112)로 어떤 주파수 레벨에서 데이터가 출력되는지를 결정한다. 상당히 광범위한 출력 주파수를 PLL에 프로그램할 수 있다. 픽셀 파이프라인 유닛(106)에 관련된 적용을 다루는 것과 관련하여 PLL을 더욱 상세하게 설명한다. 전술한 전력 관리 지지 특성도 이후에 설명한 특유의 적용을 요구한다.

타이밍 컨트롤러(TCon)(114)는 디스플레이 컨트롤러(100)의 동작에 관련된 중요한 컴포넌트이다. 이 컴포넌트에 관련된 프로그램 가능한 선택 제어가 존재한다. 타이밍 컨트롤러(114)는 다른 컴포넌트와 확장적으로 상호 작용 하여, 다른 디스플레이 컨트롤러(100)의 각 컴포넌트의 적용을 조정하고, 디스플레이 컨트롤러(100)에 특유의 시스템 레벨 효과도 달성한다.

소스 드라이버 타이밍 유닛(116)은 프로그램 가능한 소자이다. 소스 드라이버 타이밍 유닛(116)의 출력 파형과 이러한 출력 파형간의 관계는 프로그램 가능하게 제어된다.

게이트 드라이버 타이밍 유닛(118)도 프로그램 가능한 소자이다. 게이트 드라이버 타이밍 유닛(118)의 출력 파형과, 이러한 출력 파형간의 상호 관계는 프로그램 가능하게 제어된다. 게다가, 소스 드라이버 타이밍 유닛(116)의 출력 파형과 게이트 드라이버 타이밍 유닛(118)의 출력 파형과의 사이의 관계는 프로그램 제어된다.

LED 타이밍 유닛(120)도 디스플레이 패널의 백라이트를 제어하는 프로그램 가능한 소자이다. 그 출력 파형의 형상 및 관계는 프로그램 제어된다.

픽셀 파이프라인

픽셀 파이프라인의 요구는 당업자에 있어 주지되어 있기 때문에, 본건에 추가된 연구에 관한 언급 외에 이 이상의 설명은 하지 않는다. 지금까지, 컬러 필터 TFT 액정 디스플레이의 표시 데이터는 전부 팩식 RGB 포맷이었다. 종래의 컬러 필터 TFT(비 FSC) 액정 디스플레이에서는 각 픽셀의 3개의 색성분, 적, 녹, 청의 전부가 디스플레이 패널의 소영역 내에서 3개의 서로 인접한 서브 픽셀로서 동시에 표시된다. 인간의 눈은 3개의 서브 픽셀을 공간적으로 함께 통합하여 1개의 색을 얻는다.

그러나, FSC-TFT 액정 디스플레이는 필드 순차 RGB 포맷으로 데이터를 표시한다. 서브 픽셀은 전부 컬러 필드에 그룹화되어 적색 서브 픽셀 데이터의 전부가 적색 필드에 존재하고, 녹색 서브 픽셀 데이터의 전부가 녹색 필드에 존재하고, 청색 서브 픽셀 데이터의 전부가 청색 필드에 존재한다. 디스플레이는 적색 필드 안의 모든 서브 픽셀 데이터를 표시하고 나서 녹색 필드 안의 모든 서브 픽셀 데이터를 표시하고 이하 마찬가지로 표시한다. 임의의 픽셀의 모든 서브 픽셀 데이터 전부가 동시에 표시되는 일은 없다. 서브 픽셀 데이터는 디스플레이 스크린의 동일한 소정의 영역에서 상당히 짧은 스팬(span) 기간에 순차적으로 표시되며, 인간의 눈은 일시적으로 3개의 서브 픽셀 데이터를 중첩하여 1개의 색을 인식한다. 각 픽 셀의 모든 서브 픽셀 데이터를 상당히 짧은 스팬의 기간내에 리프레쉬하는 요구를 달성하기 위해 각 필드가 이와 같은 빠른 레이트로 리프레쉬되어야 하기 때문에, 픽셀 파이프라인으로는 한번에 2이상의 픽셀이 처리되어야 한다. 이것은 픽셀 파이프라인을 다수의 병렬 픽셀 파이프로 확대함으로써 달성된다.

도 10은 도 9에 도시된 픽셀 파이프라인 유닛(106)의 상세 블록도이다. 픽셀 파이프라인(106)은 3개의 서로 병렬인 픽셀 파이프를 가지도록 보일 수 있다. 그러나, 본 발명은 그다지 제한적이지 않고, 본 발명의 원리에 따라 실현된 FSC-TFT LCD 컨트롤러는, 6 또는 9개 정도의 상호 병렬인 픽셀 파이프를 갖고 있어도 좋다. 픽셀 파이프라인(106)의 서브 컴포넌트는 선행 기술에 존재하며 주지인 것으로, 여기에서는 이 이상 설명하지 않는다. 이와 같은 서브 컴포넌트에는 팔레트화된 데이터용의 컬러 룩 업 테이블, 데이터를 직렬화하는 직렬화기, 메모리로부터 데이터를 가져오는

어드레스 발생기, 출력단에 데이터의 스트림이 유지되도록 데이터를 버퍼링하는 FIFO등이 있다.

이하에서 더욱 상세하게 설명할 픽셀 파이프라인(106)에 관련된 신규 특성을 실현하는데 필요한 흥미로운 서브 컴포넌트로서는, 흑백 및 고정식 컬러 레지스터(122,124), Path Sel 논리 회로(126), Out Mux 회로(128), 3개의 상호 병렬 픽셀 파이프(130,132,134)가 있다. FSC-TFT LCD 컨트롤러(100)의 픽셀 파이프라인 유닛(106)은 비 FSC 데이터는 물론, FSC 데이터, 서브 필드 데이터 삽입을 처리할 수 있고, 또, 전력 관리 제어를 실행한 것을 할 수 있다.

비 FSC 데이터 또는 FSC 데이터의 어느 한쪽의 처리

도 11은 도 10에 도시된 Out Mux 회로(128) 및 Path Sel 논리 회로(126)의 상세도이다. Out Mux 회로(128)는 Ch[0](108), Ch[1](110), Ch[2](112)를 포함한 3개의 5비트 출력 채널을 갖는다. Out Mux 회로(128)는 종래의 컬러 필터 TFT 액정 디스플레이를 구동하기 위해 1클록 사이클당 1개의 픽셀의 3개의 서브 픽셀 데이터의 전부를 동시에 출력하거나, 또는, FSC-TFT 액정 디스플레이를 구동하기 위해 1클록 사이클당 3개의 서로 인접한 픽셀의 동일한 서브 픽셀 데이터를 출력하도록 프로그램할 수 있다. DRS(Display Raster Setting: 디스플레이 래스터 설정) 레지스터(136)의 DRS.FF 비트는 어느 표시 포맷을 출력해야 하는가를 결정한다.

서브 필드 데이터 삽입

전술한 것처럼, 이 이상의 서브 필드는 흑색 기간 및 백색 기간 동안에 흑색 데이터나 백색 데이터밖에 출력하지 않는다. 도 10 및 도 11에 있어, 픽셀 파이프라인(106)은 백색 및 흑색으로 지정된 프로그램 불가능한 2개의 고정된 레지스터(122,124)를 갖는다. 이들 2개의 레지스터(122,124)는 Out Mux(128)로의 11개 입력중의 2개이다. Out Mux(128)로의 나머지 9의 입력은 3개의 서로 병렬인 픽셀 파이프(130,132,134)의 출력이다. 각 픽셀 파이프는 3개의 임의의 패스를 갖고 있는 것으로 보일 수 있다. 이들은 팔레트식 데이터의 Clut 패스, 24비트 색(True Color)데이터용의 24비트 색 패스 및 1비트 단색 데이터용의 컬러 확대 패스를 포함한다. 3개의 픽셀 파이프(130,132,134)는 그 전부가 다른 2개와 동일한 임의가 선택된 패스를 항상 가진다.

1개의 픽셀 파이프가 그 CLUT 내부 패스를 이용하고 있는 경우, 나머지 2개의 픽셀 파이프도 각각의 CLUT 내부 패스를 이용하고 있다. DRS 레지스터(136)의 DRS.BPP 비트는 내부 패스중의 어느 것을 선택하는지를 결정한다. TCon(타이밍 컨트롤러) 유닛(도 10의 참조 번호 '142')으로부터의 BlackOut 신호 및 WhiteOut 신호(138)는 백색 레지스터(122)와 흑색 레지스터(124)가 선택될 때를 결정한다. 11개의 입력은 3개의 프런트 엔드 멀티플렉서[0]144, [1]146, [2]148로 인도된다. 백색 레지스터(122) 및 흑색 레지스터(124)는 3개의 멀티플렉서(144, 146, 148) 각각에 입력한다. 나머지 입력 패스에 관해서는, PP[0]_CLUT 18, PP[0]_Data 16, PP[0]_ColExp를 포함한 픽셀 파이프 0의 전부가 멀티플렉서 [0]144로 이동하고, 픽셀 파이프 1의 전부가 멀티플렉서 [1]146로 동일하게 이동하고, 게다가 픽셀 파이프 2의 전부가 멀티플렉서 [2]148로 동일하게 이동한다.

후에 TCon(타이밍 컨트롤러)(142)를 참조하여 설명할 백색 서브 필드 기간 중에, Out Mux(128)로부터 클록된 데이터가 백색 레지스터(122)의 내용이기 때문에, Out Mux(128)의 정면의 픽셀 파이프는 이상적이고 최소한의 전력밖에 소비하지 않는다. 동일한 원리가 흑색 서브 필드 기간에도 적용된다. 그것이 언제라도 어느 Out Mux Out(128)의 입력이 선택되고 있는가는 Path Sel 논리 유닛(126)에 의하여 결정된다. WhiteOut(140)과 BlackOut(138)의 어느 것도 액티브되지 않는다면, Out Mux(128)에 의하여 선택된 입력은 DRS 레지스터(136)의 DRS.BPP 비트에 의하여 결정된다. TCon 유닛(142)으로부터의 필드 Cnt(2비트 값)(150)은 선택된 입력의 어떤 색성분이 Out Mux(128)로부터 출력되는지를 결정한다. 이 결정은 OutMux 유닛(128)의 FS 멀티플렉서(152)로 행해진다.

픽셀 파이프라인에서의 전력 관리 제어

전력 관리 제어(Power Management Control: PMC) 레지스터(도 12에 참조 번호 '160')는 픽셀 파이프라인(106)의 데이터 패스를 제한함으로써 픽셀 파이프라인(106)의 전력 소비를 제한할 수 있다. PMC 레지스터(160)의 PMC.State 비트는 하기의 [표 1]에 도시한 바와 같이 픽셀 파이프라인(106)을 제한하고 있다.

[표 1]

파워 다운 상태	PMC.State=00	PPL은 완전하게 동작 정지됨
스탠바이 상태	PMC.State=01	PP[n]_ColExp 데이터만이 Ch[n]로 출력됨
저 전력 상태	PMC.State=10	PP[n]CLUT18 데이터만이 Ch[n]로 출력됨
통상 사용 상태	PMC.State=11	PPL은 충분히 동작함

스탠바이 전력 상태에서는, 픽셀 파이프의 PP[n]_Col.Exp 데이터 패스(134)만이 작동 상태에 있다. Out Mux(128)의 3개의 입력 멀티플렉서[0]144, [1]146, 및 [2]148은 PP[n]_ColExp 입력만을 선택하도록 고정된다. FS 멀티플렉서(152)는 Red[m] 데이터만을 선택하도록 고정된다. 프레임 격납 메모리(102)의 각 픽셀은 1 비트 픽셀 데이터뿐이다. 각 프레임은 서브필드를 가지지 않는 오직 하나의 필드이다. 이 제한에 의하여, 프레임 격납 메모리(102)의 화면 리프레쉬 대역 요구를 1 프레임당 10킬로바이트보다 낮은 레벨까지 줄일 수 있다. 각 프레임이 1초당 10 프레임의 저속도로 리프레쉬되면, 메모리의 대역 요구는 1초당 0.1 메가바이트까지 줄일 수 있다. 낮은 대역 요구에 의하여 전력 손실이 작아지는 것은 물론이다.

저 전력 상태에서는 픽셀 파이프(130)의 PP[n]_CLUT(18)만이 작동 상태에 있다. Out Mux(128)의 3개의 입력 멀티플렉서 [0]144, [1]146, [2]148은 PP[n]_CLUT(18)의 입력만을 선택하도록 고정된다. FS 멀티플렉서(152)는 Red[m] 데이터만을 선택하도록 고정된다. 프레임 격납 메모리(102)의 각 픽셀은 2비트 픽셀, 4비트 픽셀 또는, 8비트 픽셀뿐이다. 각 프레임은 서브 필드를 갖고 있지 않는 오직 하나의 필드이다. 스탠바이 상태 동안에서와 같이, 이것은 스크린 화면 리프레쉬 메모리 대역 요구를 줄임으로써 메모리(102) 및 픽셀 파이프라인(106)의 전력 소비를 줄일 수 있다.

위상 록 루프 장치

도 12는 도 9에 도시된 FSC-TFT 디스플레이 컨트롤러(100)과 함께 이용하는데에 매우 적합한 위상 록 루프(PLL)(162)를 나타낸다. PLL(162)는 PMC(전력 관리 제어)레지스터(160)를 통해 다수의 다른 소스로부터 프로그램 가능하게 선택된 출력 클록(164)을 발생한다. PMC 레지스터(160)는 또한 PMC 레지스터(160)의 PMC.PO 비트(158)를 통해 출력 클록(164)을 게이트에서 오프 하는데에 사용되어도 좋다. PLL(162)는 N, VCO, M, P라고 표시한 4개의 컴포넌트로 구성되고, 여기에 PLL(162)의 출력은 하기의 식(1) 및 식(2)에 의하여 규정된다.

[수학식 1]

VCOfreq = (M/N) * Reference Clock_freq

[수학식 2]

PLL_Clock_freq = VCO_freq/(2P)

M, N, P 는 유닛 프로그램 가능한 레지스터 값이다. PLL(162)에 부여된 Reference Clock_freq(166)는 PMC 레지스터(160)의 PMC.PS 비트(154)에 의하여 결정된다. PLL_Clock_freq 는 도 12에 P로 표시된 유닛으로부터의 PLL(162) 출력이다.

위상 록 루프 유닛(162)는 도 12의 유닛 B를 포함한 클록 바이패스 패스(bypass path)를 포함하고, 이것에 의해 클록 출력을 유지하면서 PLL(162)을 오프시킬 수 있다. 클록 바이패스 패스는 1쌍의 프로그램 가능 또한 선택 가능한 주파수분주기를 구비하여 출력 클록 속도를 더욱 저감시킬 수 있다. PMC.PS 비트(154)에 의하여 제어되는 mux(168)와 B로 표시된 유닛을 통과하는 PMC.CS 비트(156)에 의하여 제어된 mux(170) 사이의 클록 바이패스 패스는 PLL(162)의 바이패스 패스이다. 이 바이패스 패스는 도 9에 도시된 FSC-TFT 디스플레이 컨트롤러(100)의 일부를 구성하는 PLL(162)의 특유의 적용이다. PMC 레지스터(160)의 PMC.State 비트(158)은 하기의 표 2에 도시된 바와 같이 컴포넌트 B를 제어한다.

[표 2]

파워 다운 상태	PMC.State=00	클록은 전혀 선택되어 있지 않음
스탠바이 상태	PMC.State=01	SBCDF 레지스터는 PLL 바이패스 클록의 분할 팩터로서 선택됨
저 전력 상태	PMC.State=10	LPCDF 레지스터는 PLL 바이패스 클록의 분할 팩터로서 선택됨
통상 가동 상태	PMC.State=11	NRCDF 레지스터는 PLL 바이패스 클록의 분할 팩터로서 선택됨

PMC.CS 비트(156)가 출력 클록(164)용의 바이패스 패스를 선택하고 있는 경 우, PMC.PS 비트(154)의 설정과 PMC .State 비트(158)의 설정이 출력 클록(164)을 결정한다. PCM.State 비트(158)의 설정에 의하여, PMC.PS 비트(154)에 의하여 선택된 어느 클록이든지, SBCDF 레지스터에 의하여 지정된 분주 팩터나 LPCDF 레지스터에 의하여 지정된 분할 팩터나, 또는, NRCDF에 의하여 지정된 분주 팩터의 어떤 것에 의하여 분할된다.

여기에서 SBCDF 레지스터, LPCDF 레지스터, NRCDF 레지스터는 유닛 B의 내부 소자이다. 출력 클록(164)의 이러한 광범위한 프로그램가능성에 의하여, 사용자가 디스플레이에 지시하고 있지 않을 때에는 전력을 절약하기 위해 PLL(162)이 차단되고 보다 저속인 출력 클록이 생성된다. 본건 명세서 중에서 설명한 모든 바이패스 클록 출력 주파수가 동작이 시작되기 전에 미리 결정되어 프로그램되고 있는 것은 물론이고, 또한, PMC 레지스터(160)의 PMC.State 비트(158)을 변경한 것 만으로 출력 클록(164)의 속도를 변경할 수 있다.

타이밍 컨트롤러

전술한 것처럼, FSC-TFT LCD 컨트롤러의 타이밍 컨트롤러는, 비 FSC-TFT LCD 컨트롤러보다도 많은 요구를 갖는다. FSC-TFT LCD 컨트롤러는 소스 드라이버 및 게이트 드라이버용의 타이밍 제어를 생성하지 않으면 안될 뿐만 아니라, 픽셀 파이프라인 및 디스플레이 패널 백라이트용의 필드 제어 및 서브 필드 제어도 생성하지 않으면 안된다. 소스 타이밍과 게이트 타이밍을 제어하는 타이밍 컨트롤러 방식은, 도 18에 도시된 소스 드라이버 타이밍 유닛과 게이트 드라이버 타이밍 유닛을 참조하면서 이하에 상세하게 설명한다.

타이밍 컨트롤러(TCon)유닛(도 9에 참조 번호 '114')은, 필드 제어부, 서브 필드 제어부, 디스플레이 패널의 백라이트 제어부 및 전술의 전력 관리 모드에 관련된 제어부를 갖는다.

필드 제어부 및 서브 필드 제어부

타이밍 컨트롤러(TCon)(114)안의 필드 제어부는 원하는 필드 시퀀스 순서에 따라, 3단계 또는 4단계에서 계수하는 카운터로 구성된다. 마스터 필드 제어(MFC) 레지스터의 MFC.FC 비트는 시퀀스 순서를 결정한다. 도 13은 FSC-TFT 디스플레이 컨트롤러(100)가 그 FSC 통상 가동 모드에 있을 때의 2개의 시퀀스 순서를 나타낸다. TCon(114)는 필드 카운트(FieldCount), 즉, 적색=00, 녹색=01 및 03, 청색=02 를 출력하지만, 이것은, 시스템 안의 다른 컴포넌트에 의하여 사용되어 언제든지 필드 기간이 출력되고 있는지를 알 수 있다.

서브 필드 제어부는, 도 13을 참조하면서 전술한 필드 제어부보다도 실질적으로 더 복잡하다. 2개의 부가적인 레지스터, 즉 도 14에 도시된 필드 카운트 0(FC0) 및 필드 카운트 1(FC1)는 서브 필드 제어부를 실행하는데에 필요하다. 서브 필드 타이밍 제어부는, 필드 타이밍 제어부와 마찬가지로, 카운터 기반이다. 서브 필드 카운터는, FC0 레지스터의 FC0.FdEnd 비트(172)의 설정에 의하여 8까지 카운트업할 수 있다. FC0.FdEnd 비트(172)는 필드 안의 서브 필드의 수를 규정한다. 카운터는 이 값까지 카운트하고 나서 0으로 리셋하고, 그 후, 다음 필드 기간 에 서브 필드를 카운트하기 시작한다. 전술한 것처럼, 기간은 흑색 기간(174), 백색 기간(176), 컬러 기간(178), 컬러 유지 기간(180)이다.

FC0 레지스터의 FC0.WhtStr 비트(182)는 흑색 기간(174)이 몇 개의 서브 필드인지를 결정한다. 서브 필드 카운터가 0로 설정된다면 흑색 필드가 시작되고, 서브 필드 카운터가 FC0.WhtStr(182)와 같게 된다면 종료한다.

흑색 기간(174)가 종료되면, 백색 기간(176)이 시작된다. FC0.WhtStr(182)가 0와 같으면 흑색 기간(174)은 존재하지 않고 제1의 서브 필드는 백색 서브 필드이다. BlackOut 신호는, 흑색 기간(174) 동안에만 액티브된다.

FC1 레지스터의 FC1.ColStr 비트(184)는 몇 개의 서브 필드가 백색 기간(176)에 관련되어 있는지를 결정한다. 서브 필드 카운터가 Fco.WhtStr(182)와 같다 된다면 백색 필드(176)이 시작되고, 서브 필드 카운터가 FC1.ColStr(184)와 같게 되면 종료한다. 백색 기간(176)이 종료되면, 컬러 기간(178)이 시작된다. FC1.ColStr(184)가 0 이거나 FCO.WhtStr(182)보다도 작으면, 백색 기간(176)은 존재하지 않는다. FC1.ColStr(184)가 0 라면, 제1 서브 필드는 컬러 서브 필드(178)이다. WhiteOut 신호는 백색 기간(176) 동안에만 액티브하다.

FC1 레지스터의 FC1.ColEnd 비트(186)는 몇개의 서브 필드가 컬러 기간(178)에 관련되는지를 결정한다. 컬러 필드는 서브 필드 카운터가 FC1.ColStr(184)와 같게 되면 시작하고, 서브 필드 카운터가 FC1.ColEnd(186)과 같게 되면 종료한다. 컬러 기간(178)이 종료되면, 컬러 유지 기간(180)이 시작된다. FC1.ColEnd(186)이 0 이거나 또는 FC1.ColStr(184)보다도 작다면, 컬러 기간(178)은 존재하지 않는다. FC1.ColStr(184)가 0 이면, 제1의 서브 필드는 컬러 유지 서브 필드이다.

FC1.ColEnd(186)이 FC0.FdEnd(172)와 같다면, 컬러 지지 기간(180)은 존재하지 않는다. 도 14를 계속 참조하면, 도시된 FC0 레지스터와 FC1 레지스터는 「Field n」라 하고 「Color Out n」의 기간에 1개의 흑색 서브 필드, 2개의 백색 서브 필드, 4개의 컬러 서브 필드, 1개의 지지 서브 필드를 생성하도록 프로그램되고 있다. 여기에서, n=[적

색, 녹색, 청색] 이다.

디스플레이 패널용 백라이트 제어

FSC-TFT 액정 디스플레이의 백라이트는, 비 FSC-TFT 액정 디스플레이로 사용되는 것에 유사한 단일의 백색 광원으로부터 생성되지 않는다. 그 대신에, FSC-TFT 액정 디스플레이의 백라이트는, 적색 광원, 녹색 광원, 청색 광원을 포함한 3개의 광원으로 구성되어 있다. 이러한 광원은 정확한 시퀀스 순서로 온/오프 교체되어야 하고, 또한, 도 15에 도시된 바와 같이, 픽셀 파이프라인(106)의 필드 선택과 동기되어야 한다. LEDr 신호를 이용하고 적색 백라이트를 온 하고, LEDg 신호는 녹색 백라이트를 온 하며, LEDb 신호는 청색 백라이트를 온 한다.

도 15는, 또한, 백라이트의 휘도를 제어하기 위해 얼마 동안(필드 기간중) 빛이 온 되는지, 즉, 빛을 발생하는지를 결정하기 위한 식을 나타낸다. 마스터 필드 제어(MFC) 레지스터에 의하여 제어된 필드 카운터는 어느 필드 기간 중에 LEDr 신호, LEDg 신호, LEDb 신호를 액티브시키는지를 결정하지만, 각 신호가 액티브되어 있는지 아닌지는 결정하지 않는다. 다른 쌍의 레지스터, 즉, LEDr 레지스터, LEDg 레지스터, LEDb 레지스터는 LEDr 신호, LEDg 신호, LEDb 신호가 액티브되어 있는지 아닌지를 결정하고, 각 LED를 얼마동안 발광시키는지를 결정하여 각 색마다의 휘도를 결정한다.

도 15를 참조하면, 필드 기간 n중에(n=r(적색), g(녹색), 또는 b(청색)), 「LEDn ON」은 이하의 규칙에 따라 액티브된다. 먼저, LEDn 레지스터의 LEDn.SFStr 비트는, 필드 n 동안에 어느 서브 필드의 「LEDn ON」 신호가 액티브 되는지를 규정한다. 두번째로, LEDn 레지스터의 LEDn.LineStr 비트는 필드 n 및 서브 필드 LEDn.SFStr 의 어느 라인 리프레쉬 기간중에, 「LEDn ON」 신호가 액티브하게 되는지를 규정한다. 도 16은 필드 n 의 제6번째의 서브 필드의 제7번째의 라인의 리프레쉬중에 「LEDn On」 신호가 액티브되는 것을 보여주고 있고, 이 때, n 백라이트가 발광하기 시작한다. 「LEDn On」 신호는 필드 n 의 최후까지 온 상태 그대로이다. FSC-TFT 디스플레이 컨트롤러(100)이 서브 필드 타이밍이 액티브한 FSC-TFT LCD 컨트롤러로서 구성되고, 또한, 통상 가동 전력 상태(PMC.State=11)로 가동하고 있는 경우에 백라이트 제어의 이 방법이 사용된다.

LEDn 레지스터를 줄인 것은 휘도 제어를 줄인 것이 되어, 「LEDn On」 신호는 각각의 필드 기간의 전기간에 걸쳐 전부가 액티브되는 것은 물론이다. 서브 필드를 고려하지 않는다면, 휘도 제어를 하는 이 방법의 간이 버전을 이용해도 좋고, LEDn은 라인 리프레쉬 기간만 카운트한다. FSC-TFT 디스플레이 컨트롤러(100)가 서브 필드 타이밍이 액티브되지 않은 FSC-TFT LCD 컨트롤러로서 구성되고 통상 가동 전력 상태 (PMC.State=11) 로 가동한 경우에, 백라이트 제어 방법이 사용된다.

물론, 필드를 완전히 고려하지 않는다면 다른 방법을 이용하여야 하고, 다른 쌍의 레지스터를 사용하여야 한다. 이것은 FSC-TFT 디스플레이 컨트롤러(100)가 스탠바이 전력 모드(PMC.State=01)에 있는 경우의 사례이다. 전술한 바와 같이, 스탠바이 전력 모드에 있을 때는 1비트 픽셀만이 사용된다. 각 픽셀은 흑색 또는 컬러의 어느 하나이다. 컬러는 백라이트 설정에 의하여 규정된다. 도 17에 도시된 레지스터는 이 설정을 제어한다. 통상 스탠바이 컬러(SBCc)레지스터(188)는, 각 LEDn 신호를 액티브시킬 수 있는(여기에서, n = [r,g, 또는, b]) 최대 기간(단위는 라인리프레쉬 기간)을 규정한다.

이들 3 개의 LEDn 신호의 전부가 SBC 레지스터(188)에 프로그램된 전기간에 걸쳐 액티브된 경우, 백라이트 컬러는 백색이 된다. 각 LEDn 신호는, 또한 이것에 관련된 SBCn 레지스터를 갖고 있고, 이 레지스터는 각 LEDn이 그 할당한 기간중에 액티브되지 않은 기간이 얼마의 라인 단위인지를 규정한다. SBCr 레지스터(190)가 0 수치로 프로그램되어 있고, 또한, SBCg 레지스터(192)와 SBCb 레지스터(194)의 양쪽이 각각 프로그램에 의하여 SBCc 레지스터(188)에 프로그램된 동일값으로 프로그램된 경우에, 백라이트 컬러는 적색이 된다. 도 17은 이 개념의 도식화된 이름 모델을 나타낸다.

소스 드라이버 타이밍 유닛 및 게이트 드라이버 타이밍 유닛

도 18은 FSC-TFT 액정 디스플레이 컨트롤러(100), 소스 드라이버(116a, 116b), 게이트 드라이버(118a, 118b), 디스플레이 패널(200)으로 된 1개의 구성을 나타내는 단순화된 블록도이다. 픽셀의 표시 데이터에 따른 소스 전압을 생성하기 위해, 소스 드라이버(116a, 116b)에 의하여 사용된 감마 전압(196)이 도시되어 있다. 소스 드라이버(116a, 116b)는, 액정 디스플레이 컨트롤러(100)로부터 픽셀의 표시 데이터 CH[n][m](198)를 스트림 포맷으로 입력 버퍼에 수신한다. 여기에서, CH[n][m]는 픽셀 파이프라인(106)의 3개의 출력 채널이다. 픽셀 스트림은 HSCLK 클록(202)로 클록 제어되어 소스 드라이버(116a, 116b)의 버퍼로 입력된다. 입력 버퍼는 1라인분 모든 픽셀의 표시 데이터를 유지한다. 입력 버퍼에 클록 제어로 받아들여진 1라인분의 픽셀 표시 데이터의 전부가 소스 드라이버(116a, 116b) 내부의 출력 버퍼로 TP1 클록(204)과 동시에 전송된다. FSC-TFT 디스플레이의 경우는 1개의 라인의 픽셀중의 모든 픽셀에 각각 독립한 소스 드라이버 출력이 접속된다. 비 FSC-TFT 디스플레이의 경우는 1개의 라인의 픽셀중의 모든 서브 픽셀 데이터에 각각 독립한 소스 드라이버 출력이 접속된다.

이들 소스 드라이버(116a, 116b)의 출력의 전부가 동시에 구동된다. HSP[n]신호(도 8에 도시됨)는, 언제 새로운 라인의 데이터를 그 입력 버퍼로 수신하기 시작해야 하는가를 소스 드라이버 n에 알려준다. 게이트 드라이버(118a, 118b)는 데이터를 전혀 수신하지 않고 클록 정보만을 수신한다. FSC-TFT 액정 디스플레이 컨트롤러(100)는 TP1 클록(204) 펄스를 생성하여 소스 드라이버(116a, 116b)에 보낼 때마다, 게이트 드라이버(118a, 118b)에 보내지는 VSCLK 클록(206)에 근거한 펄스를 생성해야 한다. VSCLK 클록(206)에 의하여 게이트 드라이버(118a, 118b)는 다음 라인에 접속된 TFT 트랜지스터를 게이트 온 시킨다. 게이트 드라이버(118a, 118b)는, 디스플레이 패널(200)의 모든 라인에 각각 독립한 라인 출력이 접속된다. VSP[1]신호(208)를 이용하여, 제1의 게이트 드라이버(118a)이 제1 라인의 픽셀에 관하여 어느 시간에 게이트 온해야 하는가를 지시한다. VSP[2]신호(210)을 이용하여, 제2의 게이트 드라이버 118b(시스템 설계에 존재하면)가 이것에 장착된 제1 라인에 관하여 언제 게이트 온해야 하는가를 지시한다. 2개의 게이트 드라이버(118a, 118b)가 동시에 게이트 온 해야 하는 것을 아니다. 하기의 표3은 도 18에 도시된 신호의 정의이다.

[표 3]

CH[0][[5-0], CH[1][5-0], CH[2][5-0]	드라이버로의 3개의 6비트 채널
HSCLK	소스 드라이버로 데이터를 클록 하는데 사용되는 수평 시프트 클록
TP1	소스 드라이버에 의하여 사용되어 시프트 레지스터로부터 출력 레지스터로 데이터를 전송하는 전송 클록
HSP1, HSP2	소스 드라이버에 의하여 사용되어, 3개의 입력 채널로부터 다른 라인의 데이터를 수신하기 위해 각각의 시프트 레지스터를 클리어(clear)하는 시작 가능화 신호
REV	소스 드라이버 출력의 극성을 규정하기 위해 사용되는 극성 클록
VSCLK	게이트 가능화 펄스를 디스플레이의 다음 라인에 시프트 또는 전진시키는데 사용되는 수직 시프트 클록
VSP1, VSP2	출력 게이트로부터 게이트 드라이버의 출력 게이트로 다른 게이트 가능화 펄스가 전진 또는 진행하도록 사용되는 수직 시작 펄스

도 19는, 2프레임(전형적인 비 FSC-TFT LCD)에 걸치는 LDC 디스플레이(100)의 출력(소스 및 게이트 입력) 타이밍 신호의 전부를 나타내는 파형 타이밍 도이고, 2개의 서브 필드(전형적인 FSC-TFT LCD) 기간 게이트 출력 신호(Outx)가 명료화를 위해 도시되고 있다.

도 19에 도시된 파형과 관련된 타이밍 파라미터를 제어하는 레지스터를 도 20~도 32를 참조하면서 이하에서 설명한다. 여기에 사용하는 용어「프레임」은, 1 개의 완전한 스크린 리프레쉬 주기의 래스터(raster) 기간을 말한다. LCD 패널(200)이 비 FST TFT LCD 패널이라면, 1개의 완전한 리프레쉬 주기는 사실상 1프레임이지만, FSC-TFT LCD 패널이라면, 1개의 완전한 리프레쉬 주기는 1서브 필드이다. 따라서, FSC-TFT LCD 타이밍을 다루는 경우,「프레임」이라고 한 단어는 필드이다.

TFT 액정 디스플레이용의 게이트 드라이버는, 제1의 게이트 출력「OUT1」이 액티브되기 전, VSP[n]펄스 뒤에 몇개의 VSCLK 펄스를 요구한다. 게다가, TFT LCD 패널은 전압 극성 또는 다른 전류 관리 동작을 반전시키기 위해, 프레임 사이에 약간의「라인 기간」을 필요로 한다. FSC-TFT 디스플레이 컨트롤러(100)의 게이트 드라이버 타이밍 제어는 도 21에 도시된 제1 게이트 액티브(FGAn) 레지스터와 최종 게이트 액티브(LGAn) 레지스터에 관한 상기 2개의 변수를 프로그램 제어하는 것을 가능하게 한다.

도 20은,「제1 게이트 액티브」대기 기간과 「최종 게이트 액티브」유지 기간(회색 박스를 참조)을 그래프 형식으로 나타낸 시각적인 모델이다. VSP[1] 펄스가 프레임(필드) 기간의 시작을 나타내면, 도 20에 의하여 제시된 프레임 오버 랩을 받아들여야 한다.

「최종 기간」은 VSCLK 클록의 액티브 에지에서 시작하고 VSCLK의 다음 액티브 에지에서 끝난다. 게이트 드라이버 타이밍 제어에 관련한 레지스터에 프로그램된 값은 수 유닛의 VSCLK 클록이고, 이들은 전부 VSP[1]이 낮은 레벨로 이행한 후, VSCLK의 제1액티브 유닛 에지에서 카운트를 시작한다. OPP.VSCLK=0 라면, VSCLK의 액티브 에지는 상승하는 에지이다. OPP.VSCLK=1 이라면, VSCLK의 액티브 에지는 하강하는 에지이다.

「제 1 게이트 액티브」 대기 기간은 라인 기간에 측정된다. FGA 1 레지스터에 프로그램된 값은 제1의 출력 펄스(즉, 게이트 드라이버(1)의 OUT1 이 높은 레벨으로 이행함)가 게이트 드라이버(1)에 의하여 생성되기 전에, VSP[1]신호가 낮은 레벨로 이행한 후의 라인의 수(즉, VSCLK 클록) 이다. 이 값이 0 이면, VSP[1] 신호가 액티브하게 된 후의 VSCLK의 바로 제1의 액티브 에지가 소스 드라이버(116a, 116b)에 출력되어야 할 데이터의 제1 라인의 시작을 나타낸다.

제1 라인의 전송 펄스(TP1)는, 도 25에 나타내는 DT 레지스터에 의한 액티브 에지를 기준으로 한다. 새로운 프레임(또는 필드)의 제1 라인(게이트 드라이버(118a, 118b)의 OUT1 의 펄스가 낮게 된 직전의 라인 기간과 같다)은 VSP[1]이 아직 액티브한 동안 VSCLK의 1번선의 액티브 에지 뒤의 0과 63VSCLK 사이의 범위에서 시작되도록 프로그램되어도 좋다.

카운트는 VSCLK 의 액티브 에지에서 마크된다. FGA2 레지스터에 프로그램된 값은 VSP[2]신호가 액티브하게 되기 전(시스템 설계에 제2 게이트가 존재한다면)에 VSP[1] 신호의 액티브 에지가 액티브 된 후의 라인 수(즉, VSCLK 클록)이다. FGA2 가 FGA1 에 프로그램된 값보다도 낮은 값으로 프로그램되어 있는 경우에는, VSP[2]가 액티브되지 않는다.

도 22에 도시된 LGA 레지스터는, 다음 프레임(또는 필드)의 제1 라인에 대하여 선행한 프레임(또는 필드)의 최종 라인을 규정한다. 이 값은 다음 프레임의 제1 라인이 생기기 전, 0부터 256 VSCLK 기간의 사이의 범위에서 생기도록 프로그램되어도 좋다.

이 카운트는 VSCLK의 액티브 에지에서 마크된다. 제로(0)의 프로그램 값은 선행한 프레임의 최종 라인과 다음 프레임의 제1 라인과의 사이에 「데드」 라인 기간이 존재하지 않는 것을 나타낸다. 여기서, LGA=라인 카운트 합계-총 액티브 라인 수이다. LGA 레지스터는, 실제로는「라인 블랭킹」 제어로서 확인할 수 있다. 프레임 오버 랩을 이용할 수 없는 경우는 블랭크 라인을 삽입할 필요는 없다.

게이트 드라이버는 게이트 출력의 액티브 기간을 결정하기 위해 VSCLK의 듀티 사이클을 이용한다. 이와 같은 게이트 드라이버의 출력은 VSCLK가 하이(high)일 때는「구동하고 있는」 상태이고, 로우(low)일 때는「구동하지 않는」 상태이다. 게이트 출력의 이러한「구동하지 않는」 기간중에는, 소스 드라이버로의 전압 출력을 변경해도 좋고, 또는, 극성을 반전시켜도 좋다. 다른 디스플레이 패널은 이와 같은 여러 가지의 특성을 갖고 있기 때문에, 이「구동하지 않는」 기간을 표준화할 수 없다. 따라서, OTCon(142)로 프로그램 가능하게 하는 것에 의하여, LCD 컨트롤러(100)가 지원할 수 있는 타 패널 및 패널 판매자의 수가 증대한다.

도 23에 도시된 VCH[n]레지스터 세트는, VSCLK의 듀티 사이클을 제어한다. VCH[n]레지스터 세트는 1개의 VSCLK 클록 기간 동안에 몇 개의 OutClkT 기간에 걸쳐 VSCLK 클록이 액티브한지를 결정한다. 0이라는 값에 의하여, 1개의 OutClkT 기간과 동일한 VSVLK 클록 액티브 기간이 생긴다. '511'이라는 최대값에 의하여 '512'의 OutClkT 기간과 같은 VSCLK 클록 하이 기간이 생긴다. 이것에 의해, VSCLK의 액티브 기간이 1~5120 OutClkT 기간을 가질 수 있다. VSCLK 클록의 액티브 기간은, VSCLK 클록의 액티브 에지와 비 액티브 에지와의 사이의 기간이다. 액티브 에지가 클록이 상승하는 에지라면, VSCLK 의 액티브 기간은 VSCLK 이 하이인 기간이 된다. VSCLK의 합계 기간은, HSCLK의 기간(OutClkT)으로 승산한 DRS 레지스터의 값과 같다.

OutClkT 기간은 HSCLK 의 주기 기간이다. VCH 레지스터 세트가 DRS 레지스터보다도 큰 값으로 프로그램되면, VSCLK 클록이 비 액티브하게 되지 않을 것이다.

다른 게이트 드라이버는, 게이트 출력의 액티브 기간을 결정하는데에 부가적인 출력 신호, 즉, VOE를 필요로 한다. 이들 게이트 드라이버로의 출력은, VOE 신호가 액티브할 때는 선택되고 있는 라인이 게이트 온 하고, 비 액티브하면 모든 라인이 게이트 오프 한다. 도 24에 도시된 VOE[n]레지스터 세트는 VOE의 액티브 기간을 제어한다. VOE[n]레지스터 세트는, 1개의 VSCLK 클록 기간 동안에 몇 개의 OutClkT 기간에 걸쳐 VOE 신호가 액티브인지를 결정한다. 0의 값에 의하여, VOE 신호는 결코 액티브하게 되지 않는다. VOE[n]가 1개의 VSCLK 클록 기간보다도 길게 액티브되도록 프로그램되어 있으면, VSCLK 클록이 종료되기 전에, 1개의 OutClkT 기간을 자동적으로 끝나게 한다.

그렇지만, 프로그램 제어에 의해서 게이트 드라이버 출력 액티브 기간(VSCLK 상승 에지)과 소스 드라이버 데이터 전송 타이밍(TP1 상승 에지)과의 사이의 타이밍 관계를 조절하는 것이 필요하다. 이 타이밍 관계를 1 개의 OutClkT 기간의 범위내에 조절하기 위해, 도 25에 도시된 DT 레지스터가 추가되어 있다.

이 레지스터의 값은, 전송 펄스(TP1)가 액티브로 되기 전에 VSCLK가 액티브하게 된 후 몇 개의 OutClkT 기간이 액티브하게 되는지를 결정한다. VSCLK가 액티브로 된 후, 영(0)으로부터 630 OutClkT 의 기간의 사이의 범위내에서 TP1 전송 펄스를 프로그램해도 좋다. 이것은 모든 표시 라인의 개시시에만으로 일어난다.

DT 레지스터가 0 값으로 프로그램되면, TP1은 VSCLK 클록이 액티브 되는 것(VSP[1]이 로우)과 동일한 HSCLK의 액티브 에지에서 액티브하게 된다. DT 레지스터가 1의 값으로 프로그램되면, TP1은 VSCLK가 액티브 된 후 1개의 HSCLK 기간에 액티브 된다. 이것은 모든 표시 라인의 개시시에만 일어난다.

도 26에 도시된 TP1H는 TP1 신호가 액티브한 HSCLK 클록 사이클의 수를 규정한다. TP1 신호는 (TP1H.Cnt + 1)의 HSCLK 사이클에 액티브하다. TPlH.Cnt = 0 라면, TP1 은 1개의 HSCLK 클록 사이클에 액티브하다. 1~64 Out ClkT 기간의 범위내에서 액티브하게 되도록 프로그램해도 좋다. 이것은, 모든 표시 라인의 개시시에만 발생한다.

본건 발명자는, 전송 펄스(TP1)가 발생한 후 각 소스 드라이버(116a, 116b)마다 소스 드라이버(116a, 116b)로 시프트 레지스터가 클리어되기까지의 기간을 결정한 방법을 제공하는 것이 필요한 것을 생각해 냈다.

도 27에 도시한 HSPW[n]레지스터는 HSCLK 클록 사이클로써 각 HSP 신호에 관한 이 패러미터를 규정한다. TP1을 하이에 설정한 HSCLK의 액티브 클록 에지 후, 0~511 HSCK 기간의 범위에서 발생하도록 HSP[n]신호의 액티브 에지를 프로그램해도 좋다. HSPW[n] 를 0 값에 프로그램하면, TP1을 액티브하게 설정한 것과 동일한 액 티브 HSCLK 클록 에지를 이용하여 HSP[n]를 액티브하게 설정할 수 있다. HSPW[n]를 1의 값에 프로그램하면, TP1 이 액티브 설정된 후의 처음의 액티브 HSCLK 클록 에지를 이용하여 HSP[n]를 액티브하게 설정할 수 있다.

본건 발명자는 또한, HSP[1] 펄스가 소스 드라이버에서 발생한 후 소스 드라이버(116a)로의 유효 데이터가 시작할 수 있게 되기까지의 기간을 결정하는 방법을 제공하는 것이 필요한 것을 생각해 냈다.

도 28에 도시된 NLA 레지스터는 HSCLK 클록 사이클에 의하여 HSP[1] 신호에 관한 이 패러미터를 규정한다. HSP[1] 신호를 액티브하게 설정한 HSCLK 액티브 에지로부터 0~16 의 HSCLK 기간의 범위에서 데이터를 지연해도 좋다. NLA 레지스터가 0 값으로 프로그램되면, HSP[1]를 액티브하게 설정한 것과 동일한 HSCLK 클록 에지를 이용하여, CH[n][m]버스에 1라인의 최초 유효 데이터를 둘 수 있다.

NLA 레지스터가 1 값으로 프로그램되면, HSP[1]가 액티브하게 된 후의 최초 HSCLK 클록 에지를 이용하여 CH[n][m]버스에 1라인의 최초 유효 데이터를 둘 수 있다. 이것은, 모든 표시 라인의 개시시에 일어난다. 입력 대기 제어와 후속 라인 액티브 프로그램 제어는 픽셀 블랭킹 특성으로서 볼 수 있다. 이들은 함께 1라인 중의 블랭크 픽셀의 수를 규정한다.

도 29에 도시한 LDA 레지스터는 어떤 라인에 관한 최종 유효 데이터를 CH[n][ml 버스에 두고, 해당 라인에 관하여 TP1 펄스가 액티브로 되고 나서 HSCLK의 최초 액티브 에지 후에 잔존하는 HSCLK 클록 사이클이 몇 개 있는지를 규정한다.

소스 드라이버(116a)의 출력 버퍼에 데이터를 전송하기 위해 TP1 신호가 액티브하게 된다. LDA.Cnt 값은, 어떤 라인의 최종 유효 데이터가 출력된 후, 1라인의 데이터로 잔존하고 있는 유효한 HSCLK 클록 사이클의 수를 규정한다.

TP1 이 하이가 된 후의 HSCLK 신호의 최초의 액티브 에지는, HSCLK 클록의 액티브 에지에 의하여 CH[n][m]버스에 어떤 라인의 최후의 유효 출력이 클록 된 후의「LDA.Cnt + 1」HSCLK 클록 사이클이다. LDA가 0 이면 최종 픽셀을 CH[n][m]버스에 래치한 것과 동일한 HSCLK 상승 클록 에지에서 TP1 신호는 액티브하게 된다.

LDA가 1이라면, CH[n][m]버스의 최종 픽셀의 후의 1클록 사이클이 생기는 액티브 HSCLK 에지에서 TP1 신호가 액티브하게 된다. 이것은 모든 표시 라인의 끝만으로 일어난다.

전술한 것처럼, 도 10에 도시된 출력 타이밍 컨트롤러(OTCon)(142)는 일반화된 클록 및 전력 관리 제어의 모든 소스(source)이다. 수많은 특별한 전력 관리 및 디스플레이 천이 타이밍의 설정은 2개만의 레지스터, 즉, 도 12를 참조하여 전술한 PMC(전력 관리 제어) 레지스터(160)와 OTCon(142)의 내부에 실장된 MFC(마스터 필드 제어) 레지스터에 의하여 규정된다. 도 30을 참조하면, REV 마스터 레지스터는 REV 신호가 1 라인마다 또는 1 프레임마다 토글 하는지 안하는지를 결정한다. FSC-TFT 프레임 토글은, 예를 들면, REVMT.T=00 인 때에 설정된다.

뒤이어 REV 신호는 상술한 MFC 레지스터의 FC 값에 따라 토글 한다. MFC 레지스터에는 3개까지의 토글링 스킴(scheme)(1개의 3필드 프레임 및 2개의 4필드 프레임)이 규정된다. 적색 서브 필드에 관련된 VSP[1] 펄스는 항상 REV 토글을 트리 거한다. REV 신호는 VSP[1]가 액티브하게 된 후, VSCLK 의 최초 액티브 에지 후의 VSCLK REVW.cnt 클록 사이클의 액티브 에지에서 토글 된다.

한 실시예에 의하면, LCD 컨트롤러(100)가 FSC-TFT 액정 디스플레이 어플리케이션으로 사용될 때, REVMT.T=00로 설정되어야 한다. 「스탠바이」모드나 「저 전력」모드에 관해서는, FSC-TFT 프레임의 토글은 비 FSC-TFT 프레임의 토글과 동일하다.

REVM · T=10 일 때, 비 FSC-TFT 프레임 토글이 세트된다. REV 신호는 모든 VSP[1] 펄스로 토글 한다. VSP[1]가 액티브한 동안, 처음의 액티브 에지 VSCLK의 후의 VSCLKRVM.cont 클록의 액티브 에지에서 REV 신호가 토글된다.

REVM.T=11 일 때, 비 FSC-TFT 라인 토글이 설정된다. VSP[1]이 액티브한 동안, HSCLK의 최초 액티브 에지에서 REV 신호가 토글 된다.

도 31에 도시된 REVW 레지스터는, REVM.T=X0 일 때 사용된다(프레임 토글). 이 레지스터는 VSP[1]이 액티브하게 된 후 REV 신호를 토글하기 전, VSCLK 의 최초 액티브 에지의 후에 대기하다 VSCLK 클록의 수를 규정한다. REVW.Cnt=0 이라면, VSP[1]가 액티브하게 된 후의 VSCLK 의 최초 액티브 에지가 REV 신호가 토글 할 때를 마크한다.

도 8~도 32를 참조하여 전술한 디스플레이 컨트롤러(100)에 관련된 몇 개의 출력 핀의 극성은 프로그램 가능하게 선택되어도 좋다. 이들 핀의 극성 선택을 규정하기 위해, 도 32에 나타내는 출력 핀 극성(OPP) 레지스터가 제공된다. 한 실시예는 아래와 같이 정의된다.

OPP.HP : 핀 HSP[1,2]에 관한 극성 선택

0=HSP[1] 및 HSP[2]는 액티브 로우 신호이다.

1=HSP[1] 및 HSP[2]는 액티브 하이 신호이다.

OPP.TP : 핀 TP1에 관한 극성 선택

0=TP1 은 액티브 로우 신호이다.

1=TP1 은 액티브 하이 신호이다.

OPP.VP : 핀 VSP[1,2]에 관한 극성 선택

0=VSP[1] 및 HSP[2]는 액티브 로우 신호이다.

1=VSP[1] 및 HSP[2]는 액티브 하이 신호이다.

OPP.OE : 핀 VOE에 관한 극성 선택

0=VOE는 액티브 로우 신호이다.

1=VOE는 액티브 하이 신호이다.

OPP.VC : 핀 VSCLK에 관한 극성 선택

0=VSCLK의 액티브 에지는 하강 에지이다(하이로부터 로우로의 천이).

1=VSCLK의 액티브 에지는 상승 에지이다 (로우로부터 하이로의 천이).

OPPHC : 핀 HSCLK에 관한 극성 선택

0=HSCLK의 액티브 에지는 하강 에지이다(하이로부터 로우로의 천이)

1=HSCLK의 액티브 에지는 상승 에지이다(로우로부터 하이로의 천이)

요약하면, 앞의 레지스터의 정의와 그것들이 제어한 파형 타이밍으로 부터 알 수 있듯이, 도 19를 특히 참조하면서 먼저 설명했지만, 게이트 드라이버 또는 소스 드라이버를 제어하는 표준적 방법은 존재하지 않는다. 비용 효율을 위해 광범한 게이트 드라이버 및 소스 드라이버와 인터페이스 및 이들 드라이버를 제어하는 것에 적합한 태양으로 FSC-TFT 디스플레이 컨트롤러와 비 FSC-TFT 디스플레이 컨트롤러가 집적되는 것은 중요하다.

이 목표를 달성하기 위해 본 명세서에 개시한 특정한 기술은, 특히, 프로그램 가능한 게이트 및 소스 드라이버의 인터페이스를 동해 실시되고 있다. 예를 들면, 전력 관리 제어(PMC) 레지스터는, 디스플레이 컨트롤러(100)의 모든 컴포넌트에 걸쳐 광범한 효과를 갖는다.

어떤 사례에서는, 픽셀 파이프라인(106)과 같은 컴포넌트를 제한된 동작 모드에 편입하였다. 다른 예에서는, TCon(114) 유닛 등의 컴포넌트를 제어용의 프로그램 가능한 레지스터의 세트들 사이에서 변환시켰다. PLL(162)등의 컴포넌트를 동작 중지 시키는 것도 가능하다. 이것은, 휴대 전화나 PDA 와 같은 휴대 기기에 있어서는 강력한 특성이다. 이 특성에 의하여, 오퍼레이팅 시스템이 1개의 레지스터에 1번의 기록 동작을 행한 것만으로 디스플레이 장치의 성격이나 전력 소비량을 변경할 수 있기 때문이다. 이 특징은 컴포넌트의 전부가 동일한 1개의 다이에 집적되고 있지 않으면 실현할 수 없고, 게다가, 비용 효율이 좋아지지 않는다는 것을 바로 알 수 있다.

더욱, 백라이트의 온/오프 듀티 사이클 관계를 제어하는 것으로 백라이트의 휘도를 제어하는 능력은 종래는 행해지고 있지 않았다. 지금까지, 백라이트휘도는 백라이트의 전류를 조절하는 것에 의하여 제어되어 왔다.

프로그램 가능한 게이트 및 소스 드라이버의 타이밍은 디스플레이 장치 컨트롤러에 관련되어 사용된 것은 지금까지는 없었다. 지금까지, 모든 액정 디스플레이가 특정한 디스플레이 패널의 요구에 맞도록 특별주문 된 특유의 타이밍 컨트롤러에 따라 기능하도록 요구되어 왔다. 따라서, 디스플레이 컨트롤러(100)의 프로그램 가능한 타이밍 제어는 디스플레이 타이밍 컨트롤러 기술에 있어 상당한 전진이고, 종래 공지인 설계법을 진부 내지는 상대가 되지 않도록 하였다.

상술의 설명으로부터, 본 발명은 FSC-TFT 디스플레이 장치 및 컬러 필터 TFT 디스플레이 장치, 즉 비 FSC-TFT 디스플레이 장치의 기술을 현저하게 진보시킨 것을 알 수 있을 것이다. 더욱이, FSC-TFT 컨트롤러 및 비 FSC-TFT 컨트롤러의 기술 분야의 당업자에게 신규 원리를 적용하는데에 필요한 정보 및 필요에따라 이와 같은 특수한 컴포넌트를 구축 및 사용하는데도 필요로 된 정보를 제공하기 위해 본 발명을 상세히 설명하였다. 전술한 설명에 의하여, 본 발명은 구조 및 동작에 관하여 선행 기술으로부터 크게 떨어져 있는 것은 분명하다. 본 발명의 특정한 실시례를 여기에 상세히 설명했지만, 청구의 범위의 각 청구항에서 규정된 본 발명의 사상 및 범위로부터 일탈되지 않고 다양한 변경, 수정, 치환을 할 수 있는 것은 물론이다.

(57) 청구의 범위

청구항 1.
외부에서 공급된 TFT 표시 데이터를 기억하도록 동작하는 프레임 버퍼와,

타이밍 컨트롤러와,

이 타이밍 컨트롤러에 의하여 발생된 신호에 응답하여, TFT 표시 데이터를 읽어들이고 원하는 표시 포맷으로 변환하도록 동작하는 픽셀 파이프라인(PPL)과,

상기 타이밍 컨트롤러에 의하여 발생된 신호에 응답하여, TFT 디스플레이의 표시를 제어하도록 동작하는 소스／게이트 드라이버 제어부가 1개의 다이에 집적되어 있는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 2.
제1항에 있어서,

상기 타이밍 컨트롤러에 의하여 발생된 신호에 응답하여, 상기 PPL이 소스/게이트 드라이버 제어부에 상기 TFT 표시 데이터와는 무관한 고정 데이터를 출력하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 3.
제2항에 있어서,

상기 타이밍 컨트롤러는, 상기 PPL로부터의 변환된 포맷의 상기 TFT 표시 데이터의 출력과 상기 고정 데이터의 출력을 일정한 주기 또한 일정한 시간 비율로 전환하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 4.
제3항에 있어서,

상기 고정 데이터에 의하여 흑 표시하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 5.
제3항에 있어서,

상기 변환된 TFT 표시 데이터를 TFT 디스플레이에 표시하기 위한 주파수를 결정하는 수단을 더 포함하고,

상기 주파수 결정 수단은 프로그램 가능한 위상 록 루프를 포함하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 6.
제1항에 있어서,

상기 PPL은, 상기 타이밍 컨트롤러에 의하여 FSC-TFT 디스플레이용과 비 FSC-TFT 디스플레이용으로 전환 가능한 것을 특징으로 하는 TFT 디스플레이용 컨트롤러.

청구항 7.
제3항에 있어서,

상기 일정한 주기 또한 일정한 시간 비율이 프로그램 가능한 것을 특징으로 하는 TFT 디스플레이용 컨트롤러.

청구항 8.
제3항에 있어서,

복수의 전력 관리 모드에 대응한 전력 관리 제어 레지스터를 더 포함하고,

상기 TFT 표시 데이터의 출력과 상기 고정 데이터의 출력을 각 전력 관리 모드마다 독립적인 일정한 주기 또한 일정한 시간 비율로 전환하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 9.
TFT 표시 데이터를 기억하도록 동작하는 프레임 버퍼와,

프로그램 가능한 타이밍 컨트롤러와,

프로그램 가능한 타이밍 컨트롤러에 의하여 발생된 신호에 응답하여, TFT 표시 데이터를 읽어들이고 원하는 TFT 디스플레이 표시 포맷으로 변환하도록 동작하는 프로그램 가능한 픽셀 파이프라인(PPL)과,

프로그램 가능한 타이밍 컨트롤러에 의하여 발생된 신호에 응답하여, TFT 디스플레이의 백라이트를 제어하도록 동작하는 프로그램 가능한 색광 시퀀서와,

프로그램 가능한 타이밍 컨트롤러에 의하여 발생된 신호에 응답하여, PPL 에 의하여 변환된 TFT 표시 데이터의 필드 순차 컬러 디스플레이 및 비 필드 순차 컬러 디스플레이를 포함하는 군으로부터 선택된 원하는 TFT 디스플레이의 표시를 제어하도록 동작하는, 프로그램 가능한 TFT 디스플레이의 소스/게이트 드라이버 제어부를 가지는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 10.
제9항에 있어서,

프레임 버퍼와, PPL과, 색광 시퀀스서와, 프로그램 가능한 소스/게이트 드라 이버 제어부와 프로그램 가능한 타이밍 컨트롤러가 1개의 다이 위에 집적되어 있는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 11.
제9항에 있어서,

기억된 데이터에 따라, PPL에 의하여 변환된 TFT 표시 데이터의 표시를 위한 주파수를 결정하기 위한 프로그램 가능 위상 록 루프를 더 구비하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 12.
제9항에 있어서,

상기 PPL이 복수개의 병렬 픽셀 파이프를 갖는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 13.
제12항에 있어서,

상기 PPL이 흑백 고정색 데이터 레지스터를 포함하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 14.
제13항에 있어서,

상기 PPL이 디스플레이 래스터 설정(DRS) 레지스터를 갖는 패스 선택 로직을 포함하고, DRS 에 기억된 데이터가 원하는 TFT 표시 포맷을 결정하게 되어 있는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 15.
제9항에 있어서,

전력 관리 제어(Power Management Control－PMC) 레지스터를 더 구비하고, PLL이 PPL의 데이터 패스를 제어하여 PPL의 전력 소비를 관리시키도록 PMC에 기억된 데이터가 PLL에 대응하는 출력 주파수를 결정한 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 16.
제9항에 있어서,

프로그램 가능한 타이밍 컨트롤러가 PPL 및 백라이트용의 필드 및 서브 필드 타이밍 신호를 발생하도록 동작하는 필드 제어부 및 서브 필드 제어부를 포함하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 17.
TFT 표시 데이터를 기억하는 수단과,

전력 관리 제어 데이터를 기억하는 수단과,

타이밍 제어 신호를 발생하는 수단과,

타이밍 제어 신호에 응답하여, TFT 표시 데이터를 읽어들이고 원하는 TFT 표시 포맷으로 변환하는 수단과,

타이밍 제어 신호에 응답하여, TFT 디스플레이 백라이트를 제어한 수단과,

타이밍 컨트롤러 신호에 응답하여, 변환된 TFT 표시 데이터의 필드 순차 컬러 디스플레이 및 비 필드 순차 컬러 디스플레이를 포함하는 군으로부터 선택된 원 하는 TFT 디스플레이의 표시를 제어하는 수단과,

상기 전력 관리 제어 데이터를 기억한 수단에 기억된 데이터에 응답하여, 변환된 TFT 표시 데이터를 TFT 디스플레이에 표시하기 위한 주파수를 결정하는 수단을 포함하고,

상기 TFT 표시 데이터 기억 수단과, 상기 타이밍 제어 신호 발생 수단과, 상기 TFT 표시 데이터를 읽어들이고 원하는 TFT 표시 포맷으로 변환하는 수단이 1개의 다이에 집적되어 있는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

청구항 18.
제17항에 있어서,

상기 TFT 표시 데이터를 읽어들이고 원하는 TFT 표시 포맷으로 변환하는 수단이 프로그램 가능한 픽셀 파이프라인을 구비하고,

상기 프로그램 가능한 픽셀 파이프라인이 흑백 고정 데이터 레지스터를 구비하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

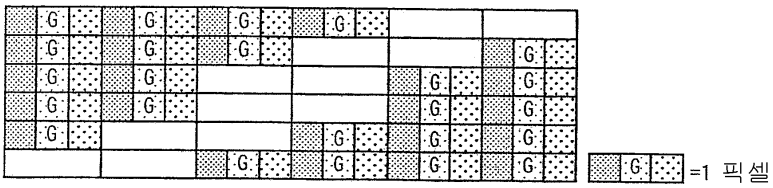
청구항 19.

제17항에 있어서,

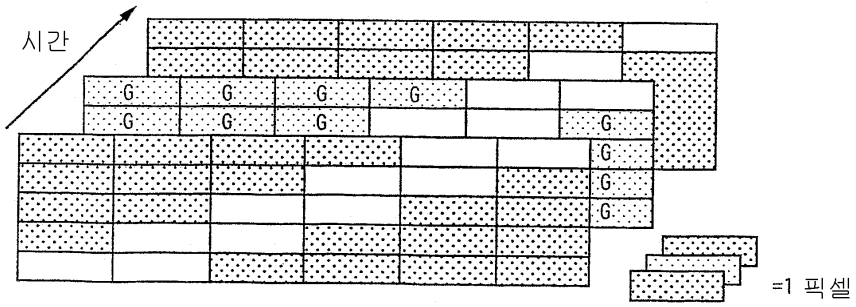
상기 변환된 TFT 표시 데이터를 TFT 디스플레이에 표시하기 위한 주파수를 결정하는 수단이 프로그램 가능한 위상 록 루프를 포함하는 것을 특징으로 하는 TFT 디스플레이 장치용 컨트롤러.

도면

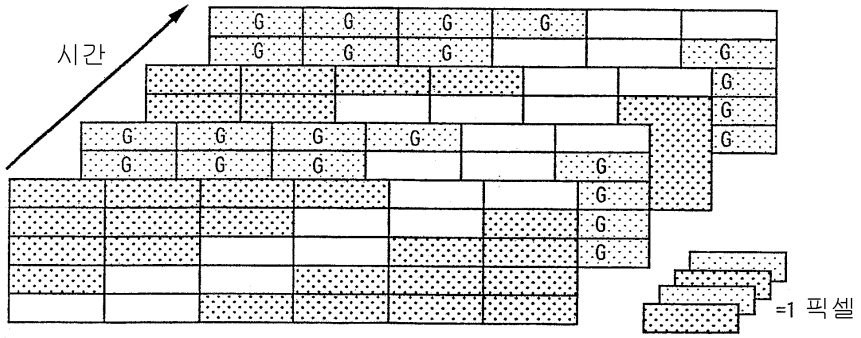
도면1



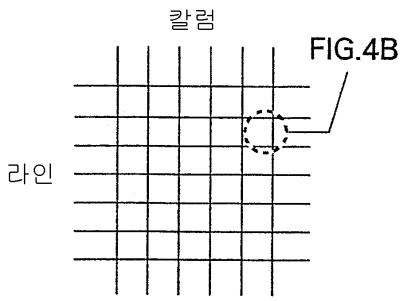
도면2



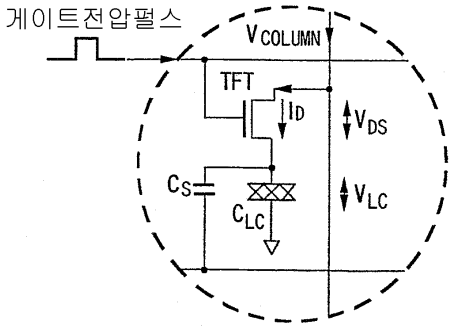
도면3



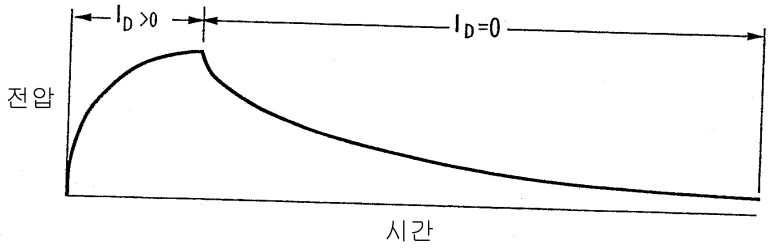
도면4A



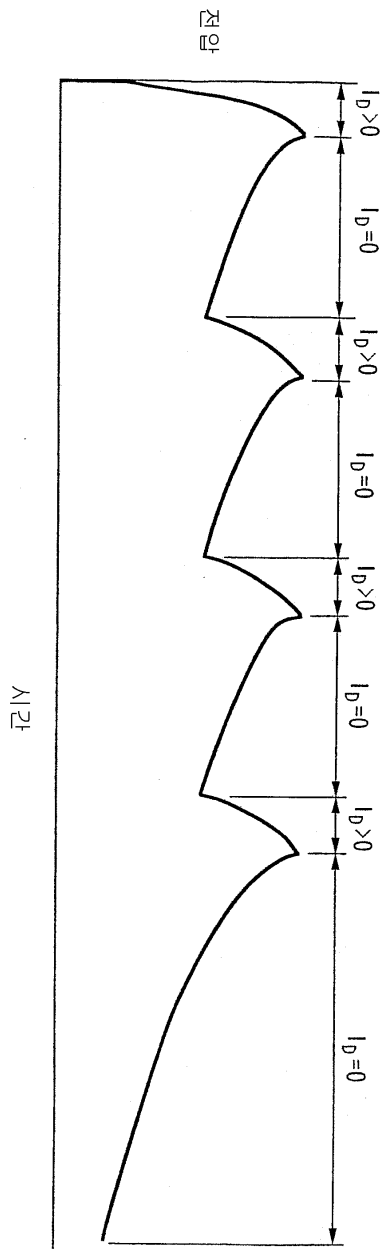
도면4B



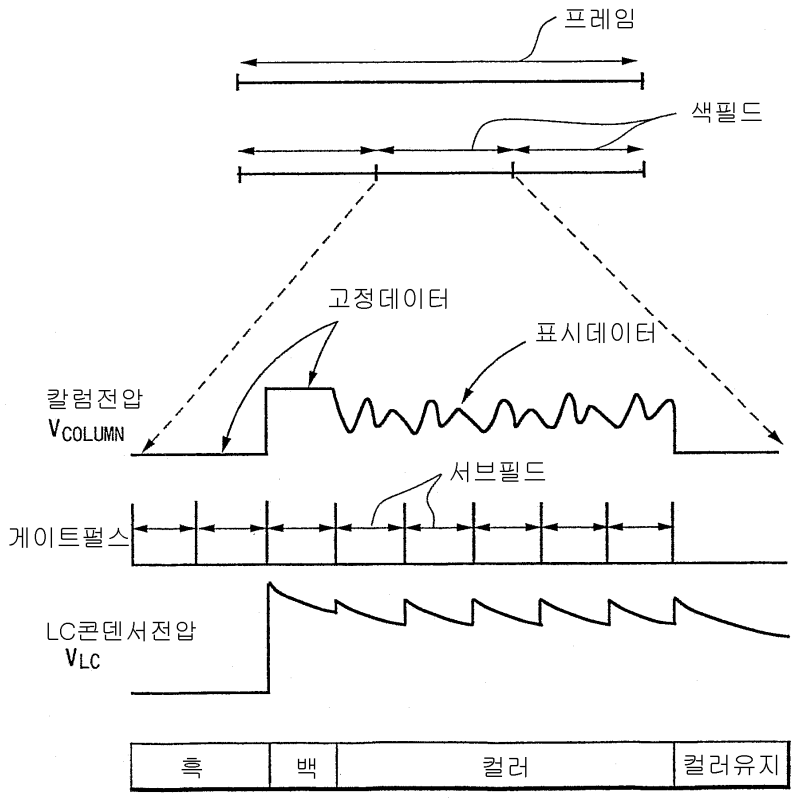
도면5



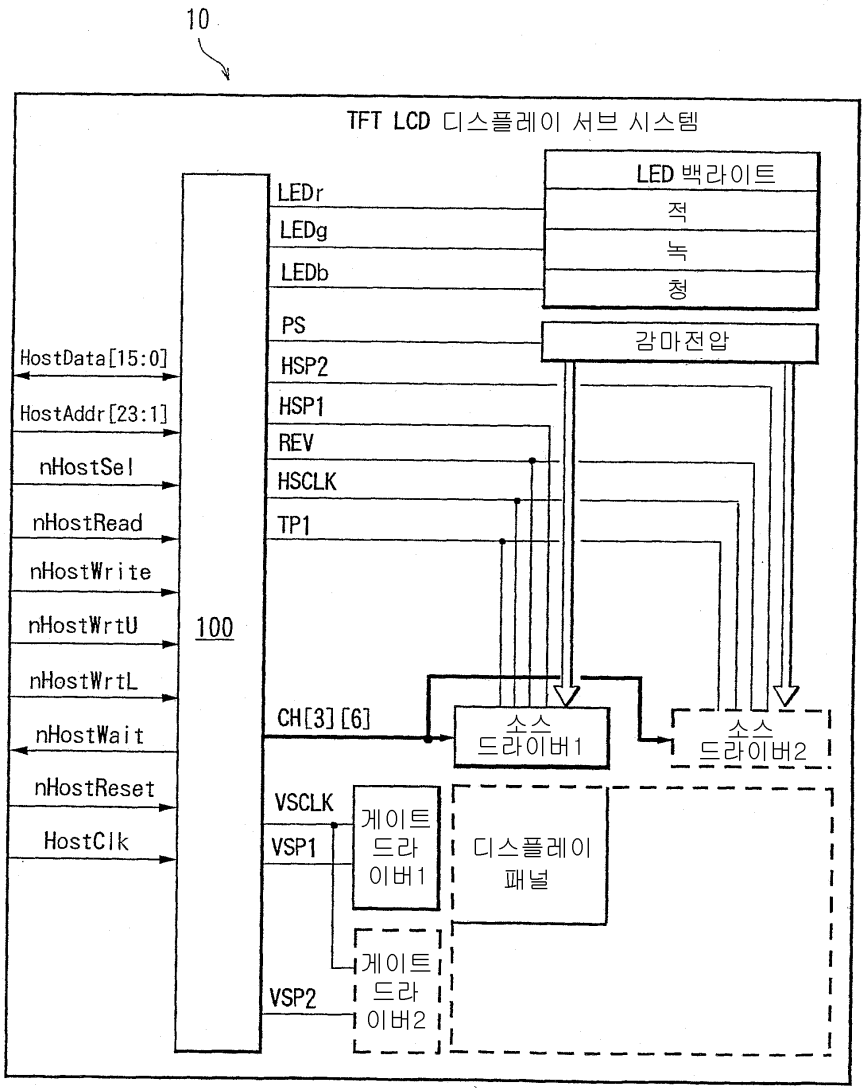
도면6



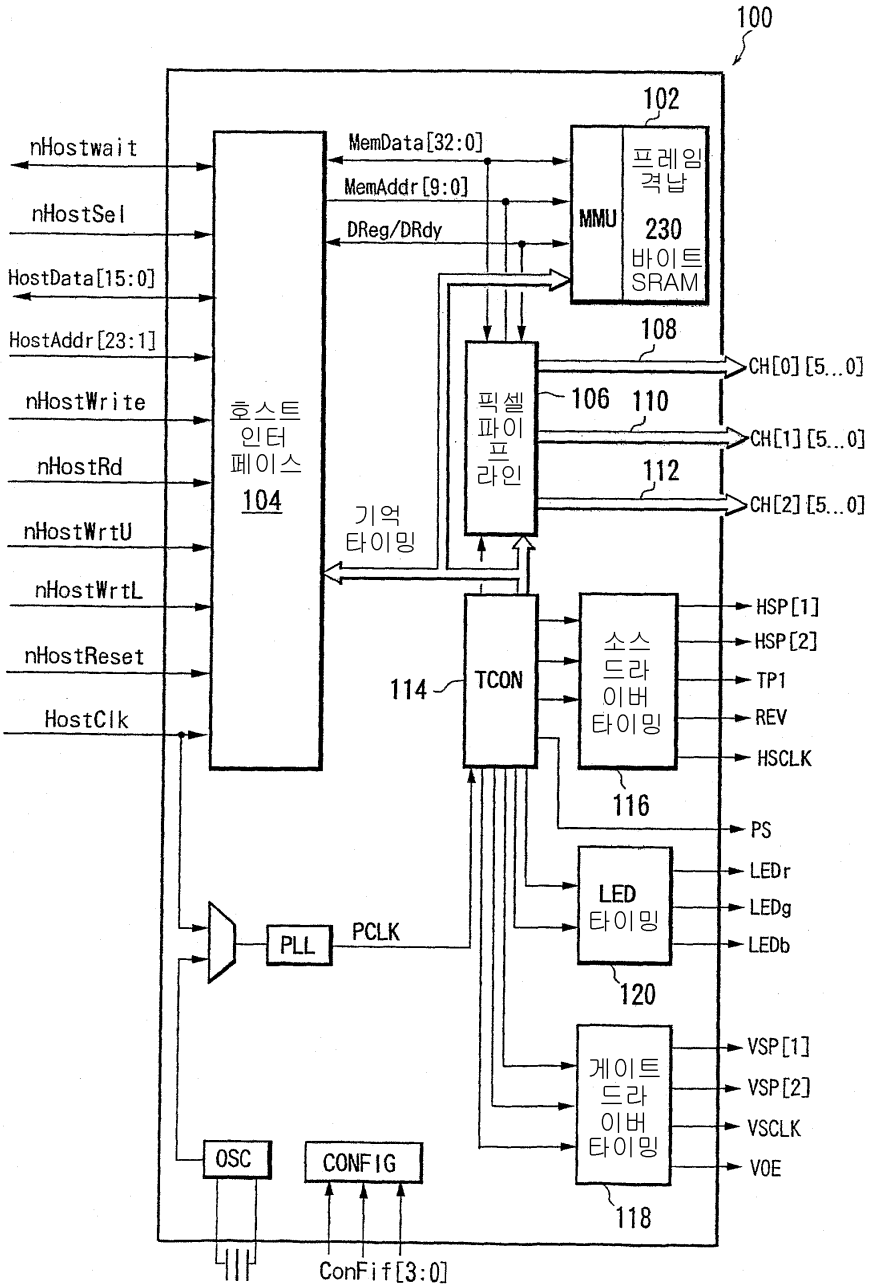
도면7


프레임
색필드
고정데이터
표시데이터
칼럼전압
V_{COLUMN}
서브필드
게이트펄스
LC콘덴서전압
V_{LC}
흑
백
컬러
컬러유지

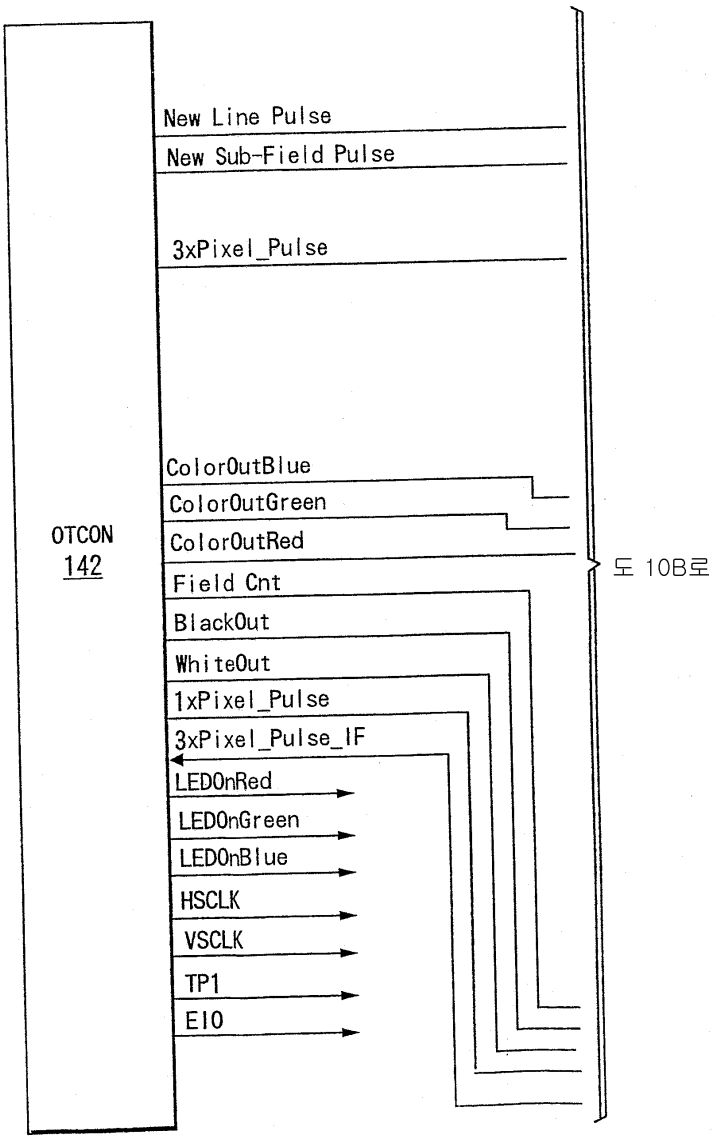
도면8


10
TFT LCD 디스플레이 서브 시스템
LED 백라이트
적
녹
청
감마전압
LEDr
LEDg
LEDb
PS
HSP2
HSP1
REV
HSCLK
TP1
HostData[15:0]
HostAddr[23:1]
nHostSel
nHostRead
nHostWrite
nHostWrtU
nHostWrtL
nHostWait
nHostReset
HostClk
100
CH[3][6]
소스 드라이버1
소스 드라이버2
VSCLK
VSP1
VSP2
게이트 드라이버1
게이트 드라이버2
디스플레이 패널

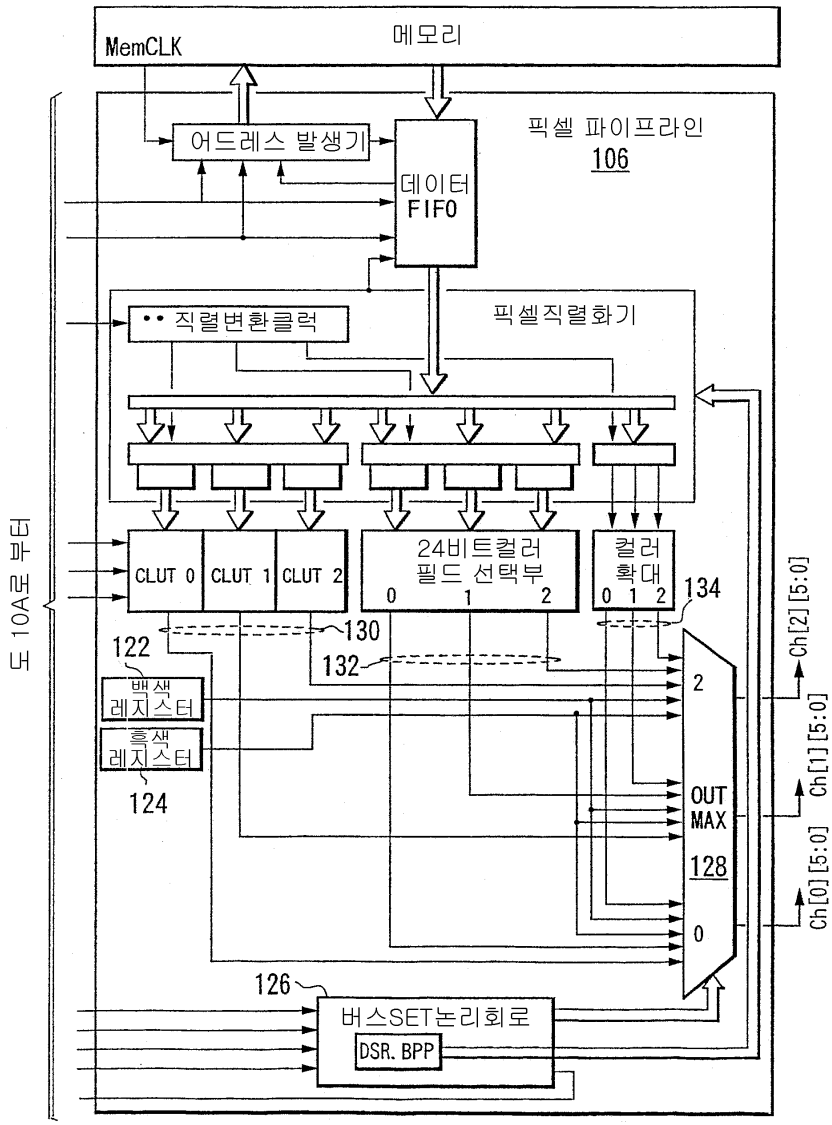
도면9


100
102
MMU
프레임 격납
230
바이트 SRAM
MemData[32:0]
MemAddr[9:0]
DReg/DRdy
nHostwait
nHostSel
HostData[15:0]
HostAddr[23:1]
nHostWrite
nHostRd
nHostWrtU
nHostWrtL
nHostReset
HostClk
호스트 인터 페이스
104
기억 타이밍
108
106
110
112
픽셀 파이 프 라인
CH[0][5..0]
CH[1][5..0]
CH[2][5..0]
114
TCON
소스 드라 이버 타이밍
116
HSP[1]
HSP[2]
TP1
REV
HSCLK
PS
LED 타이밍
120
LEDr
LEDg
LEDb
PLL
PCLK
게이트 드라 이버 타이밍
118
VSP[1]
VSP[2]
VSCLK
VOE
OSC
CONFIG
ConFif[3:0]

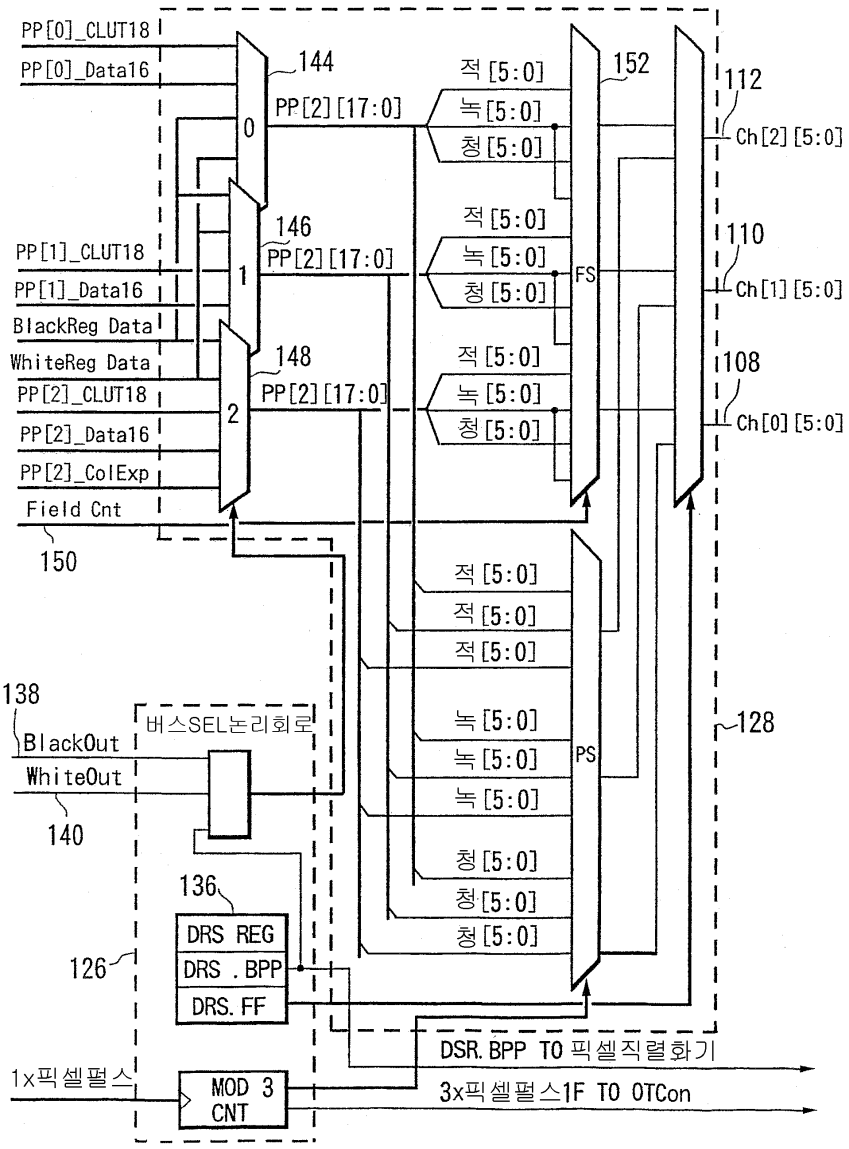
도면10A


OTCON
142
New Line Pulse
New Sub-Field Pulse
3xPixel_Pulse
ColorOutBlue
ColorOutGreen
ColorOutRed
Field Cnt
BlackOut
WhiteOut
1xPixel_Pulse
3xPixel_Pulse_IF
LEDOnRed
LEDOnGreen
LEDOnBlue
HSCLK
VSCLK
TP1
EIO
도 10B로

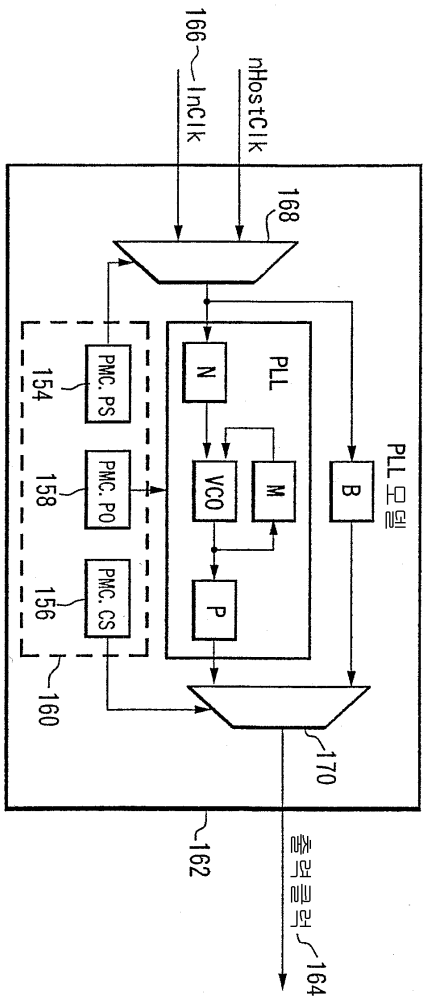
도면10B


MemCLK
메모리
픽셀 파이프라인
106
어드레스 발생기
데이터
FIFO
직렬변환클럭
픽셀직렬화기
CLUT 0
CLUT 1
CLUT 2
24비트컬러
필드 선택부
0 1 2
컬러
확대
0 1 2
134
130
122
132
백색
레지스터
흑색
레지스터
124
2
OUT
MAX
128
0
126
버스SET논리회로
DSR. BPP
Ch[2] [5:0]
Ch[1] [5:0]
Ch[0] [5:0]
도 10A로 부터

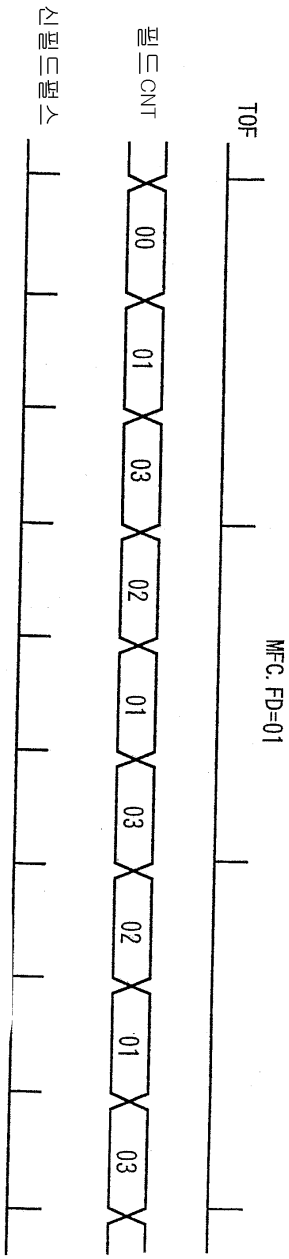
도면11


PP[0]_CLUT18
PP[0]_Data16
144
PP[2][17:0]
0
적[5:0]
녹[5:0]
청[5:0]
152
112
Ch[2][5:0]
PP[1]_CLUT18
PP[1]_Data16
BlackReg Data
WhiteReg Data
PP[2]_CLUT18
PP[2]_Data16
PP[2]_ColExp
Field Cnt
146
PP[2][17:0]
1
148
PP[2][17:0]
2
FS
110
Ch[1][5:0]
108
Ch[0][5:0]
150
적[5:0]
적[5:0]
적[5:0]
녹[5:0]
녹[5:0]
녹[5:0]
청[5:0]
청[5:0]
청[5:0]
PS
128
138
BlackOut
WhiteOut
140
버스SEL논리회로
136
DRS REG
DRS . BPP
DRS. FF
126
DSR. BPP TO 픽셀직렬화기
1x픽셀펄스
MOD 3
CNT
3x픽셀펄스1F TO OTCon

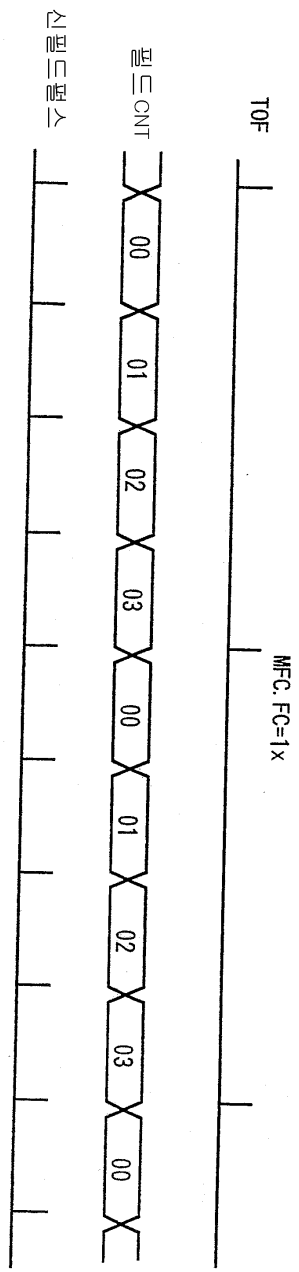
도면12


166
InClk
nHostClk
168
PLL
N
VCO
M
P
B
PLL 모델
154
PMC. PS
158
PMC. PO
156
PMC. CS
160
170
162
출력클럭
164

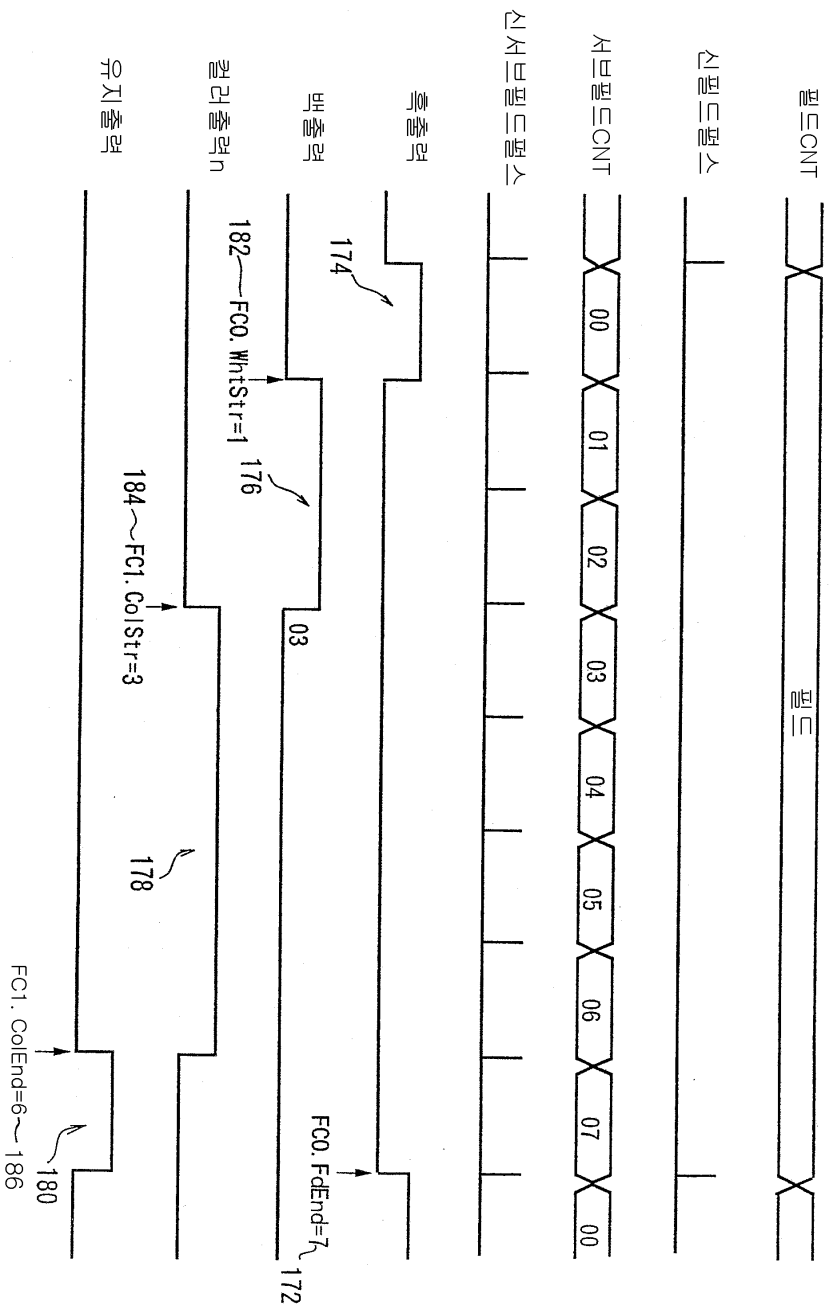
도면13A



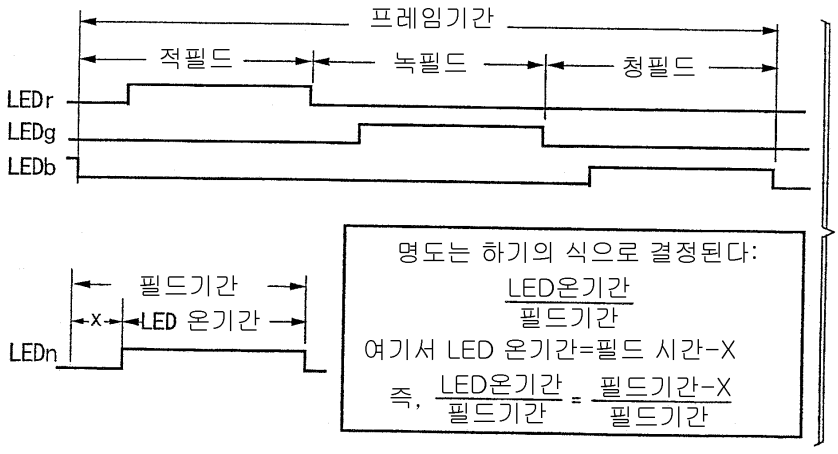
도면13B



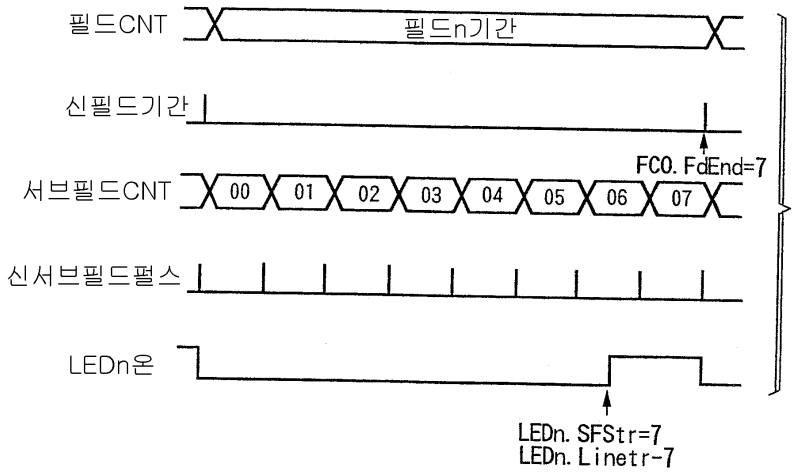
도면14


필드CNT
필드
신필드펄스
서브필드CNT
00
01
02
03
04
05
06
07
00
신서브필드펄스
흑출력
174
백출력
182~FC0. WhtStr=1
176
03
FC0. FdEnd=7
172
컬러출력n
184~FC1. ColStr=3
178
유지출력
FC1. ColEnd=6~186
180

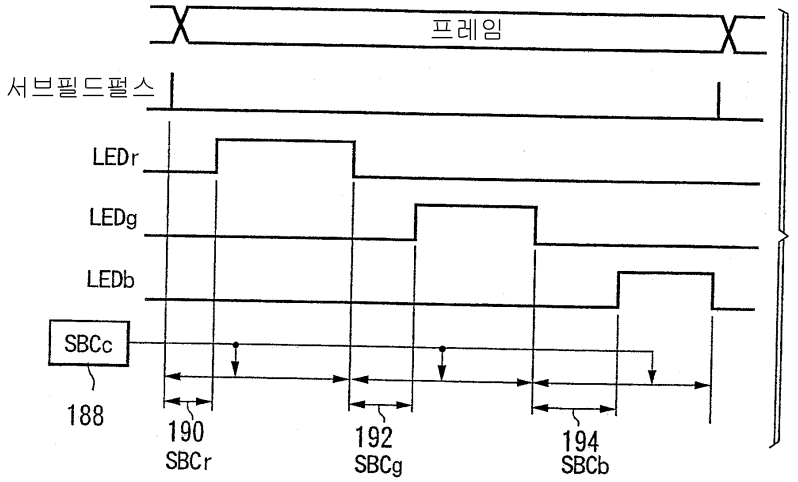
도면15


프레임기간
적필드
녹필드
청필드
LEDr
LEDg
LEDb
필드기간
X
LED 온기간
LEDn
명도는 하기의 식으로 결정된다:
LED온기간 / 필드기간
여기서 LED 온기간=필드 시간-X
즉, LED온기간 / 필드기간 = 필드기간-X / 필드기간

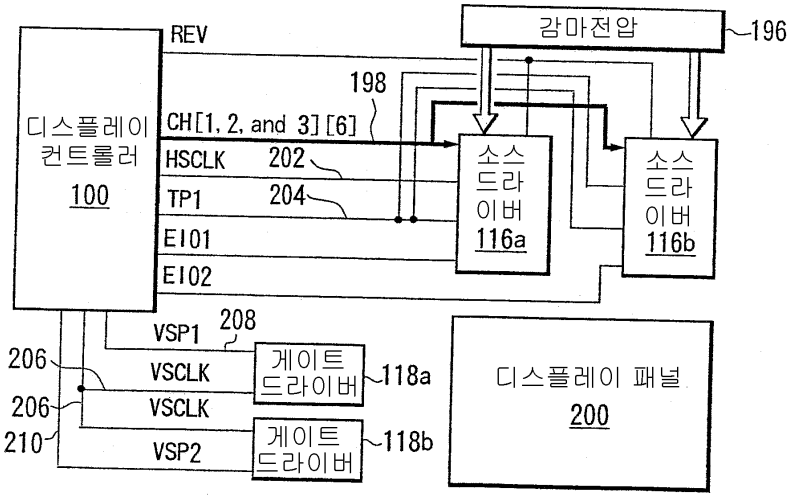
도면16



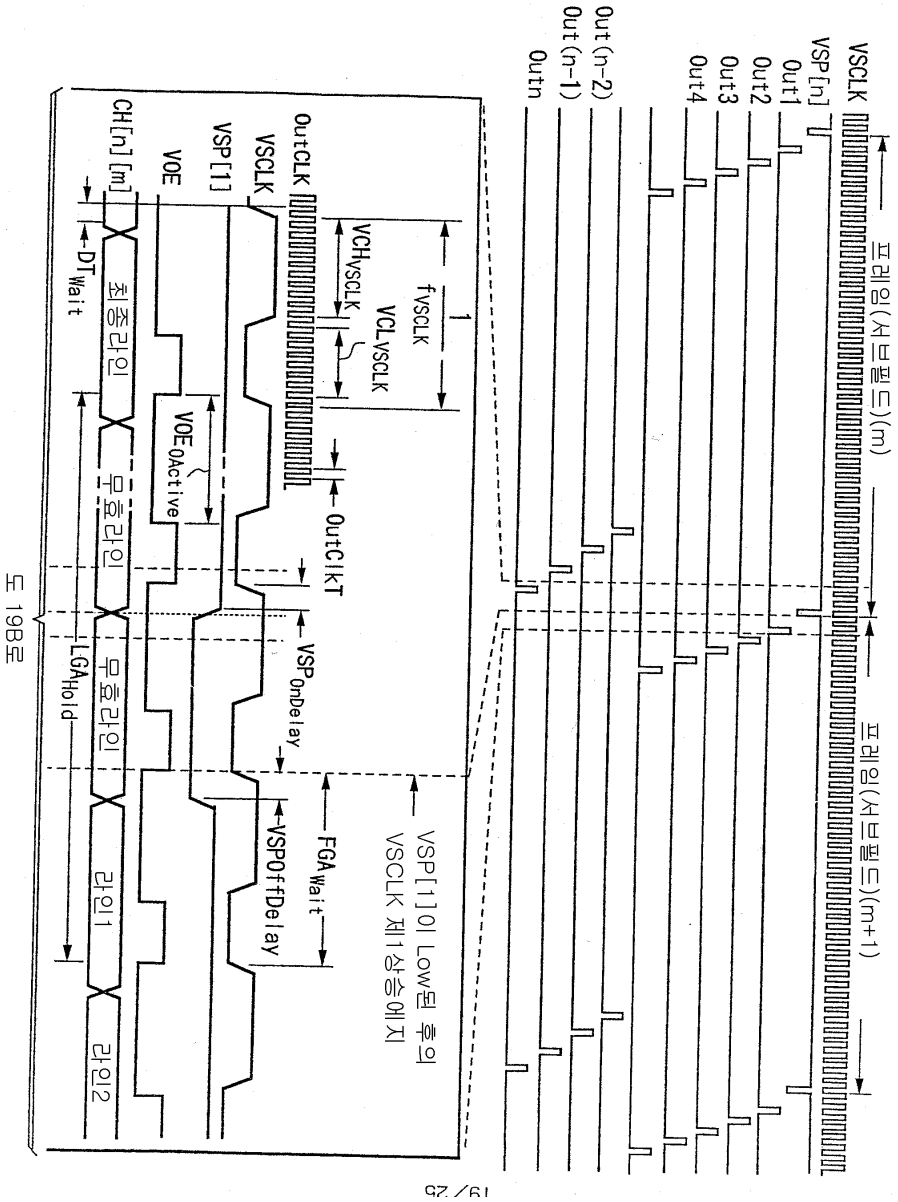
도면17



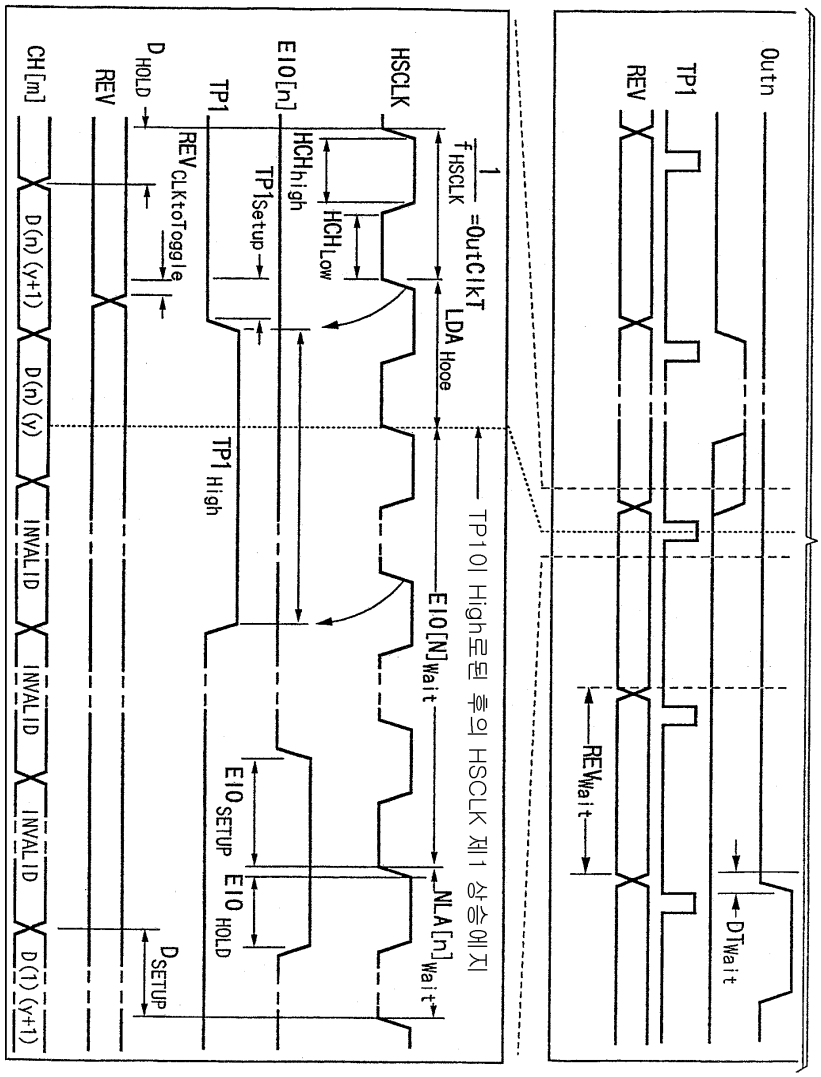
도면18



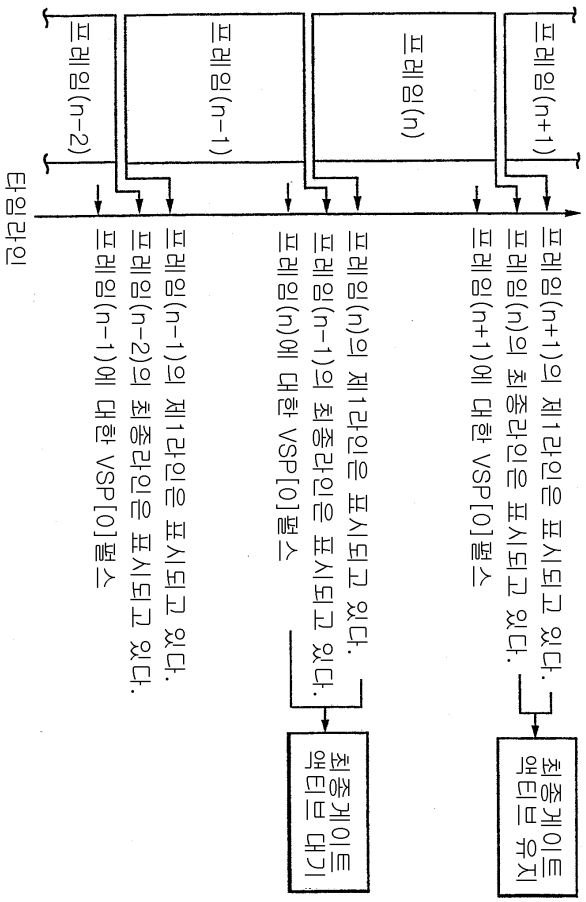
도면19A


VSCLK
VSP[n]
Out1
Out2
Out3
Out4
Out(n-2)
Out(n-1)
Outn
프레임(서브필드)(m)
프레임(서브필드)(m+1)
VSP[1]이 Low된 후의
VSCLK 제1상승에지
VSCLK
VSP[1]
VOE
CH[n][m]
OutCLK
fVSCLK
VCHVSCLK
VCLVSCLK
OutCIKT
VOEOActive
VSPOnDelay
FGAWait
VSPOffDelay
DTWait
LGAHold
최종라인
무효라인
무효라인
라인1
라인2
도 19B로

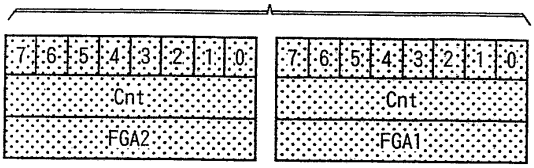
도면19B


Outn
TP1
REV
DTWait
REVWait
도 19A로 부터
HSCLK
EIO[n]
TP1
REV
CH[m]
1/fHSCLK =OutCLKLDA Hooe
HCHHigh
HCHLow
TP1Setup
REVCLKtoToggle
DHOLD
TP1 High
EIO[N]Wait
EIO SETUP
EIO HOLD
NLA[n]Wait
DSETUP
TP1이 High로된 후의 HSCLK 제1 상승에지
D(n) (y+1)
D(n) (y)
INVALID
INVALID
INVALID
D(1) (y+1)

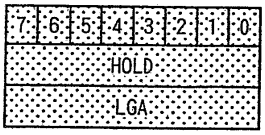
도면20



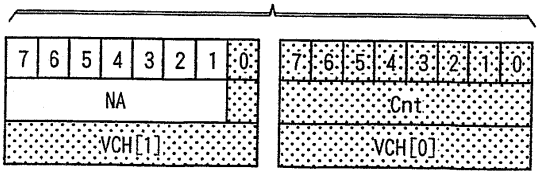
도면21



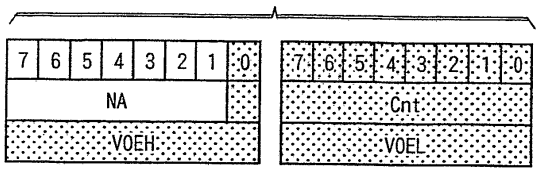
도면22



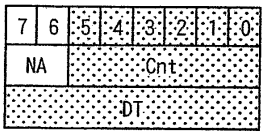
도면23



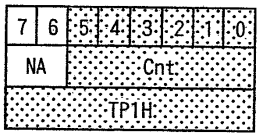
도면24



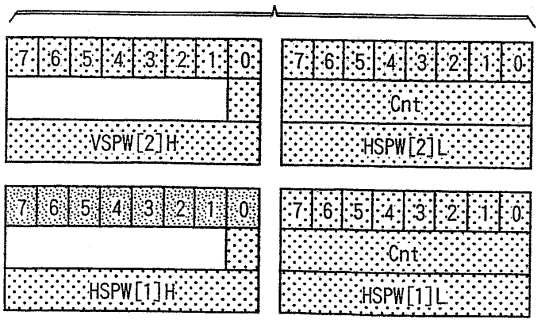
도면25



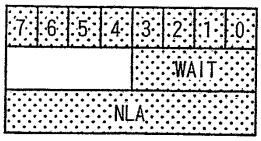
도면26



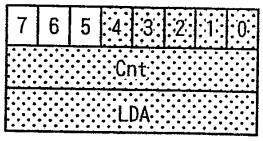
도면27



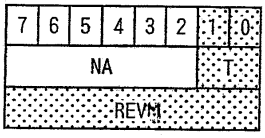
도면28



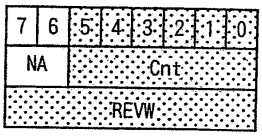
도면29



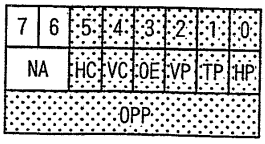
도면30



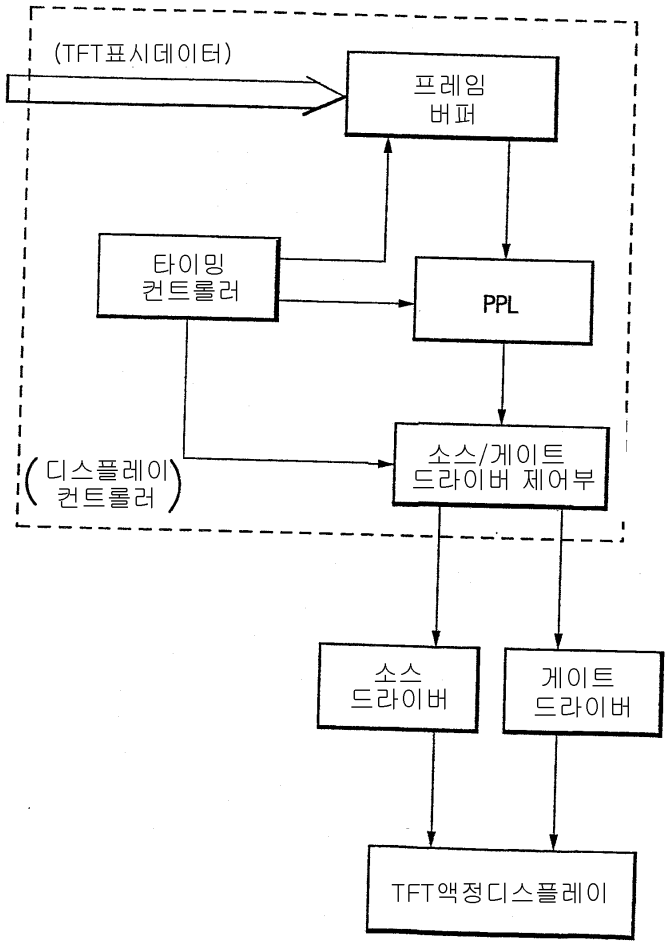
도면31



도면32



도면33



专利名称(译)	TFT显示器控制器		
公开(公告)号	KR1020040045426A	公开(公告)日	2004-06-01
申请号	KR1020047002986	申请日	2002-08-27
申请(专利权)人(译)	可否让这个夏休网显示技术		
当前申请(专利权)人(译)	可否让这个夏休网显示技术		
[标]发明人	NALLY ROBERTM 낼리로버트엠 OKITA MASAYA 오키타마사야		
发明人	낼리,로버트엠 오키타,마사야		
IPC分类号	G09G3/20 G09G5/00 G09G5/06 G09G5/02 G09G3/34 G09G5/18 G09G3/36		
CPC分类号	G09G2320/0247 G09G5/18 G09G3/2074 G09G2300/0408 G09G5/008 G09G2330/021 G09G3/3413 G09G3/2011 G09G2300/08 G09G2310/08 G09G2310/0235 G09G5/006 G09G2360/18 G09G2320/0242 G09G2320/064 G09G2360/02 G09G5/06 G09G2320/0261 G09G5/024 G09G3/3648 G09G3/3666		
代理人(译)	JEON YOUNG IL		
优先权	60/315476 2001-08-28 US		
其他公开文献	KR100631398B1		
外部链接	Espacenet		

摘要(译)

如我所示，没有标准的方法来控制栅极驱动器或源极驱动器。为了节省成本，重要的是将FSC-TFT显示控制器和非FSC-TFT显示控制器集成到一个合适的门中，以与各种栅极驱动器和源极驱动器连接并控制这些驱动器。 步伐在同一年进行。例如，电源管理控制（PMC）寄存器在显示控制器100的所有组件上具有广泛的效果。 在一些情况下，诸如像素管线106的组件已被合并到受限制的操作模式中。在另一个例子中，诸如TCon 114单元的组件在多组可编程寄存器之间进行变换以进行控制。还可以停止诸如PLL 162的组件的操作。这是便携式设备（如蜂窝电话和PDA）的强大特性。这是因为显示设备的性质和功耗量只能通过在一个寄存器中执行一次记录操作的操作系统来改变。可以立即看出，除非所有组件都集成在同一单个管芯上，否则不能实现该特征，此外，它不具有成本效益。 此外，过去还没有通过控制背光的开/关占空比关系来控制背光亮度的能力。到目前为止，通过调节背光的电流来控制背光亮度。可编程门和源驱动器的时序从未与显示设备控制器一起使用。到目前为止，所有液晶显示器都需要根据特定的定时控制器运行，该定时控制器是为满足特定显示面板的需要而定制的。因此，显示控制器100的可编程定时控制是显示定时控制器技术的显着进步，使得传统上已知的设计方法不熟悉或不相关。 从以上描述中，可以理解，本发明显着改进了FSC-TFT显示器件和滤色器TFT显示器件即非FSC-TFT显示器件的技术。此外，为FSC-TFT控制器和非FSC-TFT控制器领域的技术人员提供必要的信息，以应用构建和使用所需的特殊组件所需的新原理和信息，详细描述。从前面的描述中可以明显看出，本发明在结构和操作方面与现有技术大不相同。尽管这里已经详细描述了本发明的特定实施例，但是应该理解，在不脱离由所附权利要求限定的本发明的精神和范围的情况下，可以在其中进行各种改变，修改和替换。