(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/133

(11) 공개번호 10-2004-0033368
(43) 공개일자 2004년04월28일

(21) 출원번호 10-2002-0062429
(22) 출원일자 2002년10월14일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 송상무
대구광역시남구대명7동2151-19

김상래
경상북도포항시북구학잠동동아아파트107-202호

박재홍
경상북도칠곡군북삼면인평리현진아파트104-1704

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치 및 그 구동방법

요약

본 발명은 수평라인 블럭 간의 휘도차를 방지할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치는 액정셀 매트릭스를 갖는 액정패널과, 액정패널을 구동하기 위한 적어도 하나의 집적회로들과, 적어도 하나의 집적회로들과 공통으로 접속되어 집적회로들에 구동신호를 공급하는 공급라인과, 공급라인의 입력단에 형성되어 공급라인의 라인저항들의 합보다 큰 저항값을 갖는 신호감쇄부를 구비하는 것을 특징으로 한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래 라인 온 글래스형 액정표시장치를 나타내는 평면도.

도 2는 도 1에 도시된 라인 온 글래스형 신호라인군의 라인저항에 의한 수평라인 블럭간의 분리현상을 나타내는 도면.

도 3은 본 발명의 제1 실시 예에 따른 라인 온 글래스형 액정표시장치를 나타내는 평면도.

도 4는 도 3에 도시된 감쇄저항이 액정패널의 하부기판 상에 형성된 라인 온 글래스형 액정표시장치를 나타내는 평면도.

도 5는 도 3 및 도 4에 도시된 라인저항과 감쇄저항간의 연결관계를 나타내는 도면.

도 6은 본 발명의 제2 실시 예에 따른 라인 온 글래스형 액정표시장치를 나타내는 평면도.

도 7a 및 도 7b는 기수프레임과 우수프레임별로 61그레이와 0그레이를 이용한 테스트패턴 패턴을 나타내는 도면.

도 8은 인접한 4개의 액정셀들에 공급되는 데이터전압을 나타내는 도면.

도 9는 도 8에 도시된 인접한 4개의 액정셀들에 공급되는 데이터전압의 변화를 나타내는 도면.

도 10은 데이터라인과 게이트라인들 사이의 기생캐패시터를 나타내는 등가회로도.

도 11은 본 발명의 제3 실시 예에 따른 라인 온 글래스형 액정표시장치를 나타내는 평면도.

도 12a 및 도 12b는 기수프레임과 우수프레임별로 61그레이와 0그레이를 이용한 테스트패턴 패턴을 나타내는 도면.

도 13은 인접한 4개의 액정셀들에 공급되는 데이터전압을 나타내는 도면.

도 14는 도 13에 도시된 인접한 4개의 액정셀들에 공급되는 데이터전압의 변화를 나타내는 도면.

도 15는 본 발명의 제4 실시 예에 따른 라인 온 글래스형 액정표시장치를 나타내는 평면도.

< 도면의 주요 부분에 대한 부호의 설명 >

1,34,134,234,334 : 액정패널 2,36,136,236,336 : 하부기판

4,38,138,238,338 : 상부기판 8,40,140,240,340 : 데이터 TCP

18 : 데이터라인 20,56,156,256,356 :게이트라인

21,41,141,241,341 : 화상표시부 22,52: 게이트 구동신호 전송군

24 : 데이터 TCP 입력패드 25 : 데이터 TCP 출력패드

26 : LOG형 신호라인군 30 : 게이트 TCP 출력패드

50,150,260,360:전원공급부 60,160,260,360:타이밍콘트롤러

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 수평라인 블럭 간의 휘도차를 방지할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

통상의 액정표시장치(Liquid Crystal Display : 이하 'LCD'라 함)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다.

구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들 을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 타이밍콘트롤러와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부를 구비한다. 타이밍콘트롤러는 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어함과 아울러 데이터 드라이버에 화소데이터 신호를 공급한다. 전원공급부는 입력 전원을 이용하여 액정표시장치에서 필요하는 공통전압(VCOM), 게이트 하이전압(VGH), 게이트 로우전압(VGL) 등과 같은 구동전압들을 생성한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 스캐닝신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이들 중 액정패널과 직접 접속되는 데이터 드라이버와 게이트 드라이버는 다수개의 IC(Integrated Circuit)들로 집적화된다. 집적화된 데이터 드라이브 IC와 게이트 드라이브 IC 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널에 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.

여기서 TCP를 통해 TAB 방식으로 액정패널에 접속되는 드라이브 IC들은 TCP에 접속되어진 PCB(Printed Circuit Board)에 형성되어진 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 구동전압들을 공급받음과 아울러 상호 접속된다. 상세히 하면, 데이터 드라이브 IC들은 데이터 PCB에 형성된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍컨트롤러로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다. 게이트 드라이브 IC들은 게이트 PCB에 형성된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍컨트롤러로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.

COG 방식으로 액정패널에 실장되는 드라이브 IC들은 신호라인들이 액정패널, 즉 하부 글래스 상에 실장되는 라인 온 글래스(Line On Glass; 이하 LOG라 함) 방식으로 상호 접속됨과 아울러 타이밍컨트롤러 및 전원공급부로부터의 제어신호들 및 구동전압들을 공급받게 된다.

최근에는 드라이브 IC들이 TAB 방식으로 액정패널에 접속되는 경우에도 LOG방식을 채택하여 PCB를 제거함으로써 액정표시장치가 더욱 박형화될 수 있게 하고 있다. 특히 상대적으로 적은 신호라인들을 필요로 하는 게이트 드라이브 IC들에 접속되는 신호라인들을 LOG 방식으로 액정패널 상에 형성함으로써 게이트 PCB를 제거하고 있다. 다시 말하여 TAB 방식의 게이트 드라이브 IC들은 액정패널의 하부 글라스 상에 실장되는 신호라인들을 통해 직렬로 접속됨과 아울러 제어신호들 및 구동전압신호들(이하, 게이트 구동신호들이라 함)을 공통적으로 공급받게 된다.

실제로, LOG형 신호라인들을 이용하여 게이트 PCB를 제거한 액정표시장치는 도 1에 도시된 바와 같이 액정패널(1)과, 액정패널(1)과 데이터 PCB(12) 사이에 접속되어진 다수개의 데이터 TCP들(8)과, 액정패널(1)의 다른 측에 접속되어진 다수 개의 게이트 TCP들(14)과, 데이터 TCP들(8) 각각에 실장되어진 데이터 드라이브 IC(10)들과, 게이트 TCP들(14) 각각에 실장되어진 게이트 드라이브 IC들(16)을 구비한다.

액정패널(1)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(2)과, 칼라필터 어레이가 형성된 상부기판(4)과, 하부기판(2)과 상부기판(4) 사이에 주입된 액정을 포함한다. 이러한 액정패널(1)에는 게이트라인들(20)과 데이터라인들(18)의 교차영역마다 마련되는 액정셀들로 구성되어 화상을 표시하는 화상표시영역(21)이 마련된다. 화상표시영역(21)의 외곽부에 위치하는 하부기판(2) 외곽영역에는 데이터라인(18)으로부터 신장되어진 데이터 패드들과, 게이트라인(20)로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한 하부기판(2)의 외곽영역에는 게이트 드라이브 IC(16)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(26)이 위치하게 된다.

데이터 TCP(8)에는 데이터 드라이브 IC(10)가 실장되고, 그 데이터 드라이브 IC(10)와 전기적으로 접속된 입력패드들(24) 및 출력패드들(25)이 형성된다. 데이터 TCP(8)의 입력패드들(24)은 데이터 PCB(12)의 출력패드들과 전기적으로 접속되고, 출력패드들(25)은 하부기판(2) 상의 데이터패드들과 전기적으로 접속된다. 특히 첫번째 데이터 TCP(8)는 하부기판(2) 상의 LOG형 신호라인군(26)에 전기적으로 접속되는 게이트 구동신호 전송군(22)이 추가적으로 형성된다. 이 게이트 구동신호 전송군(22)은 데이터 PCB(12)를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(26)에 공급하게 된다.

데이터 드라이브 IC들(10)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널

상의 데이터라인들(18)에 공급한다.

게이트 TCP(14)에는 게이트 드라이브 IC(16)가 실장되고, 그 게이트 드라이브 IC(16)와 전기적으로 접속된 게이트 구동신호 전송라인군(28) 및 출력패드들(30)이 형성된다. 게이트 구동신호 전송라인군(28)은 하부기판(2) 상의 LOG 신호라인군(26)과 전기적으로 접속되고, 출력패드들(30)은 하부기판(2) 상의 게이트패드들과 전기적으로 접속된다.

게이트 드라이브 IC들(16)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(20)에 순차적으로 공급한다. 또한 게이트 드라이브 IC(16)들은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들에 공급한다.

LOG형 신호라인군(26)은 통상 게이트신호의 하이논리전압(게이트 하이전압) 신호(VGH), 게이트신호의 로우논리전압(게이트 로우전압)신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부로부터 공급되는 구동전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍컨트롤러로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다.

이러한 LOG형 신호라인군(26)은 화상표시부(21)의 외곽영역에 위치하는 패드부와 같이 매우 한정된 좁은 공간에서 미세패턴으로 나란하게 형성된다. 그리고 LOG형 신호라인군(26)은 게이트라인들(20)과 동일하게 게이트 금속층으로 구성된 다. 게이트 금속으로는 통상 AlNd 등과 같이 비교적 큰 비저항값(0.046)을 갖는 금속이 이용된다. 이렇게 LOG형 신호라인군(26)이 제한된 영역내에서 미세패턴으로 형성됨과 아울러 비교적 큰 비저항값을 갖는 게이트금속으로 구성됨에 따라 기존의 게이트 PCB에 동박으로 형성된 신호라인들과 대비하여 상대적으로 높은 저항성분을 포함하게 된다. 또한 LOG형 신호라인군(26)의 저항값은 라인길이에 비례함에 따라 데이터 PCB(12)로부터 멀어질수록 라인저항값이 증가하여 게이트 구동신호가 감쇄하게 된다. 이 결과 LOG형 신호라인군(26)을 통해 전송되는 게이트 구동신호들이 그의 라인저항값에 의해 왜곡됨으로써 화상표시부(21)에 표시되는 화상의 품질이 저하되게 된다.

이를 상세히 하면, 종래의 액정표시장치는 게이트 로우전압(VGL) 및 게이트하이전압(VGH)를 각각 공급하는 LOG형 신호라인들(LVG) 각각은 도 2에 도시된 바와 같이 제 1 데이터 TCP(8)와 제 1 내지 제 4 게이트 TCP들(14A 내지 14D) 사이 각각에 접속되는 제 1 내지 제 4 LOG형 신호라인들(LVG1 내지 LVG4)로 구성된다. 제 1 내지 제 4 LOG형 신호라인들(LVG1 내지 LVG4)은 그 라인길이에 비례하는 라인저항값(a, b, c, d)을 갖고 제 1 내지 제 4 게이트 TCP(14A 내지 14D)를 경유하여 직렬로 연결된다.

즉, 제 1 게이트 TCP(14A)에 실장된 게이트 드라이브 IC(16)에는 제 1 LOG형 신호라인(LVG1)의 제 1 라인저항값(a)에 비례하여 전압강하된 게이트하이전압(VGH) 및 게이트로우전압(VGL)을 포함하는 제1 게이트전압(VG1)이 공급된다. 제 1 게이트전압(VG1)은 제 1 게이트 드라이브 IC(16)를 통해 제 1 수평라인 블록(A)의 게이 트라인들에 공급된다.

제 2 게이트 TCP(14B)에 실장된 게이트 드라이브 IC(16)에는 직렬 접속된 제 1 LOG형 신호라인(LVG1) 및 제 2 LOG형 신호라인(LVG2)의 제 2 라인저항값(a+b)에 비례하여 전압강하된 게이트하이전압(VGH) 및 게이트로우전압(VGL)을 포함하는 제 2 게이트전압(VG2)이 공급된다. 제 2 게이트전압(VG2)은 제 2 게이트 드라이브 IC(16)를 통해 제 2 수평라인 블록(B)의 게이트라인들에 공급된다.

제 3 게이트 TCP(14C)에 실장된 게이트 드라이브 IC(16)에는 직렬 접속된 제 1 LOG형 신호라인 내지 제 3 LOG형 신호라인(LVG1 내지 LVG3)의 제 3 라인저항값(a+b+c)에 비례하여 전압강하된 게이트하이전압(VGH) 및 게이트로우전압(VGL)을 포함하는 제 3 게이트전압(VG3)이 공급된다. 제 3 게이트전압(VGL3)은 제 3 게이트 드라이브 IC(16)를 통해 제 3 수평라인 블록(C)의 게이트라인들에 공급된다.

제 4 게이트 TCP(14D)에 실장된 게이트 드라이브 IC(16)에는 직렬 접속된 제 1 내지 제 4 LOG형 신호라인(LVG1 내지 LVG4)의 제 4 라인저항값(a+b+c+d)에 비례하여 전압강하된 게이트하이전압(VGH) 및 게이트로우전압(VGL)을 포함하는 제 4 게이트전압(VG4)이 공급된다. 제 4 게이트전압(VG4)은 제 4 게이트 드라이브 IC(16)를 통해 제 4 수평라인 블록(D)의 게이트라인들에 공급된다.

이렇게 게이트 드라이브 IC(16) 별로 게이트라인들에 공급하는 게이트전압(VG1 내지 VG4)에 차이가 발생함에 따라 서로 다른 게이트 드라이브 IC(16)에 접속되는 수평라인 블록(A 내지 D) 간에 휘도차가 발생하게 된다. 이 수 평라인 블록(A 내지 D)의 휘도차는 가로선(6) 현상으로 나타나게 되어 화면이 분할되어 보이게 함으로써 화질저하를 초래한다. 특히 제1 게이트 드라이브 IC에서 제4 게이트 드라이브 IC쪽으로 진행할 수록 LOG형 신호라인(LVG)의 라인저항값(a, b, c, d)이 가산됨에 따라 수평라인 블록(A 내지 D)에 공급되는 제1 내지 제4 게이트전압(VG1 내지 VG4)은 VG1>VG2>VG3>VG4와 같은 관계를 갖게 된다.

이러한 게이트 드라이브 IC(16) 단위의 게이트전압 차이는 게이트 드라이브 IC(16) 각각에 독립적으로 접속되는 다수개의 LOG형 게이트전압 전송라인을 마련하고 그 라인들의 단면적을 라인길이에 반비례하게 증가시키는 방법 등을 이용하여 보상할 수 있다. 그러나 LOG형 신호라인군(26)이 형성되는 화상표시부(21)의 외곽영역은 한정되어 있으므로 다수개의 LOG형 신호 라인을 마련하는게 어려울 뿐만 아니라 단면적을 증가시키는데 한계가 있다.

따라서 제한된 공간 내에 형성되는 LOG형 신호라인군(26)의 설계변경 없이 라인저항에 의한 게이트전압 차를 보상할 수 있는 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 수평라인 블럭 간의 휘도차를 방지할 수 있는 액정표시장치 및 그 구동방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 액정셀 매트 릭스를 갖는 액정패널과, 액정패널을 구동하기 위한 적어도 하나의 집적회로들과, 적어도 하나의 집적회로들과 공통으로 접속되어 집적회로들에 구동신호를 공급하는 공급라인과, 공급라인의 입력단에 형성되어 공급라인의 라인저항들 합보다 큰 저항값을 갖는 신호감쇄부를 구비하는 것을 특징으로 한다.

상기 신호감쇄부는 약 270~830Ω의 저항값을 갖는 것을 특징으로 한다.

상기 공급라인은 액정패널 상에 형성되어 구동신호를 집적회로에 공통으로 공급하는 라인 온 글래스형 신호라인과, 라인 온 글래스형 신호라인에 구동신호를 공급하는 신호전송라인으로 이루어진 것을 특징으로 한다.

상기 집적회로는 액정패널 상에 형성되는 게이트라인에 게이트신호를 공급하는 게이트집적회로인 것을 특징으로 한다.

상기 액정표시장치는 액정패널 상에 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로가 실장되는 데이터 테이프 캐리어 패키지와, 게이트 집적회로가 실장되는 게이트 테이프 캐리어 패키지와, 데이터 테이프 캐리어 패키지와 접속되는 인쇄회로기판을 추가로 구비하는 것을 특징으로 한다.

상기 액정표시장치는 인쇄회로기판 상에 형성되며 게이트집적회로 및 데이터 집적회로를 제어하기 위한 구동 타이밍 제어신호를 생성하여 공급라인에 공급하는 타이밍 콘트롤러와, 인쇄회로기판 상에 형성되며 게이트집적회로 및 데이터 집적회로에 공급되는 구동전압들을 생성하여 공급라인에 공급하는 전원공급부를 추가로 구비하는 것을 특징으로 한다.

상기 타이밍 콘트롤러 및 전원공급부 중 적어도 어느 하나에서 생성된 게이 트신호는 데이터 테이프 캐리어 패키지를 통해 게이트 집적회로에 공급되는 것을 특징으로 한다.

상기 신호감쇄부는 인쇄회로기판에 위치하는 신호전송라인 상에 형성되는 것을 특징으로 한다.

상기 신호감쇄부는 데이터 테이프 캐리어 패키지에 위치하는 신호전송라인 상에 형성되는 것을 특징으로 한다.

상기 신호감쇄부는 라인 온 글래스형 신호라인 상에 형성되는 것을 특징으로 한다.

상기 신호감쇄부는 타이밍콘트롤러에 내장되도록 형성하는 것을 특징으로 한다.

상기 신호감쇄부는 전원공급부에 내장되도록 형성하는 것을 특징으로 한다.

상기 게이트집적회로에는 공급라인을 통해 게이트신호의 로우논리전압이 공급되는 것을 특징으로 한다.

상기 게이트 집적회로에는 공급라인을 통해 게이트신호의 하이논리전압이 공급되는 것을 특징으로 한다.

상기 게이트집적회로에는 공급라인을 통해 구동 타이밍 제어신호가 공급되는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 액정셀 매트릭스를 갖는 액정패널과, 액정패널을 구동하기 위한 적어도 하나의 집적회로들과, 적어도 하나의 집적회로들과 공통으로 접속되어 집적회로들에 구동신호를 공급하는 공급라인과, 공급라인으로부터 상기 집적회로들에 공급되는 구동신호의 전류성분을 제한하는 전류제한소자를 구비하는 것을 특징으로 한다.

상기 공급라인은 액정패널 상에 형성되어 구동신호를 상기 집적회로에 공통으로 공급하는 라인 온 글래스형 신호라인과, 라인 온 글래스형 신호라인에 구동신호를 공급하는 신호전송라인으로 이루어진 것을 특징으로 한다.

상기 전류제한소자는 공급라인의 입력단에 형성되어 공급라인의 라인저항들의 합보다 큰 저항값을 갖는 것을 특징으로 한다.

상기 전류제한소자는 약 270~830Ω의 저항값을 갖는 것을 특징으로 한다.

상기 집적회로는 액정패널 상에 형성되는 게이트라인에 게이트신호를 공급하는 게이트집적회로인 것을 특징으로 한다.

상기 액정표시장치는 액정패널 상에 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로가 실장되는 데이터 테이프 캐리어 패키지와, 게이트 집적회로가 실장되는 게이트 테이프 캐리어 패키지와, 데이터 테이프 캐리어 패키지와 접속되는 인쇄회로기판을 추가로 구비하는 것을 특징으로 한다.

상기 액정표시장치는 인쇄회로기판 상에 형성되며 게이트집적회로 및 데이터 집적회로를 제어하기 위한 구동 타이밍 제어신호를 생성하여 공급라인에 공급하는 타이밍 콘트롤러와, 인쇄회로기판 상에 형성되며 게이트집적회로 및 데이터 집적회로에 공급되는 구동전압들을 생성하여 공급라인에 공급하는 전원공급부를 추가로 구비하는 것을 특징으로 한다.

상기 타이밍 콘트롤러 및 전원공급부 중 적어도 어느 하나에서 생성된 게이 트신호는 데이터 테이프 캐리어 패키지를 통해 상기 게이트 집적회로에 공급되는 것을 특징으로 한다.

상기 전류제한소자는 인쇄회로기판에 위치하는 신호전송라인 상에 형성되는 것을 특징으로 한다.

상기 전류제한소자는 테이프 캐리어 패키지에 위치하는 신호전송라인 상에 형성되는 것을 특징으로 한다.

상기 전류제한소자는 라인 온 글래스형 신호라인 상에 형성되는 것을 특징으로 한다.

상기 전류제한소자는 타이밍콘트롤러에 내장되도록 위치하는 것을 특징으로 한다.

상기 전류제한소자는 전원공급부에 내장되도록 위치하는 것을 특징으로 한다.

상기 게이트집적회로에는 공급라인을 통해 게이트신호의 로우논리전압이 공급되는 것을 특징으로 한다.

상기 게이트집적회로에는 공급라인을 통해 게이트신호의 하이논리전압이 공급되는 것을 특징으로 한다.

상기 게이트집적회로에는 공급라인을 통해 구동 타이밍 제어신호가 공급되는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 액정셀 매트릭스를 갖는 액정패널과, 액정패널을 구동하기 위한 적어도 하나의 집적회로들과, 액정패널에 라인 온 글래스방식으로 형성되어 적어도 하나의 집적회로들에 구동신호들을 전송하는 라인 온 글래스형 신호라인들과, 구동신호들을 상기 라인 온 글래스형 신호라인들에 공급하는 신호전송라인과, 신호전송라인 및 라인 온 글래스형 신호라인 중 적어도 어느 하나의 신호라인으로부터 집적회로들에 공급되는 구동신호의 전류성분을 제한하는 전류제한소자를 구비하는 것을 특징으로 한다.

상기 전류제한소자는 집적회로들 사이에 형성되는 라인저항들 합보다 큰 저항값을 갖는 것을 특징으로 한다.

상기 전류제한소자는 약 270~830Ω의 저항값을 갖는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치의 구동방법은 적어도 하나의 집적회로에 공급되는 구동신호의 전류성분을 전류제한소자로 제한하여 집적회로들에 공급하는 단계와, 집적회로에 공급된 구동신호를 이용하여 액정패널을 구동하는 단계를 포함하는 것을 특징으로 한다.

상기 구동신호를 집적회로들에 공급하는 단계는 액정패널의 게이트라인들을 구동하는 게이트구동신호의 로우논리전압 및 하이논리전압 중 적어도 어느 하나를 공급하는 단계인 것을 특징으로 한다.

상기 구동신호를 집적회로들에 공급하는 단계는 액정패널의 게이트라인들의 구동을 제어하기 위한 타이밍 구동 제어신호를 집적회로들에 공급하는 단계인 것을 특징으로 한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3은 본 발명의 제1 실시 예에 따른 액정표시장치를 나타내는 도면이다.

도 3을 참조하면, 본 발명의 제1 실시 예에 따른 액정표시장치는 액정패널(34)과, 액정패널(34)과 데이터 PCB(44) 사이에 접속되어진 다수개의 데이터 TCP들(40)과, 액정패널(34)의 다른 측에 접속되어진 다수개의 게이트 TCP들(46A 내지 46D)과, 데이터 TCP들(40) 각각에 실장되어진 데이터 드라이브 IC들(42)과, 게이트 TCP들(46A 내지 46D) 각각에 실장된 게이트 드라이브 IC들(48A 내지 48D)과, 게이트 드라이브 IC(48)와 데이터 드라이브 IC(42)에 공급되는 구동전압들을 생성하는 전원공급부(50)와, 게이트 드라이브 IC(48)와 데이터 드라이브 IC(42)를 제어하기 위한 타이밍 콘트롤러(60)를 구비한다.

액정패널(34)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(36)과, 칼라필터 어레이가 형성된 상부기판(38)과, 하부기판(36)과 상부기판(38) 사이에 주입된 액정을 포함한다. 이러한 액정패널(34)은 게이트라인들(56)과 데이터라인들(도시하지 않음)의 교차영역마다 형성된 액정셀들에 의해 화상표시영역(41)에 화상을 표시한다. 화상표시영역(41)의 외곽부에 위치하는 하부기판(36) 외곽영역에는 데이터라인으로부터 신장되어진 데이터 패드들과, 게이트라인(56)으로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한 하부기판(36)의 외곽영역에는 게이트 드라이브 IC(48A 내지 48D)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(LOGC,LOGV)이 위치하게 된다.

데이터 TCP(40)에는 데이터 드라이브 IC(42)가 실장되고, 그 데이터 TCP(40)는 데이터 드라이브 IC(42)와 접속되는 입출력 패드들을 통해 데이터 PCB(44)의 출력패드들 및 하부기판(36)의 데이터패드들과 접속된다. 특히 첫번째 데이터 TCP(40)는 하부기판(36) 상의 LOG형 신호라인군(LOGC,LOGV)에 각각 접속되는 게이트 구동신호 전송라인군(52a,52b)을 더 구비한다. 이 게이트 구동신호 전송라인군(52a,52b)은 각각 데이터 PCB(44)를 경유하여 전원 공급부(50) 및 타이밍 콘트롤러(60)로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(LOGC,LOGV)에 공급하게 된다.

타이밍 콘트롤러(60)는 게이트 드라이브 IC(48) 및 데이터 드라이브 IC(42)의 구동 타이밍을 제어함과 아울러 데이터 드라이브 IC(42)에 화소데이터 신호를 공급한다.

전원 공급부(50)는 입력전원을 이용하여 액정표시장치에서 필요로 하는 공통전압(VCOM), 게이트하이전압(VGH), 게이트로우전압(VGL) 등과 같은 구동전압들을 생성하게 된다.

데이터 드라이브 IC들(42)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널(34) 상의 데이터라인들에 공급한다.

게이트 TCP(46A 내지 46D)에는 게이트 드라이브 IC(48A 내지 48D)가 실장되고, 그 게이트 TCP(46A 내지 46D)는 게이트 드라이브 IC(48A 내지 48D)와 접속되는 출력 패드들을 통해 하부기판(36)의 게이트패드들과 접속된다.

게이트 드라이브 IC들(48A 내지 48D)은 입력 제어신호들에 응답하여 스캐닝 신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(56)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(48A 내지 48D)은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들(56)에 공급한다.

LOG형 신호라인군(LOGC,LOGV)은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부(50)로부터 공급되는 구동전압신호들과, 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 콘트롤러(60)로부터 공급되는 게이트 제어신호들 각각을 공급하는 LOG형 전압라인들(LOGV) 및 LOG형 제어라인들(LOGC)로 구성된다. 이러한 LOG형 신호라인군(LOGC,LOGV)은 게이트라인(56)들과 동일하게 게이트금속으로 형성된다.

이 LOG형 신호라인군(LOGC,LOGV)의 입력단에는 상대적으로 저항값이 큰 감쇄저항(Rs)이 형성된다. 이 감쇄저항(Rs)에 의해 LOG형 신호라인군(LOGC,LOGV)의 라인저항(a,b,c,d)들이 무시되어 라인저항으로 인한 게이트 드라이브 IC(48)별 게이트구동신호의 전압차를 방지할 수 있게 된다.

이러한 감쇄저항(Rs)은 도 3에 도시된 바와 같이 데이터 PCB(44)에 위치하는 게이트구동신호라인(52a,52b)에 직렬 접속된다. 또한 감쇄저항은(Rs)은 데이터 TCP(40)에 위치하는 게이트구동신호라인(52a,52b)에 직렬 접속된다. 또한 타이밍콘트롤러(60)의 게이트구동신호의 출력단에 직렬 접속되어 내장되거나, 전원공급부(50)의 게이트구동신호의 출력단에 직렬 접속되어 내장된다. 또한, 감 쇄저항(Rs)은 도 4에 도시된 바와 같이 액정패널(34)의 LOG형 신호라인군(LOGC,LOGV)의 입력단, 즉 제1 LOG형 신호라인에 직렬로 접속되게 형성된다.

이 감쇄저항은 도 5에 도시된 바와 같이 게이트 TCP들(46A,46B,46C,46D) 사이에 형성되는 제1 내지 제4 LOG형 신호라인군의 라인저항(a,b,c,d)과 직렬로 연결되고, 수학식 1과 같이 LOG형 신호라인군의 라인저항(a,b,c,d)의 전체 합(a+b+c+d)을 무시할 수 있을 정도의 큰 저항을 가지게 된다. 예를 들어, 감쇄저항(Rs)은 약 270~830Ω정도의 저항값을 갖도록 한다.

수학식 1

$$Rs \gg a+b+c+d$$

이러한 감쇄저항(Rs)에 의해 게이트구동신호의 전류량(I)이 제한됨으로써 이 감쇄저항(Rs)에 직렬로 접속되는 LOG형 신호라인군(LOGC,LOGV)을 경유하여 각 게이트 드라이브 IC들(48A 내지 48D)에 인가되는 전류량(I)도 다음 수학식 2와 같이 제한된다.

수학식 2

$$I=\frac{V_{Rs}}{Rs}=\frac{V_a}{a}=\frac{V_b}{b}=\frac{V_c}{c}=\frac{V_d}{d}$$

$$V_{Rs} \gg V_a, V_b, V_c, V_d$$

이러한 전류량의 제한으로 LOG형 신호라인군(LOGC,LOGV)의 라인저항(a,b,c,d)이 게이트구동신호(Va,Vb,Vc,Vd)의 전압성분(Va,Vb,Vc,Vd)에 미치는 영향은 무시할 정도로 감소된다. 이에 따라, 수학식 3과 같이 각 게이트 드라이브 IC(48A,48B,48C,48D)에는 유사한 전압성분(Va,Vb,Vc,Vd)을 갖는 게이트구동신호가 인가된다.

수학식 3

$$V_a \simeq V_b \simeq V_c \simeq V_d$$

이와 같이, 본 발명의 제1 실시 예에 따른 액정표시장치는 제1 게이트 드라이브 IC(48A)의 게이트구동신호 입력단에 형성되는 감쇄저항(Rs)에 의해 LOG형 신호라인군(LOGC,LOGV)의 라인저항들이 무시할 정도로 작아져 각 게이트 드라이브 IC(48A,48B,48C,48D)의 입력단에 걸리는 저항이 동일해지게 된다. 이에 따라, 각 게이트 드라이브 IC(48A,48B,48C,48D)를 경유하여 동일한 게이트 구동신호가 게이트라인(56)에 공급됨에 따라 수평라인 블럭(A,B,C,D)간의 휘도차는 방지된다.

도 6은 본 발명의 제2 실시 예에 따른 액정표시장치를 나타내는 도면으로써, LOG형 신호라인군 중 게이트로우전압을 전송하는 LOG형 전압라인 또는 게이트구동신호라인군의 입력단에 감쇄저항이 설치된 경우를 도시한 것이다.

도 6을 참조하면, 본 발명의 제2 실시 예에 따른 액정표시장치는 액정패널(134)과, 액정패널(134)과 데이터 PCB(14

4) 사이에 접속되어진 다수개의 데이터 TCP들(140)과, 액정패널(134)의 다른 측에 접속되어진 다수개의 게이트 TCP들(146A 내지 146D)과, 데이터 TCP들(140) 각각에 실장되어진 데이터 드라이브 IC 들(142)과, 게이트 TCP들(146A 내지 146D) 각각에 실장된 게이트 드라이브 IC들(148A 내지 148D)과, 게이트 드라이브 IC(148)와 데이터 드라이브 IC(142)에 공급되는 구동전압신호를 생성하는 전원공급부(150)와, 전원공급부(150)에 직렬로 접속되는 감쇄저항(Rs)을 구비한다.

액정패널(134)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(136)과, 칼라필터 어레이가 형성된 상부기판(138)과, 하부기판(136)과 상부기판(138) 사이에 주입된 액정을 포함한다. 이러한 액정패널(134)은 게이트라인들(156)과 데이터라인들(도시하지 않음)의 교차영역마다 형성된 액정셀들에 의해 화상표시영역(141)에 화상을 표시한다. 하부기판(136)의 외곽영역에는 게이트 드라이브 IC(148A 내지 148D)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군이 위치하게 된다.

데이터 TCP(140)에는 데이터 드라이브 IC(142)가 실장되고, 그 데이터 TCP(140)는 데이터 PCB(144) 및 하부기판(136)과 접속된다. 특히 첫번째 데이터 TCP(140)는 하부기판(136) 상의 LOG형 신호라인군에 각각 접속되는 게이트 구동신호라인군(152)을 더 구비한다. 이 게이트 구동신호라인군(152)은 데이터 PCB(144)를 경유하여 전원 공급부(150)로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군에 공급하게 된다.

전원 공급부(150)는 입력전원을 이용하여 액정표시장치에서 필요로 하는 공통전압(VCOM), 게이트하이전압(VGH), 게이트로우전압(VGL) 등과 같은 구동전압들을 생성하게 된다.

데이터 드라이브 IC들(142)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널(134) 상의 데이터라인들에 공급한다.

게이트 TCP(146)에는 게이트 드라이브 IC(148)가 실장되고, 그 게이트 TCP(146)는 게이트 드라이브 IC(148)와 접속되는 출력 패드들을 통해 하부기판(136)과 접속된다.

게이트 드라이브 IC들(148A 내지 148D)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(156)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(148A 내지 148D)은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들(156)에 공급한다.

LOG형 신호라인군은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부(150)로부터 공급되는 구동전압신호들과, 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 콘트롤러로부터 공급되는 게이트 제어신호들 각각을 공급하는 LOG형 전압라인들 및 LOG형 제어라인들로 구성된다. 이러한 LOG형 신호라인군은 게이트라인들(156)과 동일하게 게이트 금속으로 형성된다.

이러한 LOG형 신호라인군 중 화질에 상대적으로 큰 영향을 미치는 게이트로우전압(VGL)이 공급되는 LOG형 전압라인(LVGL)의 입력단 또는 전원공급부(150)에서 생성된 게이트로우전압(VGL)을 LOG형 전압라인(LVGL)에 공급하기 위한 게이트구동 신호라인군(152)의 입력단에 상대적으로 큰 저항값을 갖는 감쇄저항(Rs)을 설치한다.

즉, 감쇄저항(Rs)은 게이트 TCP들(146A,146B,146C,146D) 사이에 형성되는 제1 내지 제4 LOG형 전압라인(LOGL1 내지 LOGL4)의 라인저항(a,b,c,d)과 직렬로 연결되고, 제1 내지 제4 LOG형 전압라인(LOGL1 내지 LOGL4)의 라인저항(a,b,c,d)의 전체합(a+b+c+d)을 무시할 수 있을 정도의 큰 저항을 가지게 된다. 예를 들어, 감쇄저항(Rs)은 약 430~760Ω정도의 저항값을 갖도록 한다.

이는 액정셀에 충전된 전압을 안정되게 유지하는 스토리지캐패시터에 공급되는 게이트로우전압(VGL)이 불안정해지는 경우, 액정셀에 충전되는 전압이 왜곡되기 때문이다.

이와 같이, 게이트로우전압(VGL)이 공급되는 LOG형 전압라인(LOGL) 또는 게이트구동신호라인군(152)의 입력단에 직렬로 설치되는 감쇄저항(Rs)에 의해 제1 내지 제4 LOG형 전압라인들(LOGL1 내지 LOGL4)의 라인저항들(a,b,c,d)은 무시됨으로써 라인저항(a,b,c,d)으로 인한 각 게이트 드라이브 IC(148A,148B,148C,148D)로 공급되는 게이트로우전압차가 방지된다. 이에 따라, 각 게이트 드라이브 IC(148A,148B,148C,148D)를 경유하여 동일한 게이트로우전압(VGL)이 게이트라인(156)에 공급됨에 따라 수평라인블럭(A,B,C,D)간의 휘도차는 발생하지 않게 된다.

한편, 감쇄저항(Rs)으로 인한 게이트 드라이브 IC(148)별 게이트로우전압차의 방지의 효과는 도 7a 및 도 7b와 같이 액정패널의 화상표시부(141)를 도트 인버 젼 방식으로 구동하면서 기수번째 데이터라인과 우수번재 데이터라인에 접속되는 액정셀들 각각에 서로 다른 그레이의 테스트패턴을 공급하는 경우 두드러지게 나타난다.

이를 상세히 설명하면, 제n-1 번째 게이트라인(GLn-1)에 게이트 하이신호(VGH)가 공급되면 도 8 및 도 9에 도시된 바와 같이 제m-1 번째 데이터라인(DLm-1)과 접속되는 액정셀(Clc)들에는 0그레이의 정극성전압(8V)이 공급되고, 제m 번째 데이터라인(DLm)과 접속되는 액정셀(Clc)들에는 63그레이의 부극성전압(3V)이 공급된다.

이어서, 제n-1 번째 게이트라인(GLn-1)에는 게이트 로우신호(VGL)가 공급됨과 아울러 제n 번째 게이트라인들(GLn)에는 게이트 하이신호(VGH)가 공급됨에 따라 제m-1 번째 데이터라인(DLm-1)과 접속되는 액정셀들에는 0그레이의 부극성 전압(0.3V)이 공급되고, 제m 번째 데이터라인(DLm)과 접속되는 액정셀들에는 63그레이의 정극성 전압(5V)이 공급된다.

이와 같이, 제n 번째 게이트라인들(GLn)에는 게이트 하이신호(VGH)가 공급될 때, 제m-1 번째 데이터라인(DLm-1)과 접속되는 액정셀들에 공급되는 0그레이의 부극성 전압과 도 10에 도시된 제m-1 번째 데이터라인(DLm-1)과 이전의 게이트라인(GLn-1) 사이의 기생캐패시터(Cp)에 충전된 전압과의 차이로 인해 이전의 게이트라인(GLn-1)에 공급되는 게이트 로우신호(VGL)가 정극성에서 부극성 쪽으로 스윙하게 된다.

이러한 제1 내지 제4 게이트로전압(VGL1,VGL2,VGL3,VGL4)의 스윙전압은 게이 트로우전압(VGL)을 공급하는 제1 내지 제4 LOG형 전압라인(LOGL1 내지 LOG4)의 라인저항(a,b,c,d)에 비례하여 증가하게 된다.

이러한, 스윙전압의 증가는 감쇄저항(Rs)에 의해 억제할 수 있다. 다시 말하여, 게이트로우전압(VGL)이 공급되는 LOG형 전압라인(LOGL)에 직렬 접속되는 감쇄저항(Rs)으로 인해 LOG형 전압라인(LOGL)의 라인저항(a,b,c,d)이 무시되게 함으로써 스윙전압이 LOG형 전압라인(LOGL)의 라인저항(a,b,c,d)에 비례하여 증가하는 것을 방지할 수 있게 된다. 이로써, 각 게이트 드라이브 IC(148A 내지 148D)를 경유하여 동일한 게이트로우전압(VGL)이 게이트라인(156)에 공급됨에 따라 수평라인 블럭(A,B,C,D)간의 휘도차는 방지된다.

도 11은 본 발명의 제3 실시 예에 따른 액정표시장치를 나타내는 도면으로써, LOG형 신호라인군 중 게이트하이전압을 전송하는 LOG형 전압라인의 입력단에 감쇄저항이 설치된 경우를 도시한 것이다.

도 11을 참조하면, 본 발명의 제3 실시 예에 따른 액정표시장치는 액정패널(234)과, 액정패널(234)과 데이터 PCB(244) 사이에 접속되어진 다수개의 데이터 TCP들(240)과, 액정패널(234)의 다른 측에 접속되어진 다수개의 게이트 TCP들(246A 내지 246D)과, 데이터 TCP들(240) 각각에 실장되어진 데이터 드라이브 IC들(242)과, 게이트 TCP들(246A 내지 246D) 각각에 실장된 게이트 드라이브 IC들(248A 내지 248D)과, 게이트 드라이브 IC(248)와 데이터 드라이브 IC(242)에 공급되는 구동전압을 생성하는 전원 공급부(250)와, 전원공급부(250)의 게이트하이전압(VGH)의 출력라인에 직렬로 접속되는 감쇄저항(Rs)을 구비한다.

액정패널(234)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(236)과, 칼라필터 어레이가 형성된 상부기판(238)과, 하부기판(236)과 상부기판(238) 사이에 주입된 액정을 포함한다. 이러한 액정패널(234)은 게이트라인들(256)과 데이터라인들(도시하지 않음)의 교차영역마다 형성된 액정셀들에 의해 화상표시영역(241)에 화상을 표시한다. 하부기판(236)의 외곽영역에는 게이트 드라이브 IC(248A 내지 248D)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군이 위치하게 된다.

데이터 TCP(240)에는 데이터 드라이브 IC(242)가 실장되고, 그 데이터 TCP(240)는 데이터 PCB(244) 및 하부기판(236)과 접속된다. 특히 첫번째 데이터 TCP(240)는 하부기판(236) 상의 LOG형 신호라인군에 각각 접속되는 게이트 구동신호 전송라인군(252)을 더 구비한다. 이 게이트 구동신호 전송라인군(252)은 데이터 PCB(244)를 경유하여 전원 공급부(250)로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군에 공급하게 된다.

전원 공급부(250)는 입력전원을 이용하여 액정표시장치에서 필요로 하는 공통전압(VCOM), 게이트하이전압(VGH), 게이트로우전압(VGL) 등과 같은 구동전압들을 생성하게 된다.

데이터 드라이브 IC들(242)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널(234) 상의 데이터라인들에 공급한다.

게이트 TCP(246)에는 게이트 드라이브 IC(248)가 실장되고, 그 게이트 TCP(246)는 게이트 드라이브 IC(248)와 접속되는 출력 패드들을 통해 하부기판(236)과 접속된다.

게이트 드라이브 IC들(248A 내지 248D)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(256)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(248A 내지 248D)은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들(256)에 공급한다.

LOG형 신호라인군은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라

운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부(250)로부터 공급되는 구동전압신호들과, 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 콘트롤러로부터 공급되는 게이트 제어신호들 각각을 공급하는 LOG형 전압라인들 및 LOG형 제어라인들로 구성된다. 이러한 LOG형 신호라인군은 게이트라인들(256)과 동일하게 게이트 금속으로 형성된다.

이러한 LOG형 신호라인군 중 화질에 상대적으로 큰 영향을 미치는 게이트하이전압(VGH)이 공급되는 LOG형 전압라인(LOGH)의 입력단 또는 전원공급부(250)에서 생성된 게이트하이전압(VGH)을 LOG형 전압라인(LOGH)에 공급하기 위한 게이트구동신호전송라인군(252)의 입력단에 상대적으로 큰 저항값을 갖는 감쇄저항(Rs)을 설치한다. 즉, 감쇄저항(Rs)은 게이트 TCP들(246A,246B,246C,246D) 사이에 형성되는 제1 내지 제4 LOG형 전압라인(LOGH1 내지 LOGH4)의 라인저항(a,b,c,d)과 직렬로 연결되고, LOG형 전압라인의 라인저항(a,b,c,d)의 전체합(a+b+c+d)을 무시할 수 있을 정도의 큰 저항을 가지게 된다. 예를 들어, 감쇄저항(Rs)은 약 270~830Ω정도의 저항값을 갖도록 한다.

이는 게이트하이전압(VGH)이 불안정해지는 경우, 각 액정셀들의 피드 쓰로우 전압(△Vp) 특성이 달라져 각 액정셀들에 충전되는 전압이 왜곡되기 때문이다.

이와 같이, 게이트하이전압(VGH)이 공급되는 LOG형 전압라인(LOGH) 또는 게이트구동신호라인군(252)의 입력단에 직렬로 설치되는 감쇄저항(Rs)에 의해 제1 내지 제4 LOG형 전압라인들(LOGH1 내지 LOGH4)의 라인저항들(a,b,c,d)은 무시됨으로써 라인저항(a,b,c,d)으로 인한 각 게이트 드라이브 IC(248A,248B,248C,248D)로 공급되는 게이트하이전압(VGH)의 차이가 방지된다. 이에 따라, 각 게이트 드라이브 IC(248A,248B,248C,248D)를 경유하여 동일한 게이트하이전압(VGH)이 게이트라인(256)에 공급됨에 따라 수평라인블럭(A,B,C,D)간의 휘도차는 발생하지 않게 된다.

한편, 감쇄저항(Rs)으로 인한 게이트 드라이브 IC(248)별 게이트하이전압(VGH)차의 방지효과는 도 12a 및 도 12b와 같이 액정패널의 화상표시부(241)를 도트 인버젼 방식으로 구동하면서 기수번째 데이터라인과 우수번째 데이터라인에 각각 접속되는 액정셀들에 서로 동일한 그레이의 테스트패턴을 공급하는 경우 두드러지게 나타난다.

이를 상세히 설명하면, 제n-1 번째 게이트라인(GLn-1)에 게이트 하이신호(VGH)가 공급되면 도 13 및 도 14에 도시된 바와 같이 제m-1 번째 데이터라인(DLm-1)과 접속되는 액정셀들에는 31그레이의 정극성 전압(6V)이 공급되고, 제m 번째 데이터라인(DLm)과 접속되는 액정셀들에는 31그레이의 부극성 전압(2V)이 공급된다. 이어서, 제n-1번째 게이트라인(GLn-1)에는 게이트 로우신호(VGL)가 공급됨과 아울러 제n 번째 게이트라인들(GLn)에는 게이트 하이신호(VGH)가 공급됨에 따라 제m-1 번째 데이터라인(DLm-1)과 접속되는 액정셀들에는 31그레이의 부극성 전압(2V)이 공급되고, 제m 번째 데이터라인(DLm)과 접속되는 액정셀들에는 31그레이의 정극성 전압(6V)이 공급된다.

이와 같이, 인접한 액정셀에 충전된 정극성전압과 부극성전압 간의 전압차는 동일하여 이들 간의 전압차가 서로 상쇄되므로 이전단 게이트라인의 액정셀에 충전된 전압이 다음단 게이트라인의 액정셀쪽으로 스윙되는 것이 방지된다. 반면에, 게이트 드라이브 IC(248) 별로 게이트라인들에 공급되는 게이트하이전압(VGH)은 제1 내지 제4 LOG형 전압라인(LOGH1 내지 LOGH4)의 라인저항(a,b,c,d)에 의해 불안정해진다. 즉, 제1 게이트 드라이브 IC(248A)에서 제4 게이트 드라이브 IC(248D)쪽으로 진행할 수록 LOG형 전압라인(LOGH)의 라인저항이 가산됨에 따라 수평라인블록(A,B,C,D)에 공급되는 제1 내지 제4 게이트하이전압은 VGH1>VGH2>VGH3>VGH4와 같은 관계를 갖게 된다.

이에 따라, 게이트하이전압(VGH)이 공급되는 LOG형 전압라인(LOGH) 또는 게이트구동신호라인군(252)에 직렬 접속되는 감쇄저항(Rs)으로 인해 LOG형 전압라인(LOGH)의 라인저항(a,b,c,d)이 무시되게 한다. 이로써 각 게이트 드라이브 IC(248A 내지 248D)를 경유하여 동일한 게이트하이전압(VGH)이 게이트라인(256)에 공급됨에 따라 수평라인 블럭(A,B,C,D)간의 휘도차는 방지된다.

도 15는 본 발명의 제4 실시 예에 따른 액정표시장치를 나타내는 도면으로써, LOG형 신호라인군 중 게이트하이전압 및 게이트로우전압을 각각 전송하는 제1 및 제2 LOG형 전압라인의 입력단에 제1 및 제2 감쇄저항이 설치된 경우를 도시한 것이다.

도 15를 참조하면, 본 발명의 제4 실시 예에 따른 액정표시장치는 액정패널(334)과, 액정패널(334)과 데이터 PCB(344) 사이에 접속되어진 다수개의 데이터 TCP들(340)과, 액정패널(334)의 다른 측에 접속되어진 다수개의 게이트 TCP들(346A 내지 346D)과, 데이터 TCP들(340) 각각에 실장되어진 데이터 드라이브 IC들(342)과, 게이트 TCP들(346A 내지 346D) 각각에 실장된 게이트 드라이브 IC들(348A 내지 348D)과, 다수의 구동전압들을 공급하는 전원공급부(350)와 , 전원공급부(350)의 게이트로우전압(VGL)의 출력라인과 게이트하이전압(VGH)의 출력라인 각각 직렬로 접속되는 제1 및 제2 감쇄저항(Rs1,Rs2)을 구비한다.

액정패널(334)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(336)과, 칼라필터 어레이가 형성된 상부기판(338)과, 하부기판(336)과 상부기판(338) 사이에 주입된 액정을 포함한다. 이러한 액정패널(334)은 게

이트라인들(356)과 데이터라인들(도시하지 않음)의 교차영역마다 형성된 액정셀들에 의해 화상표시영역(341)에 화상을 표시한다. 하부기판(336)의 외곽영역에는 게이트 드라이브 IC(348A 내지 348D)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인(LOGH,LOGL)이 위치하게 된다.

데이터 TCP(340)에는 데이터 드라이브 IC(342)가 실장되고, 그 데이터 TCP(340)는 데이터 PCB(344) 및 하부기판(336)과 접속된다. 특히 첫번째 데이터 TCP(340)는 하부기판(336) 상의 LOG형 신호라인(LOGH,LOGL)에 각각 접속되는 게이트 구동신호 전송라인군(352a,352b)을 더 구비한다. 이 게이트 구동신호 전송라인군(352a,352b)은 데이터 PCB(344)를 경유하여 전원 공급부(350)로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(LOGH,LOGL)에 공급하게 된다.

전원 공급부(350)는 입력전원을 이용하여 액정표시장치에서 필요로 하는 공통전압(VCOM), 게이트하이전압(VGH), 게이트로우전압(VGL) 등과 같은 구동전압들을 생성하게 된다.

데이터 드라이브 IC들(342)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널(334) 상의 데이터라인들에 공급한다.

게이트 TCP(346)에는 게이트 드라이브 IC(348)가 실장되고, 그 게이트 TCP(346)는 게이트 드라이브 IC(348)와 접속되는 출력 패드들을 통해 하부기판(336)과 접속된다.

게이트 드라이브 IC들(348A 내지 348D)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(356)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(348A 내지 348D)은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들(256)에 공급한다.

LOG형 신호라인군은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부(350)로부터 공급되는 구동전압신호들과, 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 콘트롤러로부터 공급되는 게이트 제어신호들 각각을 공급하는 LOG형 전압라인들 및 LOG형 제어라인들로 구성된다. 이러한 LOG형 신호라인군은 게이트라인들(356)과 동일하게 게이트 금속으로 형성된다.

이러한 LOG형 신호라인군 중 화질에 상대적으로 큰 영향을 미치는 게이트하이전압(VGH) 및 게이트로우전압(VGL)이 각각 공급되는 LOG형 전압라인들(LOGH,LOGL)의 입력단 또는 제1 및 제2 게이트구동신호라인군(352a,352b)의 입력단에 상대적으로 큰 저항값을 갖는 제1 및 제2 감쇄저항(Rs1,Rs2)을 설치한다. 즉, 제1 및 제2 감쇄저항(Rs1,Rs2)은 게이트 TCP들(346A,346B,346C,346D) 사이에 형성되는 제1 내지 제4 LOG형 전압라인들의 라인저항(a,b,c,d)과 직렬로 연결되고, LOG형 전압라인들의 라인저항(a,b,c,d)의 전체합(a+b+c+d)을 무시할 수 있을 정도의 큰 저항을 가지게 된다. 예를 들어, 제1 감쇄저항(Rs1)은 약 270~830Ω정도의 저항값을 갖도록 하며, 제2 감쇄저항(Rs2)은 약 430~760Ω정도의 저항값을 갖도록 한다.

제1 감쇄저항(Rs1)은 게이트하이전압(VGH)이 불안정해지는 것을 방지하여 각 액정셀들의 피드 쓰로우 전압(△Vp) 특성이 달라져 각 액정셀들에 충전되는 전압이 왜곡되게 되는 것을 방지하게 된다. 제2 감쇄저항(Rs2)은 액정셀에 충전된 전압을 안정되게 유지하는 스토리지캐패시터에 공급되는 게이트로우전압(VGL)이 불안정해지는 것을 방지하여 액정셀에 충전되는 전압이 왜곡되는 것을 방지하게 된다.

이에 따라, 게이트하이전압(VGH)이 공급되는 LOG형 전압라인(LOGH)에 직렬 접속되는 제1 감쇄저항(Rs1)과 게이트로우전압(VGL)이 공급되는 LOG형 전압라인(LOGL)에 직렬 접속되는 제2 감쇄저항(Rs2)은 각 LOG형 전압라인들(LOGH,LOGL)의 라인저항(a,b,c,d)이 무시되게 함으로써 각 게이트 드라이브 IC(348A 내지 348D)를 경유하여 동일한 게이트전압(VG)이 게이트라인(356)에 공급됨에 따라 수평라인 블럭(A,B,C,D)간의 휘도차는 방지된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 구동방법은 LOG형 신호라인의 입력단에 LOG형 신호라인군의 라인저항의 전체합보다 상대적으로 큰 감쇄저항을 형성하게 된다. 이에 따라, LOG형 신호라인군의 라인저항은 감쇄저항에 비해 무시할 수 있을 정도로 작아져 게이트 드라이브 집적회로별로 게이트구동신호들의 전압차를 줄일 수 있어 라인저항 차에 인한 수평라인 블럭간의 휘도차를 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.
액정셀 매트릭스를 갖는 액정패널과,

상기 액정패널을 구동하기 위한 적어도 하나의 집적회로들과,

상기 적어도 하나의 집적회로들과 공통으로 접속되어 상기 집적회로들에 구동신호를 공급하는 공급라인과,

상기 공급라인의 입력단에 형성되어 상기 공급라인의 라인저항들 합보다 큰 저항값을 갖는 신호감쇄부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.
제 1 항에 있어서,

상기 신호감쇄부는 약 270~830Ω의 저항값을 갖는 것을 특징으로 하는 액정표시장치.

청구항 3.
제 1 항에 있어서,

상기 공급라인은

상기 액정패널 상에 형성되어 상기 구동신호를 상기 집적회로에 공통으로 공급하는 라인 온 글래스형 신호라인과,

상기 라인 온 글래스형 신호라인에 상기 구동신호를 공급하는 신호전송라인으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 4.
제 3 항에 있어서,

상기 집적회로는 상기 액정패널 상에 형성되는 게이트라인에 게이트신호를 공급하는 게이트집적회로인 것을 특징으로 하는 액정표시장치.

청구항 5.
제 4 항에 있어서,

상기 액정패널 상에 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로가 실장되는 데이터 테이프 캐리어 패키지와,

상기 게이트 집적회로가 실장되는 게이트 테이프 캐리어 패키지와,

상기 데이터 테이프 캐리어 패키지와 접속되는 인쇄회로기판을 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.
제 5 항에 있어서,

상기 인쇄회로기판 상에 형성되며 상기 게이트집적회로 및 데이터 집적회로를 제어하기 위한 구동 타이밍 제어신호를 생성하여 상기 공급라인에 공급하는 타이밍 콘트롤러와,

상기 인쇄회로기판 상에 형성되며 상기 게이트집적회로 및 데이터 집적회로에 공급되는 구동전압들을 생성하여 상기 공급라인에 공급하는 전원공급부를 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7.
제 6 항에 있어서,

상기 타이밍 콘트롤러 및 전원공급부 중 적어도 어느 하나에서 생성된 게이트신호는 상기 데이터 테이프 캐리어 패키지를 통해 상기 게이트 집적회로에 공급되는 것을 특징으로 하는 액정표시장치.

청구항 8.
제 5 항에 있어서,

상기 신호감쇄부는 상기 인쇄회로기판에 위치하는 상기 신호전송라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 9.
제 5 항에 있어서,

상기 신호감쇄부는 상기 데이터 테이프 캐리어 패키지에 위치하는 상기 신호전송라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 10.
제 3 항에 있어서,

상기 신호감쇄부는 상기 라인 온 글래스형 신호라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 11.
제 6 항에 있어서,

상기 신호감쇄부는 상기 타이밍콘트롤러에 내장되도록 형성하는 것을 특징으로 하는 액정표시장치.

청구항 12.
제 6 항에 있어서,

상기 신호감쇄부는 상기 전원공급부에 내장되도록 형성하는 것을 특징으로 하는 액정표시장치.

청구항 13.
제 4 항에 있어서,

상기 게이트집적회로에는 상기 공급라인을 통해 게이트신호의 로우논리전압이 공급되는 것을 특징으로 하는 액정표시장치.

청구항 14.
제 4 항에 있어서,

상기 게이트 집적회로에는 상기 공급라인을 통해 게이트신호의 하이논리전압이 공급되는 것을 특징으로 하는 액정표시장치.

청구항 15.
제 6 항에 있어서,

상기 게이트집적회로에는 상기 공급라인을 통해 상기 구동 타이밍 제어신호가 공급되는 것을 특징으로 하는 액정표시장치.

청구항 16.
액정셀 매트릭스를 갖는 액정패널과,

상기 액정패널을 구동하기 위한 적어도 하나의 집적회로들과,

상기 적어도 하나의 집적회로들과 공통으로 접속되어 상기 집적회로들에 구동신호를 공급하는 공급라인과,

상기 공급라인으로부터 상기 집적회로들에 공급되는 구동신호의 전류성분을 제한하는 전류제한소자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 17.
제 16 항에 있어서,

상기 공급라인은

상기 액정패널 상에 형성되어 상기 구동신호를 상기 집적회로에 공통으로 공급하는 라인 온 글래스형 신호라인과,

상기 라인 온 글래스형 신호라인에 상기 구동신호를 공급하는 신호전송라인으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 18.
제 16 항에 있어서,

상기 전류제한소자는 상기 공급라인의 입력단에 형성되어 상기 공급라인의 라인저항들의 합보다 큰 저항값을 갖는 것을 특징으로 하는 액정표시장치.

청구항 19.
제 18 항에 있어서,

상기 전류제한소자는 약 270~830Ω의 저항값을 갖는 것을 특징으로 하는 액정표시장치.

청구항 20.
제 16 항에 있어서,

상기 집적회로는 상기 액정패널 상에 형성되는 게이트라인에 게이트신호를 공급하는 게이트집적회로인 것을 특징으로 하는 액정표시장치.

청구항 21.
제 20 항에 있어서,

상기 액정패널 상에 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로가 실장되는 데이터 테이프 캐리어 패키지와,

상기 게이트 집적회로가 실장되는 게이트 테이프 캐리어 패키지와,

상기 데이터 테이프 캐리어 패키지와 접속되는 인쇄회로기판을 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 22.
제 21 항에 있어서,

상기 인쇄회로기판 상에 형성되며 상기 게이트집적회로 및 데이터 집적회로를 제어하기 위한 구동 타이밍 제어신호를 생성하여 상기 공급라인에 공급하는 타이밍 콘트롤러와,

상기 인쇄회로기판 상에 형성되며 상기 게이트집적회로 및 데이터 집적회로에 공급되는 구동전압들을 생성하여 상기 공급라인에 공급하는 전원공급부를 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 23.
제 21 항에 있어서,

상기 타이밍 콘트롤러 및 전원공급부 중 적어도 어느 하나에서 생성된 게이트신호는 상기 데이터 테이프 캐리어 패키지를 통해 상기 게이트 집적회로에 공급 되는 것을 특징으로 하는 액정표시장치.

청구항 24.
제 21 항에 있어서,

상기 전류제한소자는 상기 인쇄회로기판에 위치하는 상기 신호전송라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 25.
제 21 항에 있어서,

상기 전류제한소자는 상기 테이프 캐리어 패키지에 위치하는 상기 신호전송라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 26.
제 17 항에 있어서,

상기 전류제한소자는 상기 라인 온 글래스형 신호라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 27.
제 22 항에 있어서,

상기 전류제한소자는 상기 타이밍콘트롤러에 내장되도록 위치하는 것을 특징으로 하는 액정표시장치.

청구항 28.
제 22 항에 있어서,

상기 전류제한소자는 상기 전원공급부에 내장되도록 위치하는 것을 특징으로 하는 액정표시장치.

청구항 29.
제 20 항에 있어서,

상기 게이트집적회로에는 상기 공급라인을 통해 게이트신호의 로우논리전압이 공급되는 것을 특징으로 하는 액정표시장치.

청구항 30.
제 20 항에 있어서,

상기 게이트집적회로에는 상기 공급라인을 통해 게이트신호의 하이논리전압이 공급되는 것을 특징으로 하는 액정표시장치.

청구항 31.
제 22 항에 있어서,

상기 게이트집적회로에는 상기 공급라인을 통해 상기 구동 타이밍 제어신호가 공급되는 것을 특징으로 하는 액정표시장치.

청구항 32.
액정셀 매트릭스를 갖는 액정패널과,

상기 액정패널을 구동하기 위한 적어도 하나의 집적회로들과,

상기 액정패널에 라인 온 글래스방식으로 형성되어 상기 적어도 하나의 집적회로들에 구동신호들을 전송하는 라인 온 글래스형 신호라인들과,

상기 구동신호들을 상기 라인 온 글래스형 신호라인들에 공급하는 신호전송라인과,

상기 신호전송라인 및 라인 온 글래스형 신호라인 중 적어도 어느 하나의 신호라인으로부터 상기 집적회로들에 공급되는 구동신호의 전류성분을 제한하는 전류제한소자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 33.
제 32 항에 있어서,

상기 전류제한소자는 상기 집적회로들 사이에 형성되는 라인저항들 합보다 큰 저항값을 갖는 것을 특징으로 하는 액정표시장치.

청구항 34.
제 33 항에 있어서,

상기 전류제한소자는 약 270~830Ω의 저항값을 갖는 것을 특징으로 하는 액정표시장치.

청구항 35.
제 32 항에 있어서,

상기 집적회로는 상기 액정패널 상에 형성되는 게이트라인에 게이트신호를 공급하는 게이트집적회로인 것을 특징으로 하는 액정표시장치.

청구항 36.
제 35 항에 있어서,

상기 액정패널 상에 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로가 실장되는 데이터 테이프 캐리어 패키지와,

상기 게이트 집적회로가 실장되는 게이트 테이프 캐리어 패키지와,

상기 데이터 테이프 캐리어 패키지와 접속되는 인쇄회로기판을 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 37.
제 36 항에 있어서,

상기 인쇄회로기판 상에 형성되며 상기 게이트집적회로 및 데이터 집적회로를 제어하기 위한 구동 타이밍 제어신호를 생성하여 상기 신호전송라인에 공급하는 타이밍 콘트롤러와,

상기 인쇄회로기판 상에 형성되며 상기 게이트집적회로 및 데이터 집적회로에 공급되는 구동전압들을 생성하여 상기 신호전송라인에 공급하는 전원공급부를 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 38.
제 36 항에 있어서,

상기 타이밍 콘트롤러 및 전원공급부 중 적어도 어느 하나에서 생성된 게이트신호는 상기 데이터 테이프 캐리어 패키지를 통해 상기 게이트 집적회로에 공급되는 것을 특징으로 하는 액정표시장치.

청구항 39.
제 36 항에 있어서,

상기 전류제한소자는 상기 인쇄회로기판에 위치하는 상기 신호전송라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 40.
제 36 항에 있어서,

상기 전류제한소자는 상기 데이터 테이프 캐리어 패키지에 위치하는 상기 신호전송라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 41.
제 32 항에 있어서,

상기 전류제한소자는 상기 라인 온 글래스형 신호라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 42.
제 37 항에 있어서,

상기 전류제한소자는 상기 타이밍콘트롤러에 내장되도록 위치하는 것을 특징으로 하는 액정표시장치.

청구항 43.
제 37 항에 있어서,

상기 전류제한소자는 상기 전원공급부에 내장되도록 위치하는 것을 특징으로 하는 액정표시장치.

청구항 44.
제 35 항에 있어서,

상기 게이트집적회로에는 게이트신호의 로우논리전압이 공급되는 것을 특징으로 하는 액정표시장치.

청구항 45.
제 35 항에 있어서,

상기 게이트집적회로에는 게이트신호의 하이논리전압이 공급되는 것을 특징으로 하는 액정표시장치.

청구항 46.
제 37 항에 있어서,

상기 게이트집적회로에는 상기 구동 타이밍 제어신호가 공급되는 것을 특징으로 하는 액정표시장치.

청구항 47.
적어도 하나의 집적회로에 공급되는 구동신호의 전류성분을 전류제한소자로 제한하여 상기 집적회로들에 공급하는 단계와,

상기 집적회로에 공급된 구동신호를 이용하여 액정패널을 구동하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 48.
제 47 항에 있어서,

상기 구동신호를 상기 집적회로들에 공급하는 단계는

상기 액정패널의 게이트라인들을 구동하는 게이트구동신호의 로우논리전압 및 하이논리전압 중 적어도 어느 하나를 공급하는 단계인 것을 특징으로 하는 액정표시장치의 구동방법.

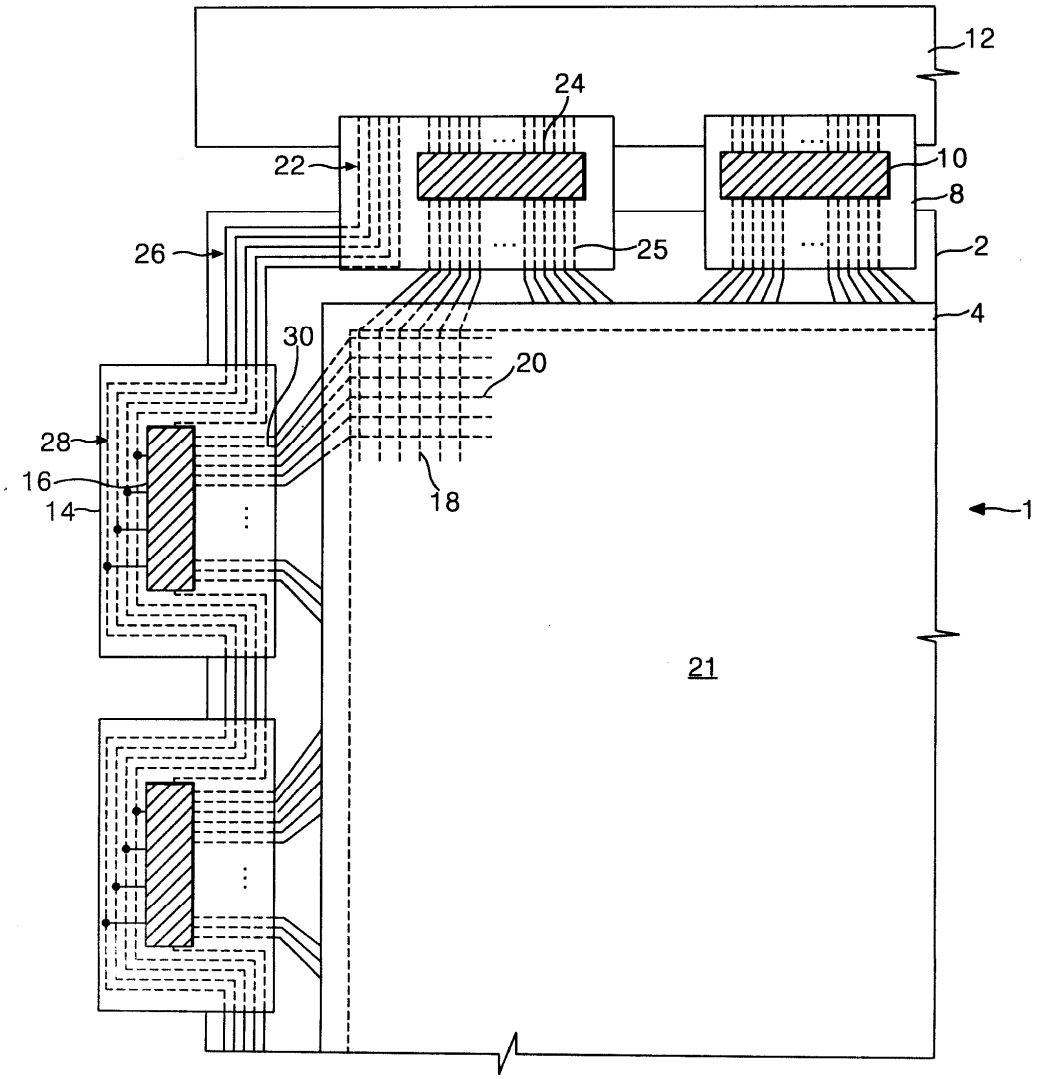
청구항 49.
제 47 항에 있어서,

상기 구동신호를 상기 집적회로들에 공급하는 단계는

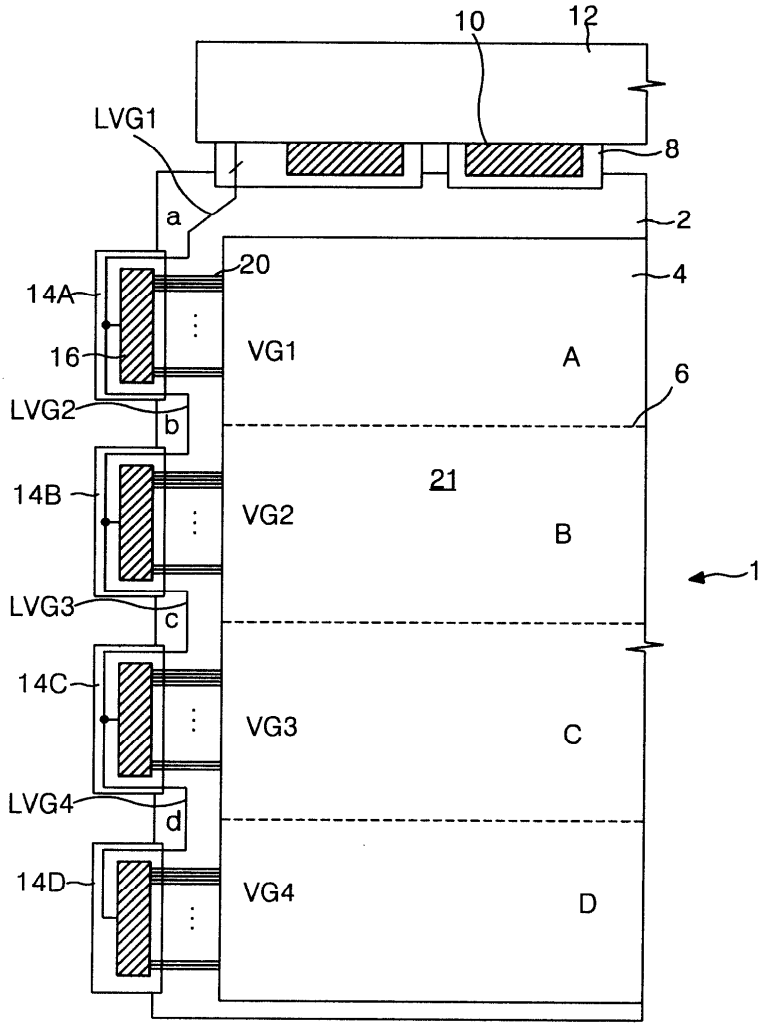
상기 액정패널의 게이트라인들의 구동을 제어하기 위한 타이밍 구동 제어신호를 상기 집적회로들에 공급하는 단계인 것을 특징으로 하는 액정표시장치의 구동방법.

도면

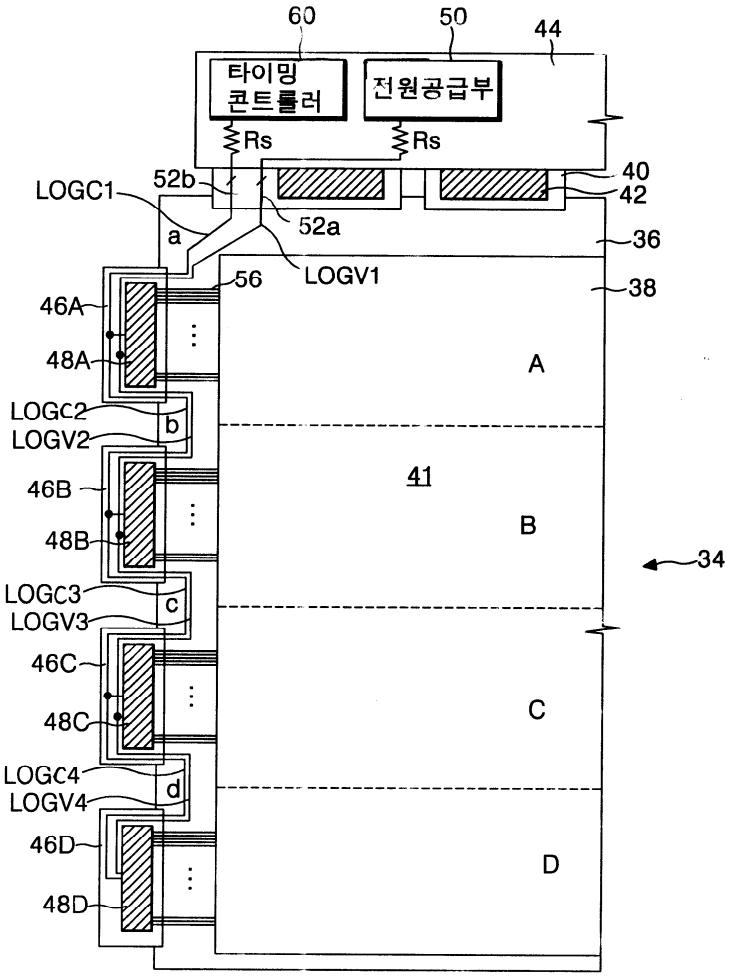
도면1



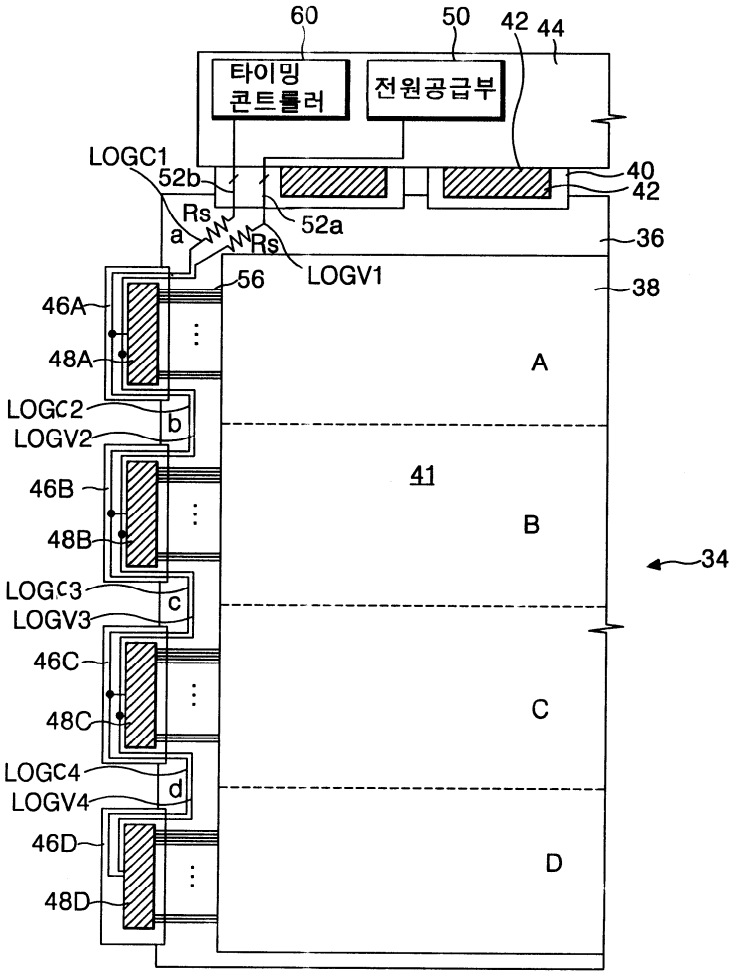
도면2


10
12
LVG1
8
a
2
20
4
14A
16
VG1
A
6
LVG2
b
21
14B
VG2
B
1
LVG3
c
14C
VG3
C
LVG4
d
14D
VG4
D

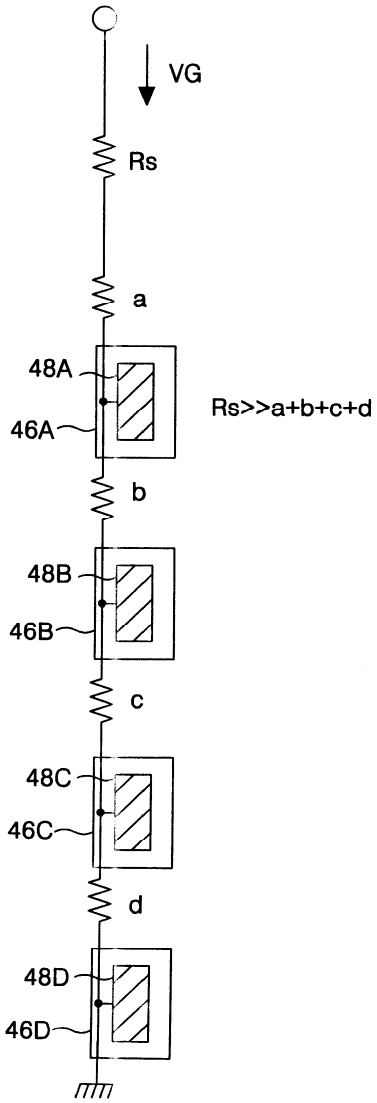
도면3


60
50
44
타이밍 콘트롤러
전원공급부
Rs
Rs
40
42
52b
52a
LOGC1
a
36
56
LOGV1
38
46A
48A
A
LOGC2
LOGV2
b
41
46B
48B
B
34
LOGC3
LOGV3
c
46C
48C
C
LOGC4
LOGV4
d
46D
48D
D

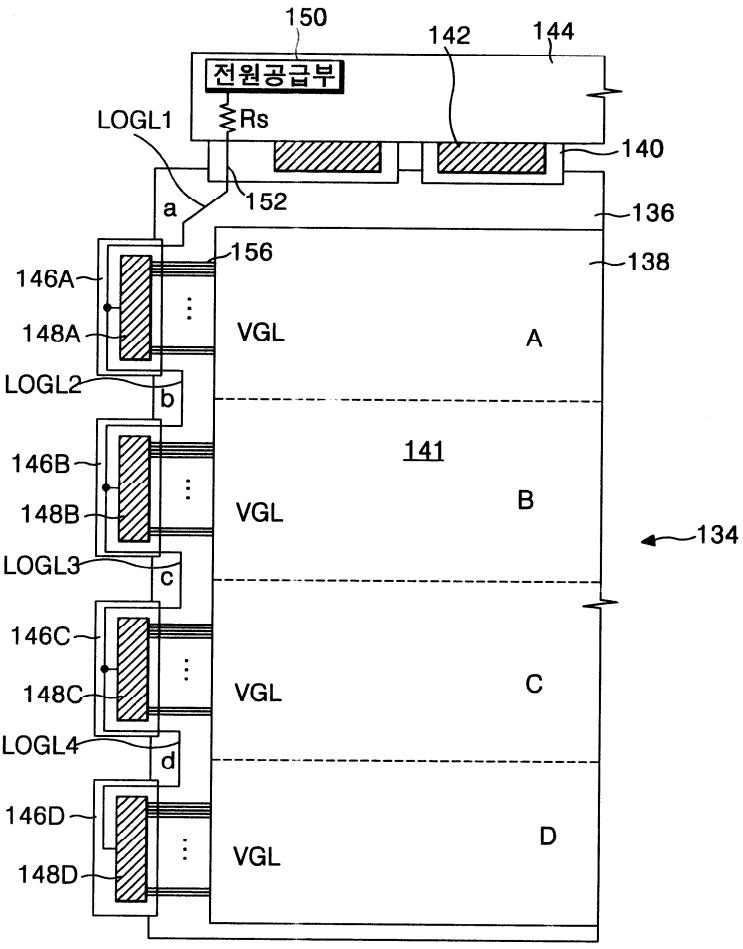
도면4


60
50
42
44
타이밍 콘트롤러
전원공급부
LOGC1
52b
40
42
Rs
a
52a
36
Rs
56
LOGV1
38
46A
48A
A
LOGC2
b
LOGV2
41
46B
48B
B
34
LOGC3
c
LOGV3
46C
48C
C
LOGC4
d
LOGV4
46D
48D
D

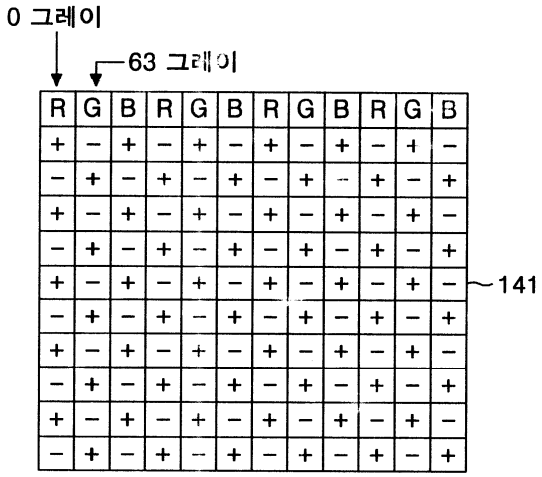
도면5



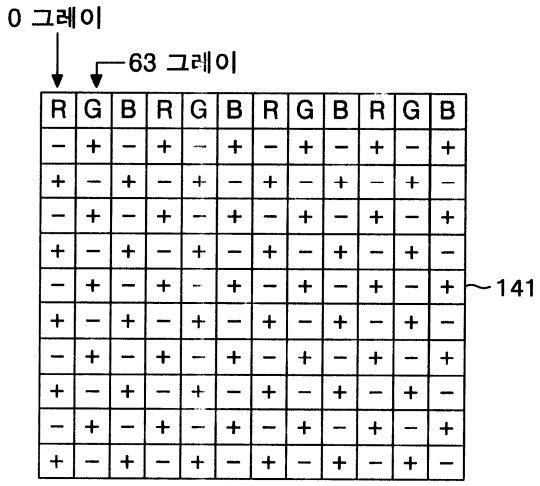
도면6


150
142
144
전원공급부
Rs
LOGL1
140
152
a
136
156
138
146A
148A
VGL
A
LOGL2
b
141
146B
148B
VGL
B
134
LOGL3
c
146C
148C
VGL
C
LOGL4
d
146D
148D
VGL
D

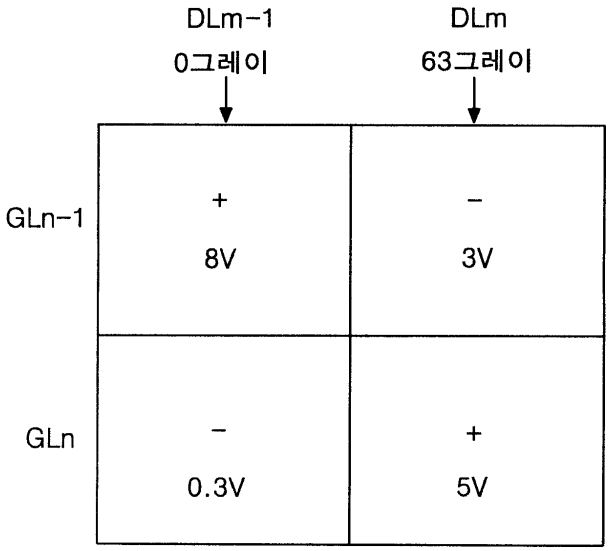
도면7a


0 그레이
63 그레이
R G B R G B R G B R G B
141

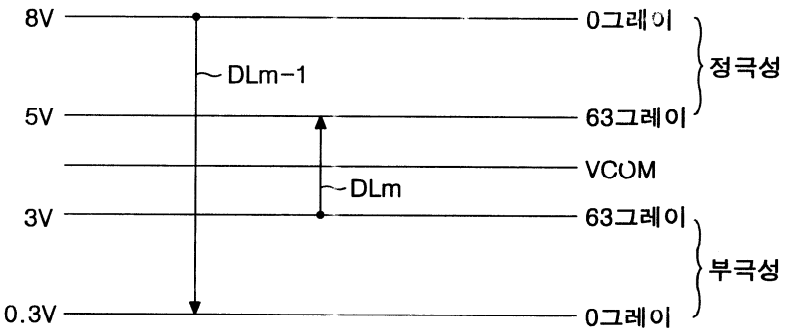
도면7b


0 그레이
63 그레이
R G B R G B R G B R G B
141

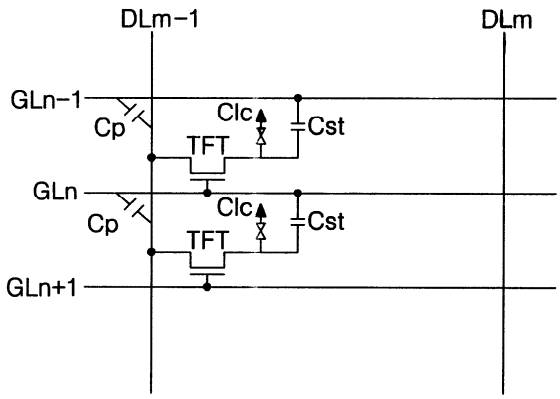
도면8


DLm-1
0그레이
DLm
63그레이
GLn-1
+
8V
-
3V
GLn
-
0.3V
+
5V

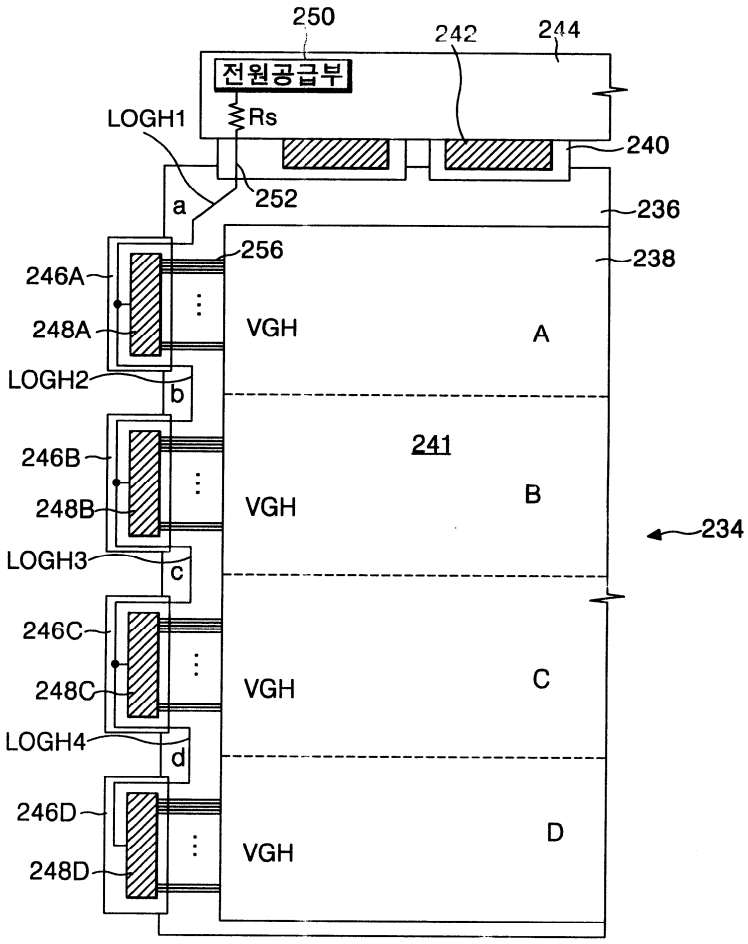
도면9


8V
0그레이
DLm-1
정극성
5V
63그레이
VCOM
DLm
3V
63그레이
부극성
0.3V
0그레이

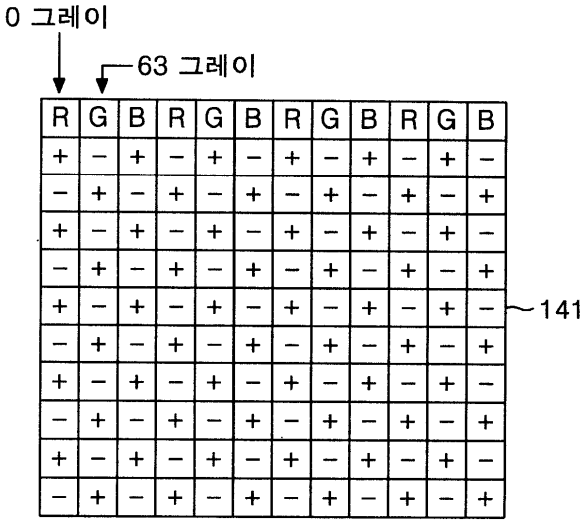
도면10


DLm-1
DLm
GLn-1
Cp
Clc
Cst
TFT
GLn
Cp
Clc
Cst
TFT
GLn+1

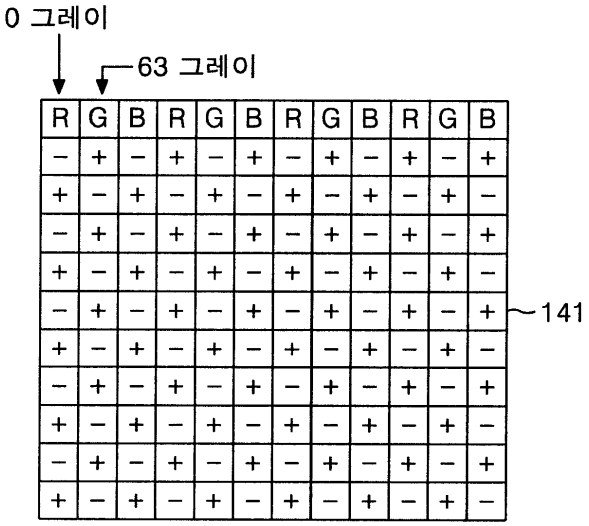
도면11


250
242
244
전원공급부
LOGH1
Rs
240
252
236
a
256
238
246A
248A
VGH
A
LOGH2
b
241
246B
248B
VGH
B
234
LOGH3
c
246C
248C
VGH
C
LOGH4
d
246D
248D
VGH
D

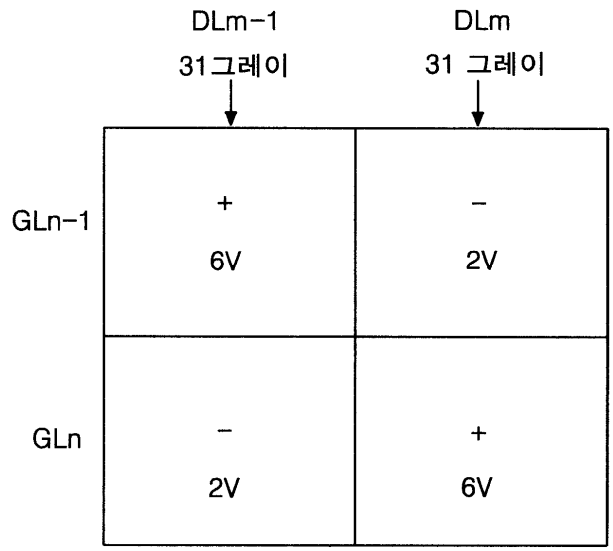
도면12a



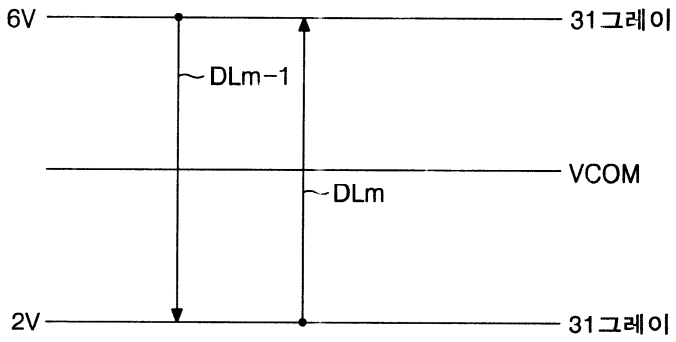
도면12b



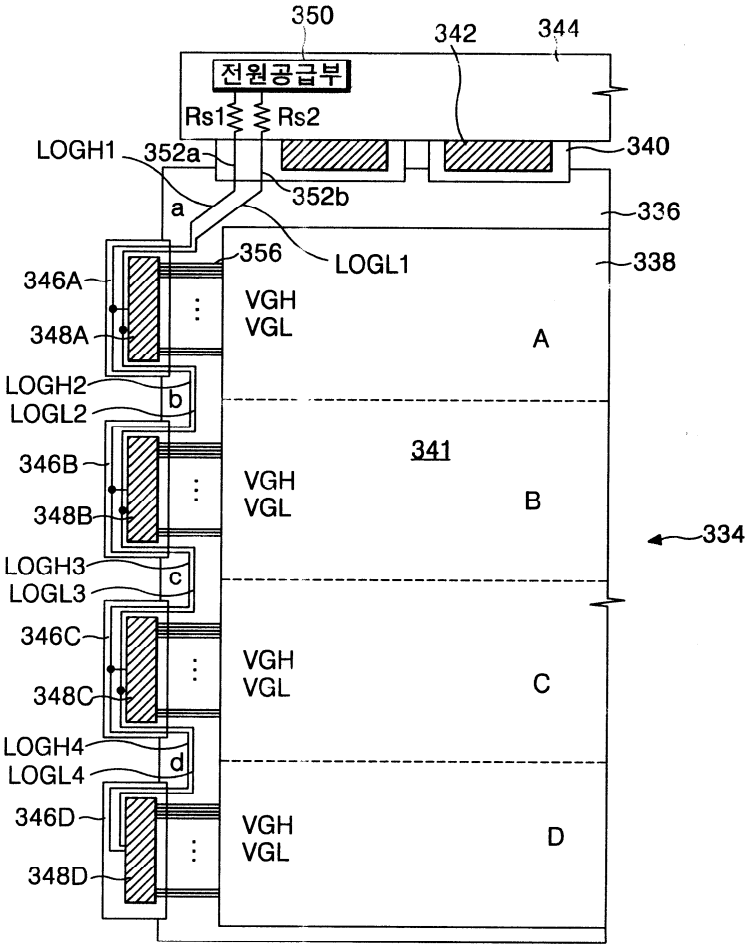
도면13


DLm-1
31그레이
DLm
31 그레이
GLn-1
+
6V
-
2V
GLn
-
2V
+
6V

도면14


6V
31그레이
DLm-1
VCOM
DLm
2V
31그레이

도면15


350
342
344
전원공급부
Rs1
Rs2
LOGH1
352a
340
352b
336
a
356
LOGL1
338
346A
VGH
VGL
348A
A
LOGH2
b
LOGL2
341
346B
VGH
VGL
348B
B
334
LOGH3
c
LOGL3
346C
VGH
VGL
348C
C
LOGH4
d
LOGL4
346D
VGH
VGL
348D
D

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020040033368A	公开(公告)日	2004-04-28
申请号	KR1020020062429	申请日	2002-10-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG SANGMOO 송상무 KIM SANGRAE 김상래 PARK JAEHONG 박재홍		
发明人	송상무 김상래 박재홍		
IPC分类号	G02F1/1345 G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G02F1/13452 G09G3/3611 G09G3/3614 G09G3/3659 G09G3/3677 G09G3/3696 G09G2300/0426 G09G2300/0876 G09G2320/0219 G09G2320/0223 G09G2320/0233		
代理人(译)	Gimyongin Bakyoungbok		
其他公开文献	KR100898784B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器及其驱动方法，以减少栅极驱动信号之间的电压差，从而防止水平线块之间的亮度差。解决方案：液晶面板（38）包括液晶矩阵。多个数据TCP（磁带载体封装）s（40）连接在液晶面板和数据PCB（44）之间。多个栅极TCP（46A-46D）与液晶面板的另一侧连接。数据驱动IC（集成电路）（42）分别装载在数据TCP上。栅极驱动IC（48A-48D）分别装载在栅极TCP上。电源部件（50）产生要提供给栅极驱动IC和数据驱动IC的驱动电压。电源线与栅极IC共同连接，以向栅极IC提供驱动信号。供给线由用于向栅极IC提供驱动信号的液晶面板上形成的LOG（玻璃上线）型信号线（LOGC，LOGV）和用于提供驱动信号的信号传输线（52a，52b）形成到LOG型信号线。信号衰减部件（Rs）形成在电源线的输入端，其电阻值大于电源线的线路电阻值之和。©KIPO 2004