(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/136

(11) 공개번호 특2002-0057050
(43) 공개일자 2002년07월11일

(21) 출원번호 10-2000-0087286
(22) 출원일자 2000년12월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 정재영
부산광역시수영구수영동494-423/4

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 고화질을 구현할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 게이트전극 및 게이트라인 상에 절연막을 증착하고 소오스/드레인 금속패턴 형성시 캐패시터전극과 접속 가능한 상태로 상기 게이트라인 상에 스토리지전극용 금속패턴을 형성한 후 보호층을 증착하고 상기 보호층과 상기 절연막의 일측으로 상기 스토리지 전극용 금속패턴의 길이보다 길게 이격두어 콘택홀을 형성시킨 후에 상기 게이트 라인과 전기적으로 접속되도록 캐패시터전극을 형성하는 것을 특징으로 한다.

본 발명에 의하면, 고용량의 제 1 및 제 2 스토리지 캐패시터를 형성하여 액정에 인가되는 전압의 유지특성이 향상되고 플리커와 크로스토크가 감소될 뿐만 아니라 고화질의 화소를 볼수 있게 된다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 평면도.

도 2a 내지 도 2e는 도 1에서 선 "A-A'" 을 따라 절취한 액정표시장치의 제조방법을 단계적으로 설명하는 단면도.

도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 평면도.

도 4a 내지 도 4e는 도 3에서 선 "B-B'" 를 따라 절취한 액정표시장치의 제조방법을 단계적으로 설명하는 단면도.

도 5는 도 4e에 도시된 제 1 및 제 2스토리지 캐패시터를 나타내는 회로도.

< 도면의 주요 부분에 대한 부호의 설명>

1,31 : 투명기판 3,33: 게이트전극

5,35 : 소스전극 7,37: 드레인전극

9,39 : 게이트절연막 11,41 : 게이트라인

13,43 : 데이터라인 15,45 : 활성층

17,47 : 오믹접촉층 19, 49 : 접촉홀

21,51 : 보호층 23,53 : 화소전극

25,55 : 스토리지전극 57 : 캐패시터전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히, 고화질을 구현할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

액티브 매트릭스 구동방식의 액정표시장치는 스위칭소자로서 박막트랜지스터를 이용하여 자연스로운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터와 노트북 컴퓨터는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.

액정표시장치는 박막트랜지스터(Thin Film Transistor : 이하 "TFT" 라함)로 이루어진 구성소자로 스위칭 소자와 기판 사이에 주입되어 입사되는 빛을 투과하거나 반사하는 액정을 제어하는 화소(Pixel)전극을 기본단위로 하는 화소가 종횡으로배열된 구조를 가진다.

액정표시장치에서 스위칭소자인 TFT와 이에 연결된 화소전극으로 구성된 단위 화소가 하부 기판 상에 각각 N×M(여기서, N 및 M은 자연수)개가 매트릭스(Matric) 상태로 종횡으로 배열되고, 이 TFT 게이트전극들과 드레인전극들에 신호를 전달하는 N개의 게이트라인과 M개의 데이터라인이 게이트라인과 교차되어 형성된다.

도 1은 종래 기술에 따른 액정표시장치의 평면도이다.

도 1을 참조하면, 투명기판(1) 상에 N개의 게이트라인(11)과 M개의 데이터라인(13)이 교차되게 형성되어 N×M개의 화소영역을 한정한다. 상기에서 게이트라인(11)과 데이터라인(13)은 금속으로 형성되며 게이트절연막(9)에 의해 전기적으로 절연된다. N×M개의 화소영역 내에 N×M개의 화소가 형성되는 데, 이 화소는 게이트라인(11) 및 데이터라인(13)에 전기적으로 연결되게 형성된 스위칭소자인 TFT 및 스토리지 캐패시터에 의해 구동된다.

TFT는 게이트전극(3)과, 소스 및 드레인전극(5)(7)과, 반도체층(15)과 오믹접촉층(17)으로 형성된다. 상기에서 게이트전극(3)은 게이트라인(11)과 연결되게 형성되는 데, 이 게이트전극(3)의 상부에 게이트절연막(9)을 개재시켜 활성층(15) 및 오믹접촉층(17)이 형성된다. 드레인전극(7)은 데이터라인(13)과 연결되고, 소스전극(5)은 게이트전극(3)을 사이에 두고 드레인전극(7)과 대응되게 형성된다. 상기에서 소스 및 드레인전극(5)(7)은 오믹접촉층(17)을 개재시켜 활성층(15)의 양측과 중첩되게 형성된다.

스토리지 캐피시터는 하부전극으로 게이트라인(11)이 사용되며, 상부전극으로 사용되는 스토리지전극(25)이 게이트절연막(9)을 개재시켜 형성된다. 상기에서 스토리지전극(25)은 게이트라인(11)과 중첩되도록 데이터라인(13), 소스 및 드레인전극(5)(7)과 동시에 형성된다.

상술한 구조상에 TFT 및 스토리지 캐패시터상에 보호층(21)이 형성된다. 보호층(21)은 TFT의 드레인전극(7)과 스토리지 캐패시터의 스토리지전극(25)을 노출시키는 제 1 및 제 2 접촉홀(19a)(19b)을 갖는다. 그리고 보호층(21) 상의 화소영역에 투명한 화소전극(23)이 형성된다. 상기에서 화소전극(23)은 제 1 접촉홀(19a)을 통해 TFT의 드레인전극(7)과 연결되고 제 2 접촉홀(19b)을 통해 스토리지 캐패시스터의 스토리지전극(25)과 연결된다.

도 2a 내지 도 2e는 도 1에 도시된 액정표시장치의 제조방법을 나타내는 단면도이다.

도 2a를 참조하면, 투명기판(1) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리쏘그래피방법으로 패터닝하여 투명기판(1)상에 게이트전극(3)과 게이트라인(11)을 형성한다.

도 2b를 참조하면, 투명기판(1)상에 게이트라인(11) 및 게이트전극(5)을 덮도록 게이트절연막(9), 활성층(15) 및 오믹접촉층(17)을 화학기상증착방법(Chemical Vapor Deposition : 이하 " CVD" 라함)으로 순차적으로 형성한다.

상기에서 게이트절연막(9)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성하고, 활성층(15)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(17)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.

오믹접촉층(17) 및 활성층(9)을 게이트전극(3)과 대응하는 부분에만 잔류되도록 이방식각을 포함하는 포토리쏘그래피방법으로 게이트절연막(9)이 노출되도록 패터닝한다. 이 때, 활성층(15) 및 오믹접촉층(17)은 게이트전극(3)과 대응하는 부분에만 잔류되도록 한다.

도 2c를 참조하면, 게이트절연막(9) 상에 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 오믹접촉층(17)을 덮도록 CVD방법 또는 스퍼터링(sputtering)방법으로 증착한다. 상기에서 증착된 금속 또는 금속합금은 오믹접촉층(17)과 오믹접촉을 이룬다.

그리고, 금속 또는 금속합금을 게이트절연막(9)이 노출되도록 포토리쏘그래피방법으로 패터닝하여 게이트라인(11)과 수직되는 데이터라인(13)과 소스 및 드레인전극(5,7)을 형성한다. 이 때, 금속 또는 금속합금을 게이트라인(11)과 중첩되게 잔류하도록 패터닝하여 게이트절연막(9)상에 스토리지 캐패시터의 스토리지 전극(25)을 형성한다.

상기에서 소스 및 드레인전극(5,7) 패터닝시 사이의 게이트전극(3)과 대응하는 부분의 오믹접촉층(11)도 패터닝되도록 하여 활성층(15)을 노출시킨다. 상기에서 활성층(15)의 소스 및 드레인전극(5,7)사이의 게이트전극과 대응하는 부분은 채널이 된다.

도 2d를 참조하면, 게이트절연층(9)상에 스토리지전극(25), 소스 및 드레인전극(5,7)을 덮도록 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프 (cytop)또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물을 증착하여 보호층(21)을 형성한다. 보

호층(21)을 포토리쏘그래피방법으로 패터닝하여 드레인전극(7)과 스토리지 전극(25)을 노출시키는 제 1 및 제 2접촉홀(19a,19b)을 형성한다.

도 2e를 참고하면, 보호층(21)상에 투명한 전도성물질인 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 "ITO" 라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide) 또는 인듐-틴-아연 옥사이드(Indium-Tin-Zinc-Oxide) 을 증착하여 보호층(21)상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(23)을 형성한다. 화소전극(23)은 제 2접촉홀(19b)을 통해 스토리지 전극(25)과 접촉되며, 드레인전극(7)과 제 1접촉홀(19a)을 통해 전기적으로 접촉한다. 또한, 다음단의 화소전극과 게이트라인(11)의 중첩부분에 형성되어진 스토리지전극(25)은 게이트절연막(9)을 사이에 둔 게이트라인(11)과 함께 스토리지 캐패시터(Cst)를 마련하게 된다. 이 스토리지 캐패시터(Cst)는 게이트라인(11)에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 다음단의 화소전극에 데이터신호가 공급되는 기간에 충전된 전압을 방전하여 다음단의 화소전극의 전압변동을 방지하여 안정적으로 유지시키는 역할을 한다.

그러나, 종래의 액정표시장치의 경우, 게이트전극이 높은 전압이 걸렸을 때의 채널에 축적된 전자가 게이트전극의 전압이 떨어질 때에 화소전극으로 유입되어 화소전극의 전압을 떨어뜨리는 ΔV가 발생한다.

수학식 1

$$\Delta V = \frac{C_{GD}}{C_{LC} + C_{ST} + C_{GD}} \Delta V_g$$

ΔV는 전압의 극성에 관계없이 화소전압을 낮추므로 이것을 보상하지 않으면 액정층에 DC전압이 걸린다. ΔV이 크면 스토리지 캐패시터용량이 작기 때문에 화면떨림 및 크로스토크현상이 생기고, 액정층이 받는 DC전압 때문에 잔상이 생길 수 있다. 그로인해, 고화질을 구현할 수가 없다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 스토리지 캐패시터용량을 크게 하여 화질을 향상시킬 수 있는 액정표시장치 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 게이트전극 및 게이트라인 상에 절연막을 증착하고 소오스/드레인 금속패턴 형성시 캐패시터전극과 접속 가능한 상태로 상기 게이트라인 상에 스토리지전극용 금속패턴을 형성한 후 보호층을 증착하고 상기 보호층과 상기 절연막의 일측으로 상기 스토리지 전극용 금속패턴의 길이보다 길게 이격두어 콘택홀을 형성시킨 후에 상기 게이트 라인과 전기적으로 접속되도록 캐패시터전극을 형성하는 것을 특징으로 한다.

상기 목적을 달성하기 위하여 본 발명에 따른 액정표시장치의 제조방법은 투명기판 상에 금속을 증착하여 게이트라인을 형성하는 단계와, 상기 게이트라인을 덮도록 상기 투명기판 상에 게이트절연막을 전면 형성하는 단계와, 상기 게이트절연막이 일부분과 중첩되도록 중간층 전극을 형성하는 단계와, 상기 중간층 전극을 덮도록 보호층을 상기 게이트절연막 상에 전면 형성하는 단계와, 상기 게이트라인이 노출되도록 상기 보호층과 상기 게이트절연막을 관통하는 콘택홀을 형성하는 단계와, 상기 콘택홀을 통하여 상기 게이트라인에 접속되도록 상기 보호막 상에 캐패시터 전극을 형성하는

단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 4e를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3은 본 발명의 실시 예에 따른 액정표시장치를 나타내는 평면도이다.

도 3을 참조하면, 투명기판(31) 상에 N개의 게이트라인(41)과 M개의 데이터라인(43)이 교차되게 형성되어 N×M개의 화소영역을 한정한다. 상기에서 게이트라인(41)과 데이터라인(43)은 금속으로 형성되며 게이트절연막(39)에 의해 전기적으로 절연된다. N×M개의 화소영역 내에 N×M개의 화소가 형성되는 데, 이 화소는 게이트라인(41) 및 데이터라인(43)에 전기적으로 연결되게 형성된 스위칭소자인 TFT 및 제 1 및 제 2스토리지 캐패시터(Cst1,Cst2)에 의해 구동된다.

TFT는 게이트전극(33)과, 소스 및 드레인전극(35)(37)과, 반도체층(45)과 오믹접촉층(47)으로 형성된다. 상기에서 게이트전극(33)은 게이트라인(41)과 연결되게 형성되는 데, 이 게이트전극(33)의 상부에 게이트절연막(39)을 개재시켜 활성층(45) 및 오믹접촉층(47)이 형성된다. 드레인전극(37)은 데이터라인(43)과 연결되고, 소스전극(35)은 게이트전극(33)을 사이에 두고 드레인전극(37)과 대응되게 형성된다. 상기에서 소스 및 드레인전극(35)(37)은 오믹접촉층(47)을 개재시켜 활성층(45)의 양측과 중첩되게 형성된다.

제 1스토리지 캐피시터(Cst1)는 하부전극으로 게이트라인(41)이 사용되며, 상부전극으로 사용되는 스토리지전극(즉, 중간층전극)(55)이 게이트절연막(39)을 개재시켜 형성된다. 제 2스토리지 캐패시터(Cst2)는 하부전극으로 스토리지전극(55)이 사용되며, 상부전극으로는 사용되는 캐패시터전극(57)이 보호층(51)을 개재시켜 형성된다. 상기에서 스토리지전극(55)은 게이트라인(41)과 중첩되도록 데이터라인(43), 소스 및 드레인전극(35)(37)과 동시에 형성된다.

상술한 구조상에 TFT 및 제 1 및 제 2스토리지 캐패시터(Cst1,Cst2)상에 보호층(51)이 형성된다. 보호층(51)은 TFT의 드레인전극(37)과 제 1 및 제 2스토리지 캐패시터의 게이트라인을 노출시키는 제 1 내지 제 4 접촉홀(49a,49b,49c,49d)을 갖는다. 그리고 보호층(51) 상의 화소영역에 투명한 화소전극(53)과 캐패시터전극(57)이 형성된다. 상기에서 화소전극(53)은 제 1 접촉홀(49a)을 통해 TFT의 드레인전극(37)과 연결되며 제 4접촉홀(49d)을 통해 스토리지 캐패시터의 스토리지전극과 연결된다. 그리고, 캐패시터전극(57)은 제 2 및 제 3접촉홀(49b,49c)을 통해 스토리지 캐패시스터의 게이트라인(41)과 연결된다.

도 4a 내지 도 4e는 도 1에 도시된 액정표시장치의 제조방법을 나타내는 단면도이다.

도 4a를 참조하면, 투명기판(31) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리쏘그래피방법으로 패터닝하여 투명기판(31) 상에 게이트전극(33)과 게이트라인(41)을 형성한다.

도 4b를 참조하면, 투명기판(31)상에 게이트라인(41) 및 게이트전극(35)을 덮도록 게이트절연막(39), 활성층(45) 및 오믹접촉층(47)을 화학기상증착방법(Chemical Vapor Deposition : 이하 " CVD" 라함)으로 순차적으로 형성한다.

상기에서 게이트절연막(39)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성하고, 활성층(45)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(47)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.

오믹접촉층(47) 및 활성층(45)을 게이트전극(33)과 대응하는 부분에만 잔류되도록 이방식각을 포함하는 포토리쏘그래피방법으로 게이트절연막(39)이 노출되도록 패터닝한다. 이 때, 활성층(45) 및 오믹접촉층(47)은 게이트전극(33)과 대응하는 부분에만 잔류되도록 한다.

도 4c를 참조하면, 게이트절연막(39) 상에 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 오믹접촉층(47)을 덮도록 CVD방법 또는 스퍼터링(sputtering)방법으로 증착한다. 상기에서 증착된 금속 또는 금속합금은 오믹접촉층(47)과 오믹접촉을 이룬다.

그리고, 금속 또는 금속합금을 게이트절연막(39)이 노출되도록 포토리쏘그래피방법으로 패터닝하여 게이트라인(41)과 수직되는 데이터라인(43)과 소스 및 드레인전극(35,37)을 형성한다. 이 때, 금속 또는 금속합금을 게이트라인(41)과 중첩되게 잔류하도록 패터닝하여 게이트절연막(39)상에 제 1 및 제 2스토리지 캐패시터(Cst1,Cst2)의 스토리지 전극(55)을 형성한다.

상기에서 소스 및 드레인전극(35,37) 패터닝시 사이의 게이트전극(33)과 대응하는 부분의 오믹접촉층(41)도 패터닝되도록 하여 활성층(45)을 노출시킨다. 상기에서 활성층(45)의 소스 및 드레인전극(35,37)사이의 게이트전극(33)과 대응하는 부분은 채널이 된다.

도 4d를 참조하면, 게이트절연층(39)상에 스토리지전극(55), 소스 및 드레인전극(35,37)을 덮도록 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프 (cytop)또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물을 증착하여 보호층(51)을 형성한다. 보호층(51)을 포토리쏘그래피방법으로 패터닝하여 드레인전극(37) 및 게이트라인(41)을 노출시키는 제 1 내지 제 3 접촉홀(49a,49b,49c)을 형성한다.

도 4e를 참고하면, 보호층(51)상에 투명한 전도성물질인 인듐-틴-옥사이드(Indium-Tin-Oxide), 인듐-아연-옥사이드(Indium-Zinc-Oxide) 또는 인듐-틴-아연 옥사이드(Indium-Tin-Zinc-Oxide) 을 증착하여 보호층(51) 상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(53) 및 캐패시터전극(57)을 형성한다. 캐패시터전극(57)은 제 2 및 제 3접촉홀(49b,49c)을 통해 게이트라인(25)과 접촉되며, 화소전극은(53) 제 1접촉홀(49a)을 통해 드레인전극(37)과 접촉된다. 또한, 게이트라인(41)의 중첩부분에 형성되어진 스토리지전극(55)은 게이트절연막(39)을 사이에 둔 게이트라인(41)과 함께 제 1스토리지 캐패시터(Cst1)과 보호층(51)을 사이에 둔 캐패시터전극(57)과 함께 제 2 스토리지 캐패시터(Cst2)를 마련하게 된다. 제 1 및 제 2스토리지 캐패시터(Cst)는 게이트라인(41)에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 다음단의 화소전극에 데이터신호가 공급되는 기간에 충전된 전압을 방전하여 다음단의 화소전극의 전압변동을 방지하여 안정적으로 유지시키는 역할을 한다.

도 5는 도 4e에 도시된 제 1 및 제 2스토리지 캐패시터를 나타내는 회로도이다.

도 5를 참조하면, 캐패시터전극(Vp)과 게이트전극(Vg)사이에 제 1 및 제 2스토리지 캐패시터(Cst1,Cst2)가 병렬로 연결되어 전체 스토리지 캐패시터(Cst)의 용량은 수학식 2와 같이 두 개의 스토리지 캐패시터를 합한 결과가 되어 스토리지 캐패시터가 증가된다.

수학식 2

$$C_{ST} = C_{ST1} + C_{ST2}$$

이 때, 제 2스토리지 캐패시터는 보호층을 절연막으로 2000Å두께로 형성되므로 게이트절연막을 4000Å두께로 형성되는 제 1스토리지 캐패시터에 비해 같은 면적 대비 용량이 더 큰 캐패시터를 형성할 수 있다.

또한, 게이트라인과 등전위를 형성하는 화소전극에 의해 게이트저항이 감소되는 효과를 얻을 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 고용량의 제 1및 제 2스토리지 캐패시터를 형성하여 액정에 인가되는 전압의 유지특성이 향상되고 플리커와 크로스토크가 감소될 뿐만 아니라 고화질의 화소를 볼수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트전극 및 게이트라인 상에 절연막을 증착하고 소오스/드레인 금속패턴 형성시 캐패시터전극과 접속 가능한 상태로 상기 게이트라인 상에 스토리지전극용 금속패턴을 형성한 후 보호층을 증착하고 상기 보호층과 상기 절연막의 일측으로 상기 스토리지 전극용 금속패턴의 길이보다 길게 이격두어 콘택홀을 형성시킨 후에 상기 게이트 라인과 전기적으로 접속되도록 캐패시터전극을 형성하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서,

상기 캐패시터 전극의 재료는 투명 전도성 물질인 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1항에 있어서,

상기 적어도 둘 이상의 스토리지 캐패시터는

제 1유전층을 사이에 두고 상기 게이트라인에 중첩되는 중간층 전극과 상기 게이트라인 사이에 형성되는 제 1스토리지 캐패시터와,

제 2유전층을 사이에 두고 상기 중간층 전극과 상기 캐패시터 전극 사이에 형성되는 제 2스토리지 캐패시터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1항에 있어서,

상기 중간층 전극은 데이터라인 및 게이트라인용과 동시에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5.

투명기판 상에 금속을 증착하여 게이트라인을 형성하는 단계와,

상기 게이트라인을 덮도록 상기 투명기판 상에 게이트절연막을 전면 형성하는 단계와,

상기 게이트절연막이 일부분과 중첩되도록 중간층 전극을 형성하는 단계와,

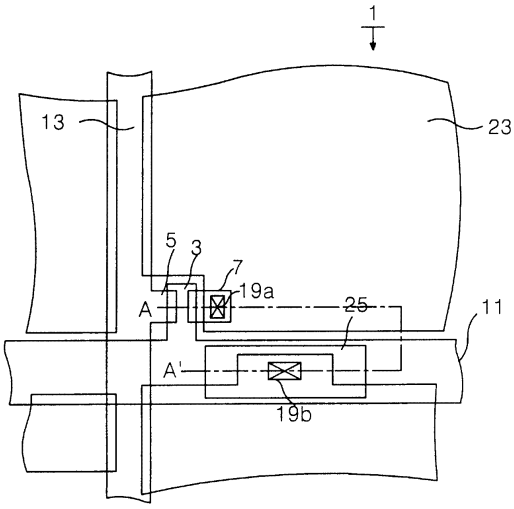
상기 중간층 전극을 덮도록 보호층을 상기 게이트절연막 상에 전면 형성하는 단계와,

상기 게이트라인이 노출되도록 상기 보호층과 상기 게이트절연막을 관통하는 콘택홀을 형성하는 단계와,

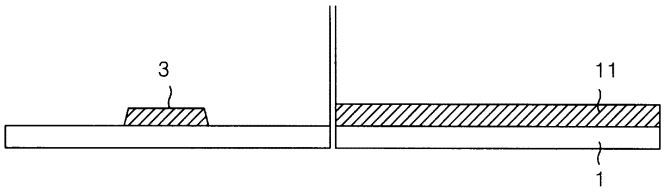
상기 콘택홀을 통하여 상기 게이트라인에 접속되도록 상기 보호막 상에 캐패시터 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

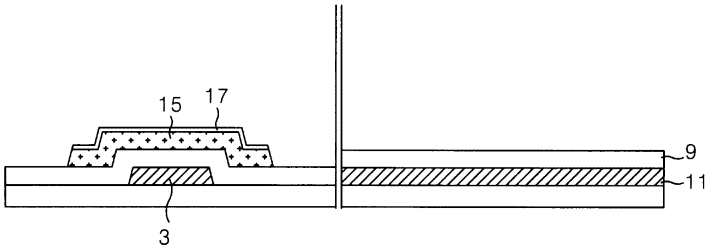
도면 1



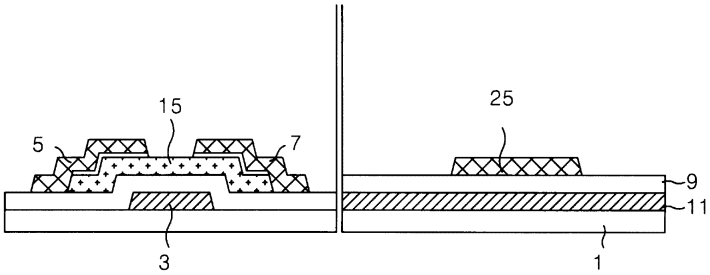
도면 2a



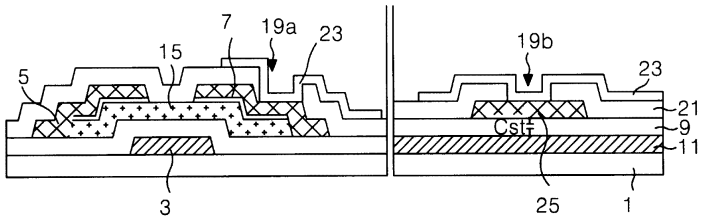
도면 2b



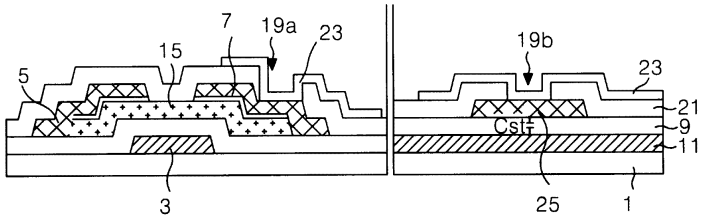
도면 2c



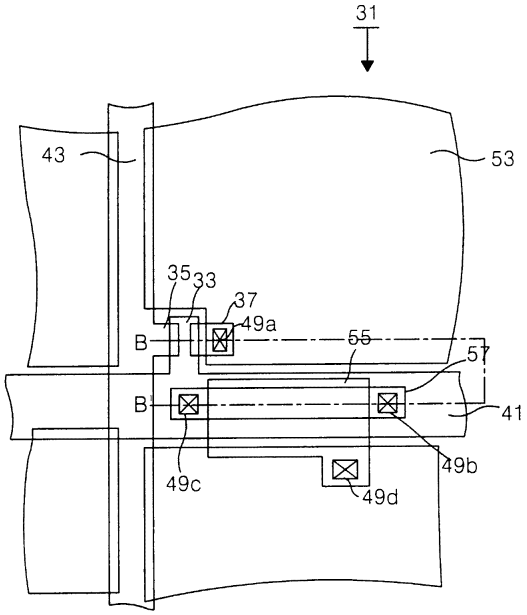
도면 2d



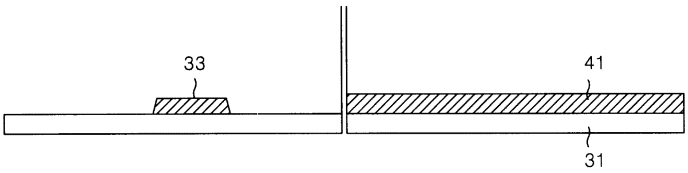
도면 2e



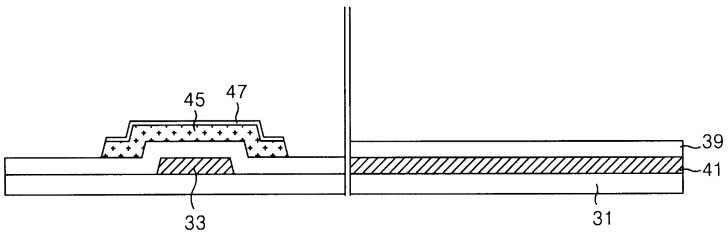
도면 3



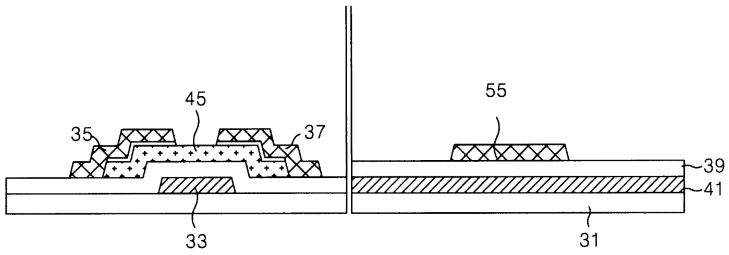
도면 4a



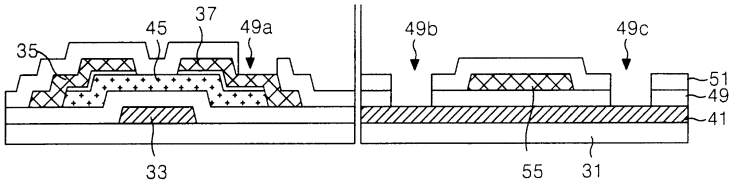
도면 4b



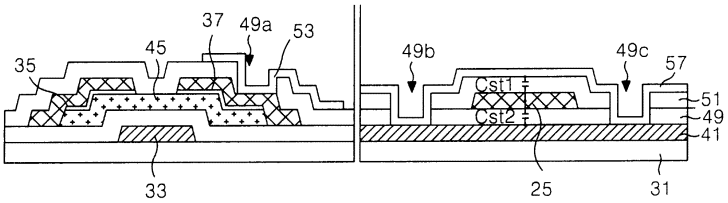
도면 4c



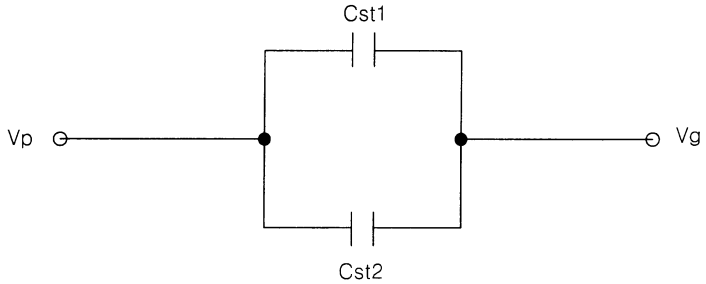
도면 4d



도면 4e



도면 5



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020020057050A	公开(公告)日	2002-07-11
申请号	KR1020000087286	申请日	2000-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHUNG JAEYOUNG 정재영		
发明人	정재영		
IPC分类号	G02F1/1362 G02F1/136		
CPC分类号	G02F1/136213		
其他公开文献	KR100776509B1		
外部链接	Espacenet		

摘要(译)

本发明涉及实现高清晰度的液晶显示装置及其制造方法。根据本发明的液晶显示器包括形成在基板上的栅极线;栅极绝缘层，形成在基板上，以便放置在栅极线上;栅极绝缘层上的栅极线;电容器电极通过两个或多个接触孔连接到栅极线，所述接触孔穿过保护层和栅极绝缘层，同时在数据线上形成数据线等金属：栅极绝缘层交叉并限定像素区域为了与金属层重叠，例如保护层上的像素电极，其形成在栅极绝缘层上，它覆盖存储电极，形成它与栅极线重叠的存储电极，形成数据线并存储电极和像素电极形成在保护层上的像素区和存储电极中的保护层上。根据本发明，此外，形成高容量的第一和第二存储电容器，并且改善了施加在液晶中的电压的保持特性，并且减少了闪烁和串扰，高清晰度的像素可以是实现。