

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/133

(11) 공개번호 특2000-0058198

(43) 공개일자 2000년09월25일

(21) 출원번호	10-2000-0009342
(22) 출원일자	2000년02월25일
(30) 우선권주장	11-048327 1999년02월25일 일본(JP)
(71) 출원인	가부시키가이샤 도시바 니시무로 타이쵸
(72) 발명자	일본국 가나가와켄 가와사끼시 사이와이꾸 호리가와쵸 72반지 이타쿠라데츠로
(74) 대리인	일본도쿄네리마쿠도요타마나카2-2-12코스모사쿠라다이202 김명신, 김원오

심사청구 : 있음

(54) 집적회로 디바이스 및 이를 이용한 액정표시장치

요약

본 발명은 집적회로 디바이스 및 이를 이용한 액정표시장치에 관한 것으로, 집적회로 디바이스에는 칩 내부에 집적된 다수의 증폭회로가 있고, 바이어스 전류를 설정하기 위한 전류를 수신하는 다수의 다이오드-접속된 입력측 트랜지스터, 및 상기 수신된 전류에 대응하는 출력 전류를 바이어스 전류로서 상기 증폭회로로 각각 공급하는 다수의 출력 트랜지스터로 구성된 전류 미러 회로가 포함되어 있으며, 상기 입력측 트랜지스터들은 상기 다수의 증폭 회로로 분포되어 있는 것을 특징으로 한다.

대표도

도3

색인어

집적회로 디바이스, 액정표시장치

명세서

도면의 간단한 설명

도 1은 액정표시장치의 배열을 보여주는 블록 다이어그램;
 도 2는 도 1에서의 액정 디스플레이 구동 회로의 배열을 보여주는 회로 다이어그램;
 도 3은 본 발명의 제1 실시예에 따른 하나의 집적회로 디바이스의 배열을 보여주는 블록 다이어그램;
 도 4는 입력측 및 출력측 트랜지스터들의 배열 패턴을 보여주는 도;
 도 5는 도 3에서의 상기 집적회로 디바이스의 트랜지스터 배열 패턴;
 도 6은 본 발명의 제2 실시예에 따른 하나의 집적회로의 배열을 보여주는 회로 다이어그램;
 도 7은 본 발명의 제3 실시예에 따른 하나의 집적회로의 배열을 보여주는 회로 다이어그램;
 도 8a, 8b, 및 8c 는 제2 실시예를 설명하기 위한 바이어스 회로부의 기본회로 및 최종 회로들을 각각 보여주는 회로 다이어그램;
 도 9a, 9b, 및 9c는 도 8a, 8b, 및 8c 에서의 상기 기본회로와 최종 회로들에 각각 따르는 한 기본 패턴과 최종 패턴을 각각 보여주는 도;
 도 10은 본 발명의 제4 실시예에 따른 집적회로의 배열을 보여주는 회로 다이어그램;
 도 11은 본 발명의 제5 실시예에 따른 한 집적회로의 배열을 보여주는 회로 다이어그램;
 도 12는 본 발명이 적용된 한 증폭기 회로의 배열 실시예를 보여주는 회로 다이어그램이다.
 도 13은 본 발명이 적용된 증폭기 회로의 배열의 또 다른 실시예를 보여주는 회로 다이어그램;
 도 14는 본 발명의 제6 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램;
 도 15는 본 발명의 제7 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램;

도 16은 본 발명의 제8 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램;
 도 17은 본 발명의 제9 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램;
 도 18은 본 발명의 제11 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램;
 도 19는 본 발명의 제11 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램;
 도 20은 본 발명의 제12 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램;
 도 21은 본 발명의 제13 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램; 및
 도 22는 본 발명의 제14 실시예에 따른 집적회로 디바이스의 배열을 보여주는 회로 다이어그램이다.

*도면의 주요부분의 부호에 대한 간단한 설명

10 : 액정 디스플레이 패널 31~3N : 증폭기 회로
 14 : 신호선 15 : 주사선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 증폭 회로와 같은 다수의 전자회로를 집적하여 제조된 집적회로 디바이스, 및 액정표시장치에 관한 것으로, 특히 칩 사이의 바이어스 전류 편차를 줄이고자 설계된 집적회로 디바이스, 및 상기 집적회로 디바이스를 구동회로용 증폭회로로 사용하는 액정표시장치에 관한 것이다.

종래 액정표시장치에서의 디스플레이 구동회로는 하나의 수평선에 요구되는 픽셀 수와 일치하고 디지털 비디오 신호(이하 RGB 신호로 언급함)를 저장하기 위해 사용되는 제1 메모리 소자, 상기 RGB 신호를 저장하기 위한 타이밍 펄스를 전송하는 시프트 레지스터, 하나의 수평 주기 사이클에서 상기 제1 메모리 소자에 저장된 상기 RGB 신호를 더 저장하는 제2 메모리 소자, 상기 제2 메모리 소자내에 저장된 상기 RGB 신호를 아날로그 값으로 변환시키는 D/A 컨버터 그룹(DACs), 및 상기 DAC 그룹에 의해 아날로그 값으로 변환된 상기 RGB 신호를 수신하고 상기 액정표시 패널의 신호선 및 액정셀을 구동하는 증폭회로 그룹으로 구성되어 있다. 상기 아날로그 신호로 변환된 RGB 신호의 전압이 인가되는 각각의 액정셀은 그 전압값에 따라 투명도가 변화하여 해당 픽셀의 밝기가 결정된다.

이 경우, 증폭회로 그룹의 바이어스 전류는 하나의 바이어스 회로에 의해 발생한다. 보다 특별하게는, 이 바이어스 회로에서 발생된 전류(I_{bias})는 그 바이어스 회로내의 다이오드-접속 트랜지스터에 공급되고, 이 트랜지스터의 게이트 전압은 상기 증폭회로 그룹의 각각의 증폭회로에 인가된다.

각 증폭회로에서, 상기 다이오드-접속 트랜지스터의 게이트 전압은 트랜지스터의 게이트에 인가되고 전류로 변환된다. 이 변환된 전류는 각 증폭회로내의 바이어스 전류로 사용된다. 즉, 상기 바이어스 회로와 증폭회로의 트랜지스터들이 전류 미러 회로(current mirror circuit)를 구성한다. 상기 바이어스 회로와 증폭회로의 트랜지스터들은 각각 상기 전류 미러 회로의 입력측 및 출력측 트랜지스터 역할을 한다.

상기 증폭회로 그룹에 포함된 상기 증폭회로의 수가 비록 액정표시장치의 명세서에 따라 달라지긴 하지만, 액정표시장치 패널용 아몰퍼스 실리콘 TFT 을 사용하는 장치에서는 3000개 정도의 증폭회로가 사용된다. 따라서 하나의 칩에 증폭회로 그룹을 집적하는 것이 어렵다. 이러한 이유로, 그러한 증폭회로는 일반적으로 많은 칩으로 제조된다. 이 경우, 바이어스 전류가 각 칩에 제공된다. 일반적으로, 하나의 칩에는 약 300 개의 증폭회로가 있게된다.

이러한 증폭회로들은 칩에 어레이가 되도록 집적된다. 상기 전류 미러 회로의 입력측 트랜지스터(바이어스 회로의 트랜지스터)는 이 증폭회로 어레이의 한쪽 끝에 놓이게 된다. 예를들어, 상기 입력측 트랜지스터는 왼쪽 끝에서 상기 증폭회로 옆에 놓이게 된다.

바이어스 회로 및 증폭회로의 트랜지스터로서 일반적으로 MOS 트랜지스터가 사용된다. 일반적으로, MOS 트랜지스터는 여러 칩 사이의 어느 범위내 및 같은 칩 내의 임계 전압(V_t)에서 편차가 있게된다. 증폭회로의 상기 트랜지스터가 임계전압에서 편차를 가진다고 가정한다. 이러한 경우에도, 한 칩상의 상기 증폭회로의 수가 300개 정도 된다면, 상기 증폭회로의 트랜지스터는 일반적으로, 다른 칩 사이에서 조차 상기 임계전압의 편차가 있는 방식에서는 거의 차이가 없이 나타나게 된다.

그러나, 칩 사이의 임계전압내에서 상기 바이어스 회로의 다이오드-접속된 트랜지스터의 편차가 있게되면, 상기 임계전압의 편차에 따라 상기 증폭회로의 트랜지스터내의 바이어스 전류 흐름의 편차가 있게되고, 결과적으로 칩 사이의 전류소비 및 특성이 달라지게 된다. 이 칩 사이의 전류 소비 차이는 액정표시장치의 전력 공급 설계에 크게 영향을 미쳐 바람직하지 않 것이 아니다. 또한, 상기 칩 사이의 특성의 편차는 액정표시장치의 화질의 악화를 가져온다.

앞서 설명한 바와 같이, 종래의 액정표시장치에서 사용된 증폭회로용 바이어스 회로 배열에 따르면, 칩 내의 증폭회로의 많은 트랜지스터를 흐르는 바이어스 전류가 칩 사이에서 편차가 있어서, 결과적으로 칩 사이에 전류 소비 및 특성의 차이가 있게 된다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 칩 사이의 바이어스 전류의 편차를 줄여 칩 사이의 전류 소비 및 특성의 차이를 줄이는 집적

회로 디바이스 및 그러한 집적회로 디바이스를 구동회로로 사용하여 설계의 용이함을 실현하고 화질의 악화를 줄이는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따르면, 다수의 전자회로, 및 바이어스 전류를 설정하는 입력 전류를 수신하고 상기 다수의 전자회로로 분포되어 있는 다수의 다이오드-접속된 입력측 트랜지스터, 및 상기 입력 전류에 대응하는 출력 전류를 바이어스 전류로서 상기 다수의 전자회로로 각각 공급하는 다수의 출력측 트랜지스터로 구성된 전류 미러 회로를 구비하고, 상기 다수의 전자회로 및 상기 전류 미러 회로는 하나의 칩으로 집적된다.

본 발명에 따르면, 상기 다수의 전자회로들이 하나의 칩 내에 배열 및 집적되고, 상기 입력측 트랜지스터들은 상기 다수의 전자회로의 전자회로의 매 L(L 은 1보다 작지않은 정수)에 분포 및 정렬되어 있다.

본 발명에 따르면, 상기 다수의 전자회로들이 상기 칩 내에 배열 및 집적되고, 매 M 다이오드-접속된 입력측 다이오드내의 P(P는 $P \leq M$ 을 만족하는 정수) 다이오드-접속된 입력측 트랜지스터만이 서로 연결되어 있어서 전류 미러 회로를 구성한다.

앞서 설명한 바와 같이, 본 발명의 집적회로 디바이스에 따르면, 상기 다수의 다이오드-접속된 입력측 트랜지스터는, 상기 전류 미러 회로를 구성하면서, 각각의 전자회로내의 바이어스 전류를 발생하는 출력측 트랜지스터와 함께 배열되고, 이들 입력측 트랜지스터들은 분포되고 정렬되고, 칩 각각의 상기 입력측 트랜지스터의 임계전압내의 편차의 평균이 칩 사이에서 서로 거의 같아지도록 한다. 따라서, 이것은 상기 입력측 트랜지스터와 출력측 트랜지스터 사이의 매칭을 향상시키고, 칩 사이의 전류 소비 및 특성의 차이를 줄여준다.

본 발명에 따르면, 다수의 픽셀, 상기 각각의 픽셀로 비디오 신호를 선택적으로 공급하는 신호선 및 상기 신호선과 교차하는 주사선, 비디오 신호를 증폭하고 그 신호를 상기 신호선으로 공급하고 상기 신호선을 구동하는 증폭회로 그룹을 포함하는 구동회로, 및 상기 주사선을 선택하는 선택회로로 구성되는 액정표시장치가 제공되는 데, 상기 증폭회로의 그룹은 증폭 회로의 미리결정된 수의 유닛내의 다수의 칩으로 집적되며, 집적된 전류 미러 회로를 포함하는 상기 칩 각각은 바이어스 전류를 설정하는 입력 전류를 수신하는 다수의 다이오드-접속된 입력측 트랜지스터, 및 상기 입력 전류에 대응하는 출력 전류를 바이어스 전류로서 상기 증폭 회로로 각각 공급하는 다수의 출력측 트랜지스터에 의해 제조되며, 상기 다수의 입력측 트랜지스터들은 상기 각각의 칩내에 통합된 상기 다수의 증폭 회로로 분포 및 회로내에 정렬되어 있다.

앞서 설명한 바와 같이, 액정표시장치용 구동회로내의 증폭 회로 그룹이 본 발명의 집적회로 디바이스를 사용하여 제조되면, 특히 칩 사이의 전류 소비 및 특성의 적은 차이로 인해 전력 공급 설계를 쉽게 할 수 있으며, 특성의 편차로 인한 화질 악화가 거의 없게된다.

본 발명에 따르면 바이어스 전류를 설정하기 위한 전압 전압을 수신하고 출력 전류를 바이어스 전류로서 전자회로에 공급하는 다수의 출력 트랜지스터, 상기 다수의 전자회로로 분포되고 전자회로내에 정렬되고 상기 설정 전압의 수신 즉시 모니터링 전류를 출력하는 다수의 모니터링 트랜지스터, 및 상기 모니터링 전류와 설정 입력 전류사이의 차이에 해당하는 전압을 증폭하고 상기 설정 전압을 출력하는 증폭기로 구성된 집적회로 디바이스가 제공된다.

본 발명에 따르면, 다수의 픽셀, 상기 픽셀 각각으로 비디오 신호를 선택적으로 공급하는 신호선 및 상기 신호선과 교차하는 주사선으로 구성되는 액정 디스플레이, 비디오 신호를 증폭하고 상기 신호를 상기 신호선으로 공급하는 증폭회로 그룹, 상기 신호선을 구동하는 구동회로, 및 상기 주사선을 선택하는 선택회로를 구비하고, 상기 증폭회로 그룹의 그룹은 증폭회로의 미리결정된 수의 유닛내의 다수의 칩으로 집적되고, 상기 칩 각각은 바이어스 전류를 설정하기 위한 설정 전압을 수신하고 출력 전류를 바이어스 전류로서 상기 증폭 회로로 공급하는 다수의 출력 트랜지스터, 상기 다수의 증폭 회로로 분포되고 증폭 회로내에 정렬되며 상기 설정 전압의 수신 즉시 모니터링 전류를 출력하는 다수의 모니터링 트랜지스터, 및 상기 모니터링 전류와 설정 입력 전류사이의 차이에 해당하는 전압을 증폭하고 상기 설정 전압을 출력하는 증폭기로 구성되어 있는 액정표시장치가 제공된다.

본 발명의 추가의 목적 및 장점들은 이후 발명의 상세한 설명에 나타나 있고 이것은 명백한 것이며, 본 발명의 실례에 이해될 수 있을 것이다. 본 발명의 목적 및 장점들은 특히 이하에 지적된 설명의 도움 및 조합을 통해 실현되고 얻을 수 있을 것이다.

첨부된 도면(명세서에 포함되고 일부를 구성함)은 현재 본 발명의 적절한 예를 보여주며, 상기의 일반적 설명 및 하기의 적절한 예의 상세한 설명과 함께 본 발명의 원리들을 설명하도록 한다.

도 1 은 본 발명이 적용된 액정표시장치를 보여준다. 이 액정표시장치는 하나의 액정 디스플레이 패널(10), 비디오 신호를 신호선에 공급하는 액정 디스플레이 구동 회로(12), 및 선택적으로 주사선을 구동하는 주사선 선택 회로(13)로 구성된다. 상기 액정 디스플레이 패널(LCD 패널)(10)은 매트릭스 형태로 배열된 다수의 액정셀, 비디오 신호가 공급되는 다수의 신호선(14), 및 이들 신호선(14)을 교차하는 다수의 주사선(15)으로 이루어진다.

상기 액정표시장치의 상기 액정 디스플레이 구동 회로(12)는 하나의 수평라인에 필요한 여러 픽셀과 같은 수이고 디지털 비디오 신호(이하 RGB 신호)를 저장하는 데 사용되는 메모리 디바이스(22), 상기 RGB 신호를 저장하기 위한 타이밍 펄스를 전달하는 하나의 시프트 레지스터, 한 사이클의 수평 기간에서 메모리 디바이스(22)에 저장된 상기 RGB 신호를 저장하는 메모리 디바이스(23), 메모리 디바이스(23)에 저장된 상기 1-수평-라인 RGB 신호를 하나의 아날로그 값으로 바꾸는 D/A 컨버터 그룹(DACs) (24), 상기 그룹DACs(24)에 의해서 상기 아날로그 값으로 변환된 상기 RGB 신호를 수신하고 상기 신호선(14) 및 상기 액정표시장치의 액정 디스플레이 셀을 구동하는 증폭기 회로 그룹(25)으로 구성되어 있다. 상기 아날로그 값으로 변환된 상기 RGB 신호의 전압에의 각 액정 셀은 상기 전압 값에 따라 투명하게 변화하며, 그에 따라 픽셀의 밝기가 결정된다.

도 3은 상기 액정표시장치용으로 사용된 본 발명의 제1 실시예에 따른 1-칩 집적회로 디바이스를 보여주고 있다. 이 집적회로 디바이스는 다수의 N개의 증폭기 회로(31~3N)를 가지고 있다. 상기 증폭기 회로(31~3

N)는 도 2 에서의 상기 증폭기 회로 그룹(25)의 부분을 구성하며, 그것은 가령 도 1에서 보여진 상기 액정표시장치의 상기 액정 디스플레이 구동 회로(12)에 포함되어 있다. 이러한 증폭기 회로들은 도 3에서의 측면 방향에서의 한 칩에서 하나의 라인에 배열되어 있다.

바이어스 전류 미러 회로들은 상기 증폭기 회로들(31 내지 3N)에 각각 배열되어 있다. 상기 바이어스 전류 미러 회로들은 각각 입력측 트랜지스터들로서 다이오드-접속된 트랜지스터(MR1~MRN) 및 출력측 트랜지스터로서 트랜지스터(M1~MN)를 가지고 있다. 이 경우에 이런 트랜지스터(MR1~MRN 및 M1~MN)는 MOS 트랜지스터이다.

상기 입력측 트랜지스터(MR1~MRN)의 여러 게이트와 드레인은 서로 연결되는, 즉 이런 트랜지스터들은 다이오드-연결되어 있다. 상기 트랜지스터(MR1~MRN)는 더우기 바이어스 전류를 설정하는 하나의 전류 I_{bias} , 즉 라인 BL을 설정하는 한 바이어스 전류가 제공되는 한 라인에 연결된다. 상기 입력측 트랜지스터(MR1~MRN)의 소스들은 하나의 구동 전력공급라인(V_{SS})에 연결되어 있다. 상기 출력측 트랜지스터(M1~MN)의 여러 게이트는 상기 입력측 트랜지스터들(MR1~MRN)의 여러 게이트 및 드레인, 즉 라인 BL을 설정하는 바이어스 전류에 연결되어 있다. 상기 출력측 트랜지스터(M1~MN)의 여러 드레인은 바이어스 전류들을 수신하도록 상기 증폭기 회로(31~3N)에 형성된 회로들에 연결되어 있다.

본 실시예의 특징에 따라서, 상기와 같이 바이어스 전류의 일부분을 제공하는 전류 미러 회로의 상기 입력측 트랜지스터(MR1~MRN)는 상기 증폭기 회로(31~3N)에 분포되어 있고 배열되어 있다. 이 실시예에서, 라인 BL을 설정하는 상기 바이어스 전류를 통하여 공급되고 바이어스 전류를 설정하기 위한 상기 전류(I_{bias})는 상기 N 개의 증폭기 회로(31~3N)의 상기 트랜지스터(MR1~MRN)에 입력된다. 이러한 입력측 트랜지스터(MR1~MRN)는 상기 증폭기 회로(31~3N)에서의 바이어스 전류를 발생하기 위한 상기 출력측 트랜지스터(M1~MN)가 가까이 배열되어 있다. 도 4에서와 같이 입력측 트랜지스터(MR)는 출력측 트랜지스터(M) 가까이 놓여 있다. 다시 말하면, 상기 트랜지스터(MR)의 게이트 전극(G)은 폴리실리콘으로 이루어진 제1 스테이지층으로 형성되어 있으며 제1 스테이지층으로 구성되는 VGS 와이어링층에 연결되어 있다. 상기 트랜지스터(MR)의 소스 전극(S)은 하나의 제2 스테이지층으로 이루어진 한 와이어링층을 거쳐 하나의 제1 스테이지층을 구성하는 GND 와이어링층에 연결되어 있다. 상기 트랜지스터(MR)의 드레인 전극(D)은 상기 VGS 와이어링층에 연결되어 있다. 상기 트랜지스터(MR) 가까이 배열된 상기 트랜지스터(M)의 전극(G)은 폴리실리콘으로 만들어진 제1 스테이지층으로 형성되며 상기 VGS 와이어링층에 연결되어 있다. 상기 트랜지스터(MR)의 소스 전극(S)은 제2 스테이지층으로 구성된 와이어링층을 거쳐 상기 GND 와이어링층에 연결되어 있다.

도 4에서의 회로 패턴은 상기 증폭기 회로(31~3N)의 전체 회로 패턴을 형성하기 위해 사용되는 반면, 도 4에서의 상기 패턴과 각각 동일한 다수의 회로 패턴들은 도 5에서와 같이 한 라인내에서 서로 연결되어 있다.

이 실시예의 배열에 따른 종래의 문제점은 다음의 방식으로 해결된다.

상기 다이오드-접속된 입력측 트랜지스터(MR1~MRN) 각각의 게이트-소스 전압은 전류(I_{bias}/N)가 상기 트랜지스터(MR1~MRN)의 각각에 흐르는 경우 상기 트랜지스터(MR1~MRN)의 평균 게이트-소스 전압들에 가까워진다.

ΔV_{Ri} 를 상기 입력측 트랜지스터(MR1~MRN)의 임계 전압(V_t)에서의 편차로하고, ΔV_i 를 상기 출력측 트랜지스터(M1~MN)의 임계 전압에서의 편차로 한다. 이 경우에 ΔV_R 의 통계적 기대값은 0 이고, ΔV_R 의 실제 평균은 상기 통계적 기대값 즉, 0 에 가까운 값이다. 이런 이유로, 상기 입력측 트랜지스터(MR1~MRN)의 임계 전압에서의 편차 즉, 상기 칩 사이의 게이트/소스 전압에서의 편차들은 감소될 수 있다. 반면에, 상기 출력측 트랜지스터(M1~MN)의 임계전압에서의 편차(ΔV_i)는 상기 칩 사이에 큰 차이가 없다. 그러므로, 상기 칩 사이의 상기 증폭기 회로(31~3N)의 전류소비 차이는 감소될 수 있으며, 그래서 상기 칩들사이의 상기 증폭기 회로(31~3N)의 특성들에서의 차이들은 감소될 수 있다.

상기 현상은 아래에서 더욱 설명될 것이다.

각 MOS 트랜지스터를 흐르는 한 드레인 전류 I_d 는

$$I_d \propto k(V_{GS} - V_t)^2$$

로 주어지며, 거기서 VGS 는 상기 MOS 트랜지스터의 게이트/소스 전압이며 V_t 는 임계 전압이고, k 는 계수이다.

많은 트랜지스터들이 사용될 때, 드레인 전류들의 총 I_d 는

$$I_d \propto \sum k(V_{GS} - V_t + \Delta V_i)^2$$

$$I_d \propto \sum_i k[(V_{GS} - V_t)^2 + 2(V_{GS} - V_t)\Delta V_i + \Delta V_i^2]$$

로 주어지며, 여기서 ΔV_i 는 상기 임계 전압 V_t 에서의 편차이다.

임계 전압에서의 상기 편차 $\sum_i \Delta V_i$ 은 트랜지스터수가 증가하면서 통계적으로 0 에 더욱 가깝게 된다. 또한

상기 편차 $\sum_i \Delta V_i^2$ 는 $\sum_i \Delta (V_{GS} - V_i)^2$ 보다 훨씬 작으며 무시될 수 있다. 그러므로, 상기 편차는 아래식에 근접한다:

$$I_d \propto \sum_i k (V_{GS} - V_i)^2$$

따라서, 드레인 전류들의 합(I_d)은 거의 일정하게 된다. 유사하게, 바이어스 전류(I_b)를 고려한다. 상기 바이어스 전류(I_b)는

$$I_b \propto k (V_{GS} - V_t + \Delta V_{Rj})^2$$

로 주어진다.

많은 MOS 트랜지스터들이 사용될 때, 상기 바이어스 전류(I_b)는

$$I_b \propto \sum_j k [(V_{GS} - V_t + \Delta V_{Rj})^2]$$

$$I_b \propto \sum_j k (V_{GS} - V_t)^2 + \sum_j k (V_t - V_{GS}) \Delta V_{Rj} + \sum_j k \Delta V_{Rj}^2$$

로 주어지며, 여기서 ΔV_{Rj} 는 상기 임계 전압에서의 상기 트랜지스터(MRj)의 편차를 가리킨다.

임계 전압에서의 편차 ΔV_{Rj} 는 트랜지스터수의 증가에 따라 통계적으로 0에 더욱 가깝게 된다. 이런 이유로

상기 수학적 식 7의 두 번째 항은 통계적으로 0으로 간주될 수 있다. 또한, 상기 편차 $\sum_j \Delta V_{Rj}^2$ 는 $\sum_j (V_{GS} - V_i)^2$ 보다 매우 작으며 무시될 수 있다. 그러므로, 상기 바이어스 전류 I_b 는 $(V_{GS} - V_t)^2$ 에 의해 결정되며 따라서 실질적으로 변화하지 않는다. 즉, 하나의 이미 결정된 바이어스 전류 I_b 가 병렬로 연결된 다수의 트랜지스터에 공급되면, 비록 각 트랜지스터의 상기 V_t 가 편차가 있더라도 상기 칩들 사이에서 아무런 차이가 발생하지 않을 것이다.

앞서 설명한 바와 같이, 본 실시예에 따르면, 칩 사이의 상기 증폭회로(31~3N)의 전류 소비 및 특성내의 차이는 감소될 수 있다. 그러므로, 만약 도 1에서의 상기 액정표시장치의 상기 액정 디스플레이 구동 회로(12)를 이러한 증폭기 회로(31~3N)를 집적하는 IC 칩을 도 2에서의 증폭기 회로 그룹(25)에 적용하여 제조한다면, 칩 사이의 집적된 액정 디스플레이 구동회로(12)의 전류 소비 및 특성의 편차는 줄어 들 수 있다.

이는 장치, 전원의 설계를 쉽게하며, 특히 편차에 의한 화상 특성의 악화를 감소시키는 것이 가능하다.

본 발명의 제2 실시예에 따른 집적회로장치를 도 6을 참조하여 이하에서 설명한다.

전술한 바와 같이, 제1 실시예에 있어서, 전류 미러 회로의 입력측 트랜지스터(MR1~MRN)의 각각의 크기는 칩 내의 증폭 회로(31~3N)의 수(N)로 하나의 칩의 크기를 분할하는 것에 의해 얻어진 값에 대응한다. 증폭 회로(31~3N)의 수(N)는 300개 정도가 되어, 입력측 트랜지스터(MR1~MRN)는 대단히 작은 트랜지스터가 된다. 특히, 이러한 트랜지스터는 조립이 불가능하거나 또는 어려울 수 있다.

도 6에 도시된 실시예는 이점을 중요하게 하여 설계되었다. 입력측 트랜지스터(MR1~MR(N/L))는 직렬로 배열된 다수의 증폭 회로(41~4N)의 매 L(L은 1이상의 정수, 여기서 L=2)번째의 증폭 회로에 분할되어 배치되어 있다. 달리 표현하면, 입력측 트랜지스터의 분할 수는 N/L로 설정되며, 분할된 입력측 트랜지스터(MR1~MR(N/L))는 매 L 증폭 회로, 즉 증폭 회로(41, 43, ..., 4N)에 각각 배치되어 있다.

제1 실시예에서와 같이, 입력측 트랜지스터(MR1~MR(N/L))의 게이트와 드레인 전류 I_{bias} 가 공급되는 바이어스 전류 설정 라인에 접속되어 있으며, 트랜지스터(MR1~MR(N/L))의 공급원은 구동 전원라인(Vss)에 접속되어 있다.

이 배치로, 입력측 트랜지스터(MR1~MR(N/L))의 각각의 크기는 제1 실시예와 비교하여 N/L로 된다. 이는 더 쉬운 집적을 이끌어낸다. 추가로, 제1 실시예와 동일한 효과를 얻을 수 있다.

도 7은 본 발명의 제3 실시예에 따른 집적회로의 배치를 도시한다. 칩내에 일직선으로 배치된 다수의 증폭 회로(51~5N)의 다이오드-접속된 트랜지스터중, 증폭 회로(51~5N)의 매 M(M은 1이상의 정수)마다의 증폭 회로 중의 오직 P(P는 $P \leq M$ 을 만족하는 정수) 트랜지스터가 전류 미러 회로를 형성하도록 출력측 트랜지스터와 함께 접속되어 있다.

도 7은 M=2, P=1의 경우를 나타낸다. 이 경우에 있어서, 교류 증폭 회로(51, 53, ..., 5(N-1))내의 다이

오드-접속된 트랜지스터(MR1, MR2, ..., MR(N/2))의 드레인 및 게이트가 바이어스 전류를 설정하기 위한 전류 I_{bias} 가 공급되는 바이어스 전류 설정라인에 접속되어 출력측 트랜지스터(M1~MN)와 함께 전류 미러 회로를 형성한다. 나머지 증폭 회로(52, ..., 5N)내의 다이오드-접속된 트랜지스터(MD1, ..., MD(N/2))의 드레인 및 게이트는 구동 전원라인(Vss)에 접속되지만 전류 미러 회로를 형성하지 않는다.

이 배치는 집적에 적합하다. 일반적으로, 다수의 동일한 회로가 집적되어지면, 하나의 기본 회로 패턴이 설계되어 많은 경우에 있어서 설계 효율을 개선하도록 반복적으로 사용된다. 이 실시예에 있어서, 설계 효율의 개선은 이 방식을 사용하는 것에 의해 달성된다.

특히, 도 9a에 도시된 각각의 N 기본 패턴이 준비된다. 각 기본 패턴은 도 8a에 도시된 바와 같은 다이오드-접속된 트랜지스터 및 비 다이오드-접속된 트랜지스터로 구성된 기본 회로에 대응한다. 이들 N 기본 패턴은 일직선으로 배치되어 있다. 도 8b에 도시된 바와 같이, 도 8a에 도시된 기본 회로의 다이오드-접속된 트랜지스터의 드레인 및 게이트 및 비 다이오드-접속된 트랜지스터의 드레인이 바이어스 전류 설정 라인(도 8b의 상부 라인)에 접속되어 있으며, 2개의 트랜지스터의 공급원은 전원 라인(Vss)(도 8b의 하부 라인)에 접속되어 있다. 이 프로세스로 도 9b에 도시된 회로 패턴이 형성된다. 이 회로 패턴은 예를 들면 도 7의 입력측 트랜지스터(MR1)와 출력측 트랜지스터(M1)에 대응한다.

도 8c에 도시된 바와 같이, 도 8a의 기본 패턴 회로내의 비 다이오드-접속된 트랜지스터의 드레인만이 바이어스 전류 설정 라인(도 8a의 상부 라인)에 접속되어 있으며, 다이오드-접속된 트랜지스터의 드레인, 게이트 및 공급원과 비 다이오드-접속된 트랜지스터의 공급원이 전원 라인(Vss)(도 8c의 하부 라인)에 접속되어 있다. 이 프로세스로 도 9c에 도시된 회로 패턴이 형성된다. 이 회로 패턴은 도 7의 어떠한 전류 미러 회로의 일부가 아닌 다이오드-접속된 트랜지스터(MD1)와 전류 미러 회로의 출력측 트랜지스터(M2)에 대응한다.

도 6의 증폭 회로(42)의 경우에 있어서, 도 9a에서의 트랜지스터(MR)는 비접속 상태로 설정되며, 단지 트랜지스터(M)만이 바이어스 전류 설정 라인(BL)과 전원 라인에 접속되어 있다.

도 10은 본 발명의 제5 실시예에 따른 집적회로장치의 배치를 도시한다. 전류 미러 회로의 다이오드-접속된 입력측 트랜지스터(MR1, MR2)가 칩내의 라인에 배치된 다수의 증폭 회로(61~6N)의 어레이중의 2개의 측면상에 각각 배치되어 있다. 전술한 실시예와 같이, 트랜지스터(MR1, MR2)의 게이트 및 드레인은 전류 I_{bias} 가 공급되는 바이어스 전류 설정 라인(BL)에 접속되어 있으며, 트랜지스터의 공급원은 전원 라인(Vss)에 접속되어 있다.

이 실시예에 따르면, 증폭 회로(61~6N)내의 입력측 트랜지스터(MR1, MR2)와 출력측 트랜지스터(M1~MN) 사이의 간격은 2개의 트랜지스터 사이의 더 나은 매칭을 실현하도록 감소되며, 이에 의해 전류 미러 회로의 특성 편차를 감소시킨다.

이 실시예에 있어서, 증폭 회로(61~6N)가 1-칩 집적회로로써 존재할 때 집적회로장치는 단지 트랜지스터(MR1, MR2)를 이 집적회로에 추가하는 것에 의해 실현될 수 있다.

도 11은 본 발명의 제 6 실시예에 따른 집적회로장치를 도시한다. 이 실시예에 있어서, 바이어스 전류 미러 회로는 칩내의 다수의 증폭 회로의 어레이를 따라 중간에 위치된다. 특히, 다이오드-접속된 출력측 트랜지스터(MR2, MR3)가 증폭 회로(71, ..., 7i, 7(i+1), ..., 7N)중 증폭 회로(7i)와 인접한 증폭 회로(7(i+1)) 사이에 배치되어 있다. 추가로, 이 실시예에 따르면, 제4 실시예와 같이 전류 미러 회로의 다이오드-접속된 입력측 트랜지스터(MR1, MR4)가 증폭 회로(71, 7N) 2개의 단부 외측에 각각 배치되어 있다.

전술한 실시예와 같이, 입력측 트랜지스터(MR1, MR2, MR3, MR4)는 전류 I_{bias} 가 공급되는 바이어스 전류 설정 라인(BL)에 접속되어 있으며, 각각의 트랜지스터 공급원은 전원 라인(Vss)에 접속되어 있다.

전술한 실시예의 각각의 증폭 회로를 설명한다.

도 12에 도시된 증폭 회로는 입력 증폭단, 출력 증폭단 및 레지스터(Rf)로 구성되어 있다. 입력 증폭단은 한 쌍의 차등 트랜지스터를 구성하는 트랜지스터(Mp1, Mp2), 트랜지스터(Mp4)를 사용하여 상기 쌍의 차등 트랜지스터에 트레일 전류를 공급하는 전류 공급원 및 상기 쌍의 차등 트랜지스터의 출력 터미널로써 드레인에 각각 접속된 전류 입력 및 출력 터미널을 갖는 트랜지스터(Mn1, Mn2)로 구성된 전류 미러 회로로 이루어진다. 출력 증폭단은 트랜지스터(Mp3, Mn3)로 구성된 한 쌍의 보조 트랜지스터로 제조된다. 참조부호 Mpx는 P-채널 MOS 트랜지스터를 나타내며, Mnx는 N-채널 MOS 트랜지스터를 나타낸다.

이 증폭 회로에 따르면, 상기 첫번째 제로가 레지스터(Rf)와 출력 터미널(트랜지스터(Mn3, Mp3)의 드레인) 사이에 삽입된 용량성 로드(CL)와 신호 출력 터미널(OUT)의 용량성 구성요소에 의해 오픈 루프 주파수 특성으로 형성된다. 위상 선단은 이 제로에 의해 유도되며, 극성에 의한 위상 레그(phase lag)는 보정될 수 있다. 특히, -180° 위상과 1의 게인에서의 위상 사이의 차이로써의 위상 마진이 증가될 수 있으며, 증폭 회로의 동작을 안정화시키기 위한 어떠한 위상 보정 커패시턴스(Cf)가 기본적으로 요구되지 않는다. 위상 보정 커패시턴스(Cf)가 요구되더라도, 대단히 작은 커패시턴스만이 요구되기 때문에 칩 영역은 감소될 수 있다. 증폭 회로의 이 작용은 USSN 09/128,414에 상세히 기술되어 있다.

도 12의 다이오드-접속된 트랜지스터(Mp5)와 바이어스 전류 공급원(Ib1)은 전류 미러 회로의 출력측 트랜지스터(Mi)(i=1,2,...,N)로 구성되어 트랜지스터(Mp3, Mp4)에 대한 게이트 바이어스를 결정한다.

도 13은 다른 증폭 회로를 도시한다. 도 12에 도시된 증폭 회로에 있어서, 전압 흐름 배치가 채용되면, 도 12의 점선으로 나타난 바와 같이 출력 증폭단의 출력 터미널(트랜지스터(Mp3, Mp4)의 드레인)로부터 신호 입력 터미널(IN-)로 신호가 피드백되며, 상승부에서의 스루율(slew rate)은 트랜지스터(Mp3)로부터 공급된 전류와 용량성 로드(CL)의 값에 의해 결정된다. 트랜지스터(Mp3)로부터 공급된 전류가 작기 때문에 충분한 스루율이 얻어지지 않을 수 있다.

이점을 개선하기 위해, 도 13에 도시된 증폭 회로에 있어서, 출력 증폭단에 바이어스 전류를 공급하기 위한 트랜지스터(Mp3)로부터의 출력 전류는 양극으로의 입력 신호 전압 변경의 검출로 증가되며, 이에 의해 상승부에서의 스루율을 증가시킨다. 즉, 양극으로의 입력 신호 전압 변경은 트랜지스터(Mn4, Mp6)에 의해 검출되며,

트랜지스터(Mp7)는 입력 신호 전압이 양극으로 변화되었을 때 켜지며, 이에 의해 트랜지스터(Mp3)에 대한 게이트 바이어스를 결정하는 전류 공급원(IL)으로부터 다이오드-접속된 트랜지스터(Mp5)로 전류를 공급한다. 이 배치로 트랜지스터(Mp3)의 게이트 바이어스의 전압이 증가된다.

특히, 트랜지스터(Mp6)는 전류 공급원을 구성하며, 그의 게이트는 바이어스 전류를 결정하기 위한 트랜지스터(Mp5)의 드레인과 게이트에 접속되어 있다. 트랜지스터(Mp7)의 게이트는 트랜지스터(Mn4, Mp6)의 드레인에 접속되어 있다. 트랜지스터(Mp7)의 공급원과 게이트는 바이어스 전류를 결정하기 위한 트랜지스터(Mp5)의 드레인과 게이트 및 전류 공급원(IL)에 각각 접속되어 있다.

간략화를 위해, 입력 증폭단(2)의 트랜지스터(Mn1)와 동일한 크기, 즉 W/L(W는 MOS 트랜지스터의 채널 폭, L은 MOS 트랜지스터의 채널 길이)과 동일한 크기의 트랜지스터(Mn4)로 가정하며, 트랜지스터(Mp6)의 크기(W/L)는 입력 증폭단(2)의 전류 공급원 트랜지스터(Mp4)의 크기(W/L)의 0.6배라고 가정한다.

신호 입력 터미널 IN+와 IN- 사이에 제로 또는 음의 값의 전압이 공급되었을 때, 즉 양의 신호 입력 터미널 IN+에서의 전압이 음의 신호 입력 터미널 IN-에서 보다 낮으면, 트랜지스터(Mp4)로부터 공급된 전류 1/2 또는 전류의 적은 양이 트랜지스터(Mn1)로 흐르며, 트랜지스터(Mn1)내의 전류는 트랜지스터(Mn4)에 의해 카피된다. 이 경우에 있어서, 트랜지스터(Mp6)로부터 공급된 전류가 트랜지스터(Mp4)로부터 공급된 전류의 0.6배이기 때문에, 상기 전류보다 더 많은 양이 트랜지스터(Mp4)를 흐른다. 이 이유에 대해, 트랜지스터(Mp6)의 드레인 전압은 높아지기 시작하며, 트랜지스터(Mp7)는 꺼진다. 결과로써, 전류 공급원(IL)으로부터 공급된 전류는 트랜지스터(Mp5)에 부가되지 않는다.

신호 입력 터미널 IN+와 IN- 사이에 공급된 입력 신호 전압이 소정의 양의 전압, 즉 양의 신호 입력 터미널 IN+에서의 전압이 소정의 레벨 또는 그 이상으로 신호 입력 터미널 IN-에서의 전압보다 더 높으면, 트랜지스터(Mp4)로부터 공급된 전류보다 0.6배 높은 전류가 트랜지스터(Mn1)내를 흐르며, 트랜지스터(Mn1)내의 전류는 트랜지스터(Mn4)에 의해 카피된다. 동시에, 트랜지스터(Mp6)로부터 공급된 전류가 트랜지스터(Mp4)로부터 공급된 전류의 0.6배이기 때문에 트랜지스터(Mp4)내를 흐르는 전류보다 더 적게 되며, 트랜지스터(Mp6)의 드레인 전압은 트랜지스터(Mp7)를 켜도록 감소한다. 이 동작으로 전류 공급원(IL)으로부터 공급된 전류가 트랜지스터(Mp7)를 통하여 바이어스 전류 설정 트랜지스터(Mp5)에 부가되기 때문에 트랜지스터(Mp5)의 게이트-공급원 전압은 증가하며, 트랜지스터(Mp4)로부터 공급된 전류도 또한 증가한다.

전술한 바와 같이, 도 13에 도시된 증폭 회로는 입력 신호 전압이 양극으로 변화함에 따라 전류를 증가시키도록 출력 증폭단(3)의 트랜지스터(Mp3)로부터 공급된 전류를 제어할 수 있으며, 상승부에서의 스루율이 증가될 수 있다.

도 12와 도 13의 다이오드-접속된 트랜지스터(Mp5) 및 바이어스 전류 공급원(Ib1)은 트랜지스터(Mp3, Mp4)에 대한 게이트 바이어스를 결정하며, 바이어스 전류 공급원(Ib1)은 전술한 전류 미러 회로의 출력측 트랜지스터 M_i ($i=1, 2, \dots, N$)에 의해 형성된다. 도 13에 도시된 전류 공급원(IL)은 동일한 배치로 실행될 수 있다.

도 14는 본 발명의 제6 실시예에 따른 집적회로장치를 도시한다. 이 집적회로장치는 다수의 증폭 회로(120-1~120-N)를 가진다. 예를 들면, 증폭 회로(120-1~120-N)는 도 1에 도시된 액정표시장치의 액정표시 구동회로(12)에 포함된 도 2의 증폭 회로(25) 그룹중의 일부를 구성한다. 예를 들면, 이들 증폭 회로는 도 14의 측면방향을 따라 일직선으로 배치되어 있다. 증폭 회로(120-1~120-N)는 바이어스 전류 공급 트랜지스터(M1~MN)를 각각 포함하며 바이어스 전류 공급 트랜지스터(M1~MN)로부터 공급된 바이어스 전류를 모니터링하도록 동일 게이트 전압을 수신하기 위해 트랜지스터(MF1~MFN)을 모니터링 한다. 즉, 각각의 증폭 회로(120-1~120-N)는 바이어스 전류 공급 트랜지스터(M1~MN)중의 하나와 모니터링 트랜지스터(MF1~MFN)중의 하나로 구성되어 있으며, 전류 공급 트랜지스터의 각 쌍은 게이트를 갖는 모니터링 트랜지스터와 서로 접속되어 있으며, 공급원은 서로 접속되어 있다. 모니터링 트랜지스터(MF1~MFN)의 각각의 드레인은 트랜지스터(MB1, MB2)로 구성된 전류 미러 회로에 접속되어 있다.

바이어스 전류를 설정하기 위한 전류 I_{bias} 는 트랜지스터(MB1, MB2)로 구성된 전류 미러 회로를 통한 모니터링 트랜지스터(MF1~MFN)로부터의 전류 출력 합계와 비교되며, 트랜지스터(MB2)의 드레인 터미널에서의 전류차에 대응하는 전압으로 변환된다. 이 전압은 증폭기(A1)에 의해 증폭되어 트랜지스터(M1~MN)와 트랜지스터(MF1~MFN)의 게이트에 공통으로 공급된다.

간략화를 위해, 각각의 출력 트랜지스터 M_i ($i=1 \sim N$)와 각각의 모니터링 트랜지스터 M_{Fi} ($i=1 \sim N$)는 동일 크기로 가정한다. 또한, 각 트랜스미션 M_{Fi} ($i=1 \sim N$)의 게이트 폭/게이트 길이(이하, W/L로 나타냄)는 각 트랜지스터 M_i ($i=1 \sim N$)의 W/L의 1/N이다. 모든 트랜지스터(M_i)와 모든 트랜지스터(M_{Fi}) 사이의 매칭이 얻어진다면, 동일한 전압이 트랜지스터(M_i)와 트랜지스터(M_{Fi})의 게이트에 공급되기 때문에 트랜지스터(M_{Fi})내를 흐르는 전류 I_{Fi} 는 트랜지스터(M_i)내를 흐르는 전류 I_i 의 1/N이다. 트랜지스터(M_{Fi})의 드레인이 공통으로 접속되어 있기 때문에 트랜지스터(M_{Fi})내를 흐르는 전류는 부가되며, 합은 트랜지스터(M_i)내를 흐르는 전류(I_i)와 동등하다.

트랜지스터(M_{Fi})를 흐르는 전류의 합을 트랜지스터(MB2)의 드레인 터미널에서 설정 전류(I_{bias})와 비교한다. 만일 전류(I_{bias})가 상기 트랜지스터(M_{Fi})를 흐르는 전류의 합보다 더 크다면, 상기 트랜지스터(MB2)의 드레인 전압은 증가한다. 이 드레인 전압은 상기 트랜지스터(M_{Fi})를 흐르는 전류를 증가시키기 위해 상기 트랜지스터(M_i) 및 트랜지스터(M_{Fi})의 게이트 전압을 증가시키도록 상기 증폭기(A1)에 의해 증폭된다. 그래서, 상기 트랜지스터(M_{Fi})를 흐르는 전류의 합이 상기 전류(I_{bias})와 같아지게 된다. 이와 반대로, 전류(I_{bias})가 트랜지스터(M_{Fi})를 흐르는 전류의 합보다 작은 경우에는, 상기 트랜지스터(MB2)의 드레인 전압은 감소한다. 이 드레인 전압은 상기 트랜지스터(M_{Fi})를 흐르는 전류를 감소시키기 위해 상기 트랜지스터(M_i) 및 트랜지스터(M_{Fi})의 게이트 전압을 줄이도록 상기 증폭기(A1)에 의해 증폭된다. 그래서, 트랜지스터(M_{Fi})를 흐르는 전류의 합은 상기 전류(I_{bias})와 같아진다.

본 실시예의 특징적인 특성에 따르면, 상기 모니터링 트랜지스터들은, 앞서 설명한 바와 같이, 증폭기 회로(120-1~120-N)으로 분포되어 있고, 그 회로내에 정렬되어 있다. 즉, 본 실시예에는 하나의 모니터링 트랜

지스터(MF)만이 사용되는 종래 기술과는 달리 증폭기 회로(120-1~120-N) 수에 대응하는 N 개의 모니터링 트랜지스터(MF1~MFN)가 포함되어 있다. 이러한 모니터링 트랜지스터(MF1~MFN)들은 상기 증폭기 회로(120-1~120N)내의 바이어스 전류를 발생시키는 출력 트랜지스터(M1~MN) 부근에 정렬된다.

본 발명의 이러한 정렬을 하여, 종래 기술에서 트랜지스터 각각의 임계 전압내의 편차로 인한 문제점은 이하의 방법으로 해결될 수 있다.

상기 모니터링 트랜지스터로 인가되는 게이트-소스 전압은 일반적으로 전류(I_{bias}/N)가 상기 트랜지스터(MF1~MFN)에 흐르는 경우 트랜지스터(MF1~MFN)의 게이트-소스 전압의 평균에 가까워진다.

상기 모니터링 트랜지스터(MF1~MFN)의 임계 전압(V_t)의 편차를 ΔV_{Fi} 로 놓고, 출력 트랜지스터(M1~MN)의 임계 전압의 편차를 ΔV_i 로 놓는다. 이 경우, ΔV_{Fi} 의 통계학적인 기대값은 제로이며, 편차의 실제 평균은 상기 통계학적 기대값, 즉 제로에 가까운 값으로 된다.

상기 트랜지스터(MFi)를 흐르는 전류의 합은 다음과 같이 설명된다:

$$I_d \propto \sum_i k (V_{GS} - V_t + \Delta V_{Fi})^2$$

$$I_d \propto \sum_i k ((V_{GS} - V_t + \Delta V_{Fi})^2 + 2(V_{GS} - V_t)\Delta V_{Fi} + \Delta V_{Fi}^2)$$

그러므로 $\sum_i 2K(V_{GS} - V_t)\Delta V_{Fi}$ 는 제로에 가까워지고 $\sum_i \Delta V_{Fi}^2$ 는 $\sum_i (V_{GS} - V_t)^2$ 보다 훨씬 작고, 수학적 9는 다음과 같이 될 수 있다:

$$I_d \propto \sum_i k (V_{GS} - V_t)^2$$

이것은 상기 트랜지스터(MF1~MFN)으로 흐르는 전류의 합이 I_d 인 경우에는, 임계 전압내의 편차(ΔV_{Fi})가 있다 하더라도 V_{GS} 가 $V_{Fi} = 0$ 일 때의 값과 충분히 같아짐을 의미한다. 상기 트랜지스터(MF1~MFN)로부터 공급된 바이어스 전류의 평균이 상기 전류(I_{bias})와 더 가까워 지므로, 상기 증폭기 회로(120-1~120-N)의 전류 소비값의 합은 상기 증폭기 회로(120-1~120-N)에 공급된 바이어스 전류가 칩에 상관없이 전류(I_{bias})가 되는 경우 상기 증폭기 회로(120-1~120-N)의 전류 소비값의 합에 점점 가까워진다. 이러한 이유로 인해, 칩 사이의 전류 소비의 편차가 줄어들 수 있다. 또한, 칩 사이의 전류 소비의 편차를 줄임으로 인해 증폭기 회로(120-1~120-N)의 특성 편차가 감소할 수 있다. 앞서 설명한 바와 같이, 본 실시예에 따르면, 칩 사이의 증폭기 회로(120-1~120-N)의 전류 소비 및 특성 편차는 줄어들 수 있다. 따라서, 도 1의 액정표시장치의 액정 디스플레이 구동회로들이 증폭기 회로(120-1~120-N)를 집적함으로써 얻어진 칩을 도 2의 증폭기 회로(25) 그룹에 공급하여 형성된다면, 그 칩 사이의 상기 집적된 액정 디스플레이 구동회로(12)의 전류 소비 및 특성의 편차는 줄어들 수 있다. 이것으로 장치 설계가 쉬워지고 특성의 편차로 인한 화질의 악화를 줄일 수 있는 것이 가능해진다.

도 15는 도 14에 도시된 집적회로 디바이스의 증폭기(A1)가 트랜지스터(MA1) 및 전류 소스(IB1)으로 구성된 소스 팔로워에 의해 실현된 제7 실시예를 보여주고 있다.

도 16은 제8 실시예에 따른 집적회로 디바이스를 보여주고 있다. 이 실시예에 따르면, 도 14에 도시된 집적회로 디바이스의 증폭기(A1)는 증폭기(A1)로의 입력 전압에 해당하는 전류를 발생시키는 트랜지스터(MA10), 상기 트랜지스터(MA10)를 흐르는 전류와 바이어스 전류(IB2) 사이의 차이를 수신하는 다이오드-접속된 트랜지스터(MA11), 상기 트랜지스터(MA11)와 함께 전류 미러 회로를 구성하고, 상기 트랜지스터(MA10)를 흐르는 전류와 상기 바이어스 전류(IB2)사이의 차이를 유지/출력하는 트랜지스터(MA12), 및 이 전류를 수신하는 다이오드-접속된 트랜지스터(MA13)를 구비하고 있다. 이 트랜지스터(MA13)는 출력 트랜지스터(M1~MN)와 모니터링 트랜지스터(MF1~MFN)와 함께 전류 미러 회로를 구성한다.

간단하게 하도록, 상기 트랜지스터(MA10 및 MA12)가 같은 크기이며, 트랜지스터(MA13)의 크기가 트랜지스터(M1~MN) 각각의 크기와 같다고 가정한다. 또한 $IB2 = 2I_{bias}$ 라고 가정한다.

증폭기(A1)로의 입력 전압에 따라 트랜지스터(MA10)에 의해 발생된 전류를 상기 바이어스 전류(IB2)와 비교하고, 전류차는 상기 트랜지스터(MA11 및 MA12)에 의해 구성된 전류 미러 회로에 의해 유지된다. 만일 이 전류차이가 I_{bias} 보다 크다면, 상기 모니터링 트랜지스터(MF1~MFN)에 흐르는 전류의 평균이 I_{bias}/N 보다 크기 때문에, 상기 모니터링 트랜지스터(MF1~MFN)내의 전류의 합이 I_{bias} 보다 커지게 된다. 이러한 이유로 인해, 트랜지스터(MB2)의 드레인 전압이 감소한다. 그래서, 증폭기(A1)의 입력 트랜지스터(MA10)의 게이트-소스 전압이 증가하고, 이 전류와 상기 바이어스 전류(IB2)사이의 전류차이는 I_{bias} 에 가까워진다.

바이어스 전류(IB2)와 증폭기(A1)로의 입력 전압에 따라 트랜지스터(MA10)에 의해 발생된 전류사이의 전류차이가 I_{bias} 보다 작다면, 상기 모니터링 트랜지스터(MF1~MFN)에 흐르는 전류의 평균은 I_{bias} 보다 작아지게 된다. 이 모니터링 트랜지스터(MF1~MFN)의 전류의 합이 I_{bias} 보다 작기 때문에, 트랜지스터(MB2)의 드레인 전압은 증가한다. 그래서, 증폭기(A1)의 트랜지스터(MA10)의 게이트-소스 전압은 감소하고, 상기 입력 전압에 따라 발생된 전류와 상기 바이어스 전류(I_{bias}) 사이의 전류차이는 I_{bias} 에 가까워진다.

일반적으로, 증폭기 회로 수(N)에 의해 나뉘어진 모니터링 트랜지스터(MF)가 하나의 칩으로 집적된다면, 증폭

기 회로의 수가 종종 300 개 정도 되기 때문에, 각각의 모니터링 트랜지스터(MFi; $i=1\sim N$)는 매우 작은 트랜지스터가 된다. 따라서 실제로 있어서, 어느 경우에는 그렇게 작은 트랜지스터를 형성하는 것이 어렵다. 이러한 경우에는, 분할 수를 N/L (L 은 양의 정수)로 설정하고, 모니터링 트랜지스터(MFi)를 매 L 증폭기 회로를 위해 정렬시키면, 앞서 언급한 바와 동일한 효과를 얻게 된다.

도 17은 $L=2$ 인 제9 실시예에 따른 집적회로 디바이스를 보여주고 있다.

도 18에 도시된 제10 실시예에 따른 집적회로 디바이스에서는, 출력 트랜지스터(M_i ; $i=1\sim N$)와 모니터링 트랜지스터(MFi; $i=1\sim N$)와 함께 전류 미러 회로를 구성하는, 증폭기(AI)의 다수의 다이오드-접속된 트랜지스터(MA13-1~MA13-($N/2$)), 다수의 모니터링 트랜지스터(MFi)를 증폭기 회로(124-1 ~ 124-N)내에 대안적으로 정렬하여도 좋다.

또한, 도 19에 도시된 제11 실시예에 따른 집적회로 디바이스와 같이, 두 개의 모니터링 트랜지스터(MF1 및 MF2)를 다수의 증폭기 회로의 어레이의 두 종단상에 정렬시켜 상기 증폭기 회로내의 상기 모니터링 트랜지스터(MF1 및 MF2)와 트랜지스터($M_1\sim M_N$)사이의 거리를 짧게하여, 향상된 매칭을 실현하고 편차를 감소시켜도 좋다. 이 경우, 도 20에 도시된 제12 실시예와 같이, 증폭기(AI)의 다이오드-접속된 트랜지스터(MA12-1~MA13-2)를 다수의 증폭기 회로(126-1~126-N)어레이의 두 종단에 정렬시켜도 좋다.

도 21은 차등 증폭회로를 증폭기(AI)로 사용하는 제13 실시예에 따른 집적회로 디바이스를 보여주고 있다. 이 실시예에 따르면, 상기 차등 증폭회로의 음의 입력 터미널을 트랜지스터(MB1)의 드레인에 접속시킴으로써, 트랜지스터(MB1)의 드레인 전압을 트랜지스터(MB2)의 드레인 전압과 같게 하는 제어를 할 수 있다. 이것은 트랜지스터(MB1, MB2)로 구성되는 상기 전류 미러의 정밀도를 증가시킨다.

도 22에 도시된 제14 실시예에 따른 집적회로 디바이스에서는, 도 21의 증폭기(AI)를 차등 증폭회로로 사용하고 있다. 이 차등 증폭회로는 입력 차등 쌍을 구성하는 트랜지스터(MA22, MA23), 상기 입력 차등 쌍으로 전류를 공급하는 트랜지스터(MA21), 및 상기 트랜지스터(MA22)로부터 출력 전류를 수신하고 증폭회로(128-1~128-N)의 트랜지스터($M_1\sim M_N$)와 모니터링 트랜지스터(MF1~MFN)와 함께 전류 미러 회로를 구성하는 다이오드-접속된 트랜지스터(MA24)로 구성되어 있다. 이 경우에, 트랜지스터(MB1)의 드레인 전압은 다이오드-접속된 트랜지스터(MB3)를 사용하여 레벨-시프트되어 상기 차등 증폭회로의 입력 전압이 상기 차등 증폭회로의 동작 범위내에 있도록 한다. 다이오드-접속된 트랜지스터(MB4)는 트랜지스터(MB2)의 드레인 전압을 트랜지스터(MB1)의 드레인 전압과 같게 만들기 위해 삽입된 레벨-시프트 트랜지스터이다.

간략성을 위해, 트랜지스터(MA21)의 W/L 이 트랜지스터(MB1)의 W/L 의 두배라고 가정한다. 그러면, I_{bias} 의 두 배의 전류가 트랜지스터(MA21)에 흐르게 된다. 또한 트랜지스터(MB3, MB4, MA22, MA23)의 크기도 같다고 가정한다. 또한, 트랜지스터(MA24)의 크기도 트랜지스터($M_1\sim M_N$) 각각의 크기와 같다고 가정한다.

트랜지스터(MA23)의 게이트에 공급된 증폭기(AI)의 양의 입력 전압을 트랜지스터(MA22)의 게이트에 공급된 음의 입력 전압, 즉 게이트/소스 전압에 의해 트랜지스터(MB1)의 드레인 전압을 레벨-시프트하는 트랜지스터(MB3)에 의해 얻어진 전압과 비교한다. 모니터링 트랜지스터(MF1~MFN)에 흐르는 전류의 합이 트랜지스터(MB1, MB2)에 의해 구성된 전류 미러에서 유지된 전류(I_{bias})보다 더 크다면, 상기 양의 입력 전압은 상기 음의 입력 전압보다 더 낮아지고, 트랜지스터(MA21)로부터 공급된 전류의 반 이상이 트랜지스터(MA23)에 흐르고, 트랜지스터(MA22)내에 흐르는 전류는 I_{bias} 보다 더 적어진다. 트랜지스터(MA24)에 흐르는 전류는 상기 다이오드-접속된 트랜지스터(MA24)에 입력되고, 트랜지스터(MA24)의 게이트 전압은 감소한다. 따라서, 모니터링 트랜지스터(MF1~MFN)를 흐르는 전류의 합은 I_{bias} 에 가깝게 된다. 만일 상기 모니터링 트랜지스터(MF1~MFN)에 흐르는 전류의 합이 상기 트랜지스터(MB1, MB2)에 의해 구성된 전류 미러에서 유지된 전류(I_{bias})보다 적고, 상기 양의 입력 전압이 상기 음의 입력 전압보다 더 높다면, 트랜지스터(MA21)로부터 공급된 전류의 반 이상은 트랜지스터(MA23)내를 흐르게 된다. 상기 트랜지스터(MA22)에 흐르는 전류는 I_{bias} 보다 더 커지게 된다. 그러면, 트랜지스터(MA22)에 흐르는 전류는 상기 다이오드-접속된 트랜지스터(MA24)로 입력되고, 트랜지스터(MA24)의 게이트 전압은 증가한다. 따라서, 모니터링 트랜지스터(MF1~MFN)에 흐르는 전류의 합은 I_{bias} 에 더 가까워진다.

앞에서 설명한 바와 같이, 본 발명의 집적회로 디바이스에 따르면, 다수의 증폭회로와 같은 전자회로를 위한 바이어스 전류의 일부분으로서 전류 미러 회로내에는, 각각의 전자회로를 위한 출력측 트랜지스터가 제공되어 있고, 입력측 트랜지스터들은 다수의 전자회로로 분포 및 전자회로내에 정렬되거나, 또는 양 측상의 전자회로에 인접하게 정렬된다. 이러한 정렬은 칩 사이의 입력측 트랜지스터의 임계전압내의 편차를 줄이고 그 칩 사이의 전류 소비 및 특성의 편차의 감소를 가능하게 한다.

본 발명에 따르면, 특히, 구동회로용 집적회로 디바이스 등을 사용함으로써 전력공급의 설계를 쉽게 해 주고, 칩 사이의 특성차이로 인한 화질의 악화를 줄여주는 액정표시장치가 제공된다.

또한, 각각의 회로내의 바이어스 전류를 발생하는 출력 트랜지스터 근방에 다수의 모니터링 트랜지스터가 배열되어 있어서, 모니터링 트랜지스터와 상기 각각의 회로내의 바이어스 전류를 발생하는 트랜지스터 사이의 매칭이 향상될 수 있어서, 칩 사이의 전류 소비 및 특성의 편차가 감소된다.

더욱이, 액정표시장치용 구동회로내의 증폭기 회로의 그룹을 본 발명에 따른 집적회로 디바이스를 사용하여 형성하면, 칩 사이의 전류 소비 및 특성의 편차가 작기 때문에, 특성의 편차로 인한 화질의 악화가 거의 없는 액정표시장치를 실현할 수 있다.

더 다른 장점 및 수정들은 당업자에게는 쉽게 있을 수 있는 것이다. 그러므로, 보다 넓은 측면에서 본 발명은 본 명세서에 기재된 특정 사실들이나 각각의 실시예로 제한되는 것이 아니다. 따라서, 첨부된 특허청구범위에서 정의된 일반적인 발명의 개념의 범위 및 정신을 벗어나지 않는 한 다양한 수정이 있을 수 있다.

발명의 효과

본 발명에 따른 집적회로 디바이스를 사용하면, 칩 사이의 입력측 트랜지스터의 임계전압내의 편차를 줄이고

그 칩 사이의 전류 소비 및 특성의 편차가 감소하고, 특히, 전력공급의 설계를 쉽게 해 주고, 모니터링 트랜지스터와 상기 각각의 회로내의 바이어스 전류를 발생하는 트랜지스터 사이의 매칭이 향상될 수 있어서, 칩 사이의 전류 소비 및 특성의 편차가 감소되어 화질의 악화를 줄여주는 액정표시장치가 제공된다.

(57) 청구의 범위

청구항 1

다수의 전자회로; 및

바이어스 전류를 설정하기 위한 입력 전류를 수신하고 상기 다수의 전자회로로 분포되어 있는 다수의 다이오드-접속된 입력측 트랜지스터 및 상기 입력 전류에 해당하는 출력 전류를 바이어스 전류로서 상기 다수의 전자회로로 각각 공급하는 다수의 출력측 트랜지스터로 구성된 다수의 전류 미러 회로를 구비하고,

상기 다수의 전자회로 및 상기 전류 미러 회로는 하나의 칩으로 집적되는 것을 특징으로 하는 집적회로 디바이스.

청구항 2

제 1 항에 있어서,

상기 다수의 전자회로들은 상기 칩내의 어레이에 집적되고, 상기 입력측 트랜지스터들은 상기 다수의 전자회로의 매 L(L은 1 보다 작지않은 정수) 전자회로로 분포되어 있는 것을 특징으로 하는 디바이스.

청구항 3

제 1 항에 있어서,

상기 다수의 전자회로들은 상기 칩 내의 어레이에 집적되어 있고, 상기 다수의 전자회로내의 매 M 다이오드-접속된 입력측 트랜지스터내의 P(P는 $P \leq M$ 을 만족하는 정수) 트랜지스터만이 서로 접속되어 전류 미러 회로를 구성하는 것을 특징으로 하는 디바이스.

청구항 4

제 1 항에 있어서,

상기 입력측 트랜지스터들은 상기 다수의 전자회로의 어레이의 두 종단상에 정렬된 두 개의 입력측 트랜지스터로 구성되는 것을 특징으로 하는 디바이스.

청구항 5

다수의 픽셀, 상기 픽셀 각각에 비디오 신호를 선택적으로 공급하는 신호선 및 상기 신호선과 교차하는 주사선을 포함하는 액정 디스플레이;

비디오 신호를 증폭하고 상기 신호선으로 상기 신호를 공급하며 상기 신호선을 구동시키도록 구성된 증폭 회로 그룹; 및

상기 주사선을 선택하도록 구성된 선택 회로를 구비하고,

상기 증폭 회로 그룹은 증폭 회로의 미리결정된 수의 유닛내에 다수의 칩으로 집적되고, 상기 칩 각각에는 바이어스 전류를 설정하기 위한 입력 전류를 수신하는 다수의 다이오드-접속된 입력측 트랜지스터, 및 상기 입력 전류에 해당하는 출력 전류를 바이어스 전류로서 상기 증폭 회로로 각각 공급하도록 구성된 다수의 출력측 트랜지스터로 구성된 집적된 전류 미러 회로가 포함되어 있고, 상기 다수의 입력측 트랜지스터들은 상기 칩 각각 내에 통합된 상기 다수의 증폭 회로로 분포되어 있는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 증폭 회로의 미리결정된 수는 상기 칩의 대응하는 하나내의 어레이에 집적되고, 상기 입력측 트랜지스터들은 상기 다수의 증폭 회로의 매 L(L은 1보다 작지않은 정수) 증폭 회로로 분포되어 있는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 증폭기의 미리결정된 수는 상기 칩의 대응하는 하나내의 어레이에 집적되고, 상기 증폭 회로의 미리결정된 수내의 매 M 다이오드-접속된 입력측 트랜지스터내의 P(P는 $P \leq M$ 을 만족하는 정수) 트랜지스터만이 서로 접속되어 전류 미러 회로를 구성하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 5 항에 있어서,

상기 증폭 회로의 미리결정된 수는 상기 칩의 대응하는 하나내의 어레이에 집적되고, 상기 입력측 트랜지스터는 상기 다수의 증폭 회로 어레이의 두 종단상에 정렬된 두 개의 입력측 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9

다수의 전자회로;

바이어스 전류를 설정하기 위한 설정 전압을 수신하고 출력 전류를 바이어스 전류로서 상기 전자회로로 공급하도록 구성된 다수의 출력 트랜지스터;

상기 설정 전압을 수신하는 즉시 모니터링 전류를 출력하도록 상기 다수의 전자회로로 분포되어 있는 다수의 모니터링 트랜지스터; 및

상기 모니터링 전류와 설정 입력 전류사이의 차이에 해당하는 전압을 증폭하고 상기 설정 전압을 출력하도록 구성된 증폭기를 구비하는 것을 특징으로 하는 집적회로 디바이스.

청구항 10

제 9 항에 있어서,

상기 증폭기는 소스 팔로워(source follower) 및 에미터 팔로워(emitter follower) 중 하나를 구비하는 것을 특징으로 하는 디바이스.

청구항 11

제 9 항에 있어서,

상기 증폭기에는 상기 다수의 출력 트랜지스터와 함께 전류 미러 회로를 구성하는 적어도 하나의 다이오드-접속된 트랜지스터가 있는 출력단이 포함되어 있는 것을 특징으로 하는 디바이스.

청구항 12

제 11 항에 있어서,

상기 다수의 전자회로들은 칩 내에 어레이에 집적되어 있고, 상기 적어도 하나의 다이오드-접속된 트랜지스터에는 상기 다수의 전자회로의 매 M (M 은 1보다 적지않은 정수) 전자회로와 평행하게 접속되고 그 전자회로로 분포된 다수의 다이오드-접속된 트랜지스터를 포함하는 것을 특징으로 하는 디바이스.

청구항 13

제 9 항에 있어서,

상기 다수의 전자회로들은 칩 내에 어레이에 집적되어 있고, 상기 모니터링 트랜지스터들은 상기 다수의 전자회로의 매 L (L 은 1보다 작지 않은 정수) 전자회로로 분포되어 있는 것을 특징으로 하는 디바이스.

청구항 14

제 9 항에 있어서,

상기 다수의 전자회로들은 칩 내에 어레이에 집적되어 있고, 상기 모니터링 트랜지스터들은 상기 다수의 전자회로의 어레이의 두 종단상에 정렬된 적어도 두 개의 모니터링 트랜지스터를 구비하고 상기 설정 전압의 수신 즉시 모니터링 전류를 출력하는 것을 특징으로 하는 디바이스.

청구항 15

제 9 항에 있어서,

상기 다수의 전자회로들은 칩 내에 어레이에 집적되어 있고, 상기 다이오드-접속된 트랜지스터들은 적어도 두 개의 병렬-접속된 트랜지스터를 구비하며 상기 전자회로의 어레이의 두 종단상에 정렬되어 있는 것을 특징으로 하는 디바이스.

청구항 16

다수의 픽셀, 상기 픽셀에 비디오 신호를 선택적으로 공급하는 신호선 및 상기 신호선에 교차하는 주사선이 포함된 액정 디스플레이;

비디오 신호를 증폭하고 그 신호를 상기 신호선으로 공급하도록 구성된 증폭 회로 그룹;

상기 신호선을 구동하도록 구성된 구동회로; 및

상기 주사선을 선택하도록 구성된 선택회로를 구비하고,

상기 증폭 회로 그룹은 증폭 회로의 미리결정된 수의 유닛 내의 다수의 칩으로 집적되어 있으며, 상기 칩 각각은:

바이어스 전류를 설정하기 위한 설정 전압을 수신하고 출력 전류를 바이어스 전류로서 상기 증폭 회로로 공급하는 다수의 출력 트랜지스터,

상기 설정 전압의 수신 즉시 모니터링 전류를 출력하도록 상기 다수의 증폭 회로로 분포되어 있는 다수의 모니터링 트랜지스터, 및

상기 모니터링 전류와 설정 입력 전류사이의 차이에 해당하는 전압을 증폭하고 상기 설정 전압을 출력하도록 구성된 증폭기로 구성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 17

제 16 항에 있어서,

상기 증폭기는 소스 팔로워 및 에미터 팔로워 중 하나를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 18

제 16 항에 있어서,

상기 증폭기에는 상기 다수의 출력 트랜지스터와 함께 전류 미러 회로를 구성하는 다이오드-접속된 트랜지스터가 있는 출력단이 포함되어 있는 것을 특징으로 하는 액정표시장치.

청구항 19

제 18 항에 있어서,

상기 다수의 전자회로들은 칩 내의 어레이에 집적되어 있고, 상기 다이오드-접속된 트랜지스터들은 다수의 병렬-접속된 트랜지스터를 구비하고 상기 다수의 전자회로의 매 M (M 은 1 보다 크지않은 정수) 전자회로로 분포되어 있는 것을 특징으로 하는 액정표시장치.

청구항 20

제 16 항에 있어서,

상기 다수의 전자회로들은 칩 내의 어레이에 집적되어 있고, 상기 모니터링 트랜지스터들은 상기 다수의 전자회로의 매 L (L 은 1 보다 크지않은 정수) 전자회로로 분포되어 있는 것을 특징으로 하는 액정표시장치.

청구항 21

제 16 항에 있어서,

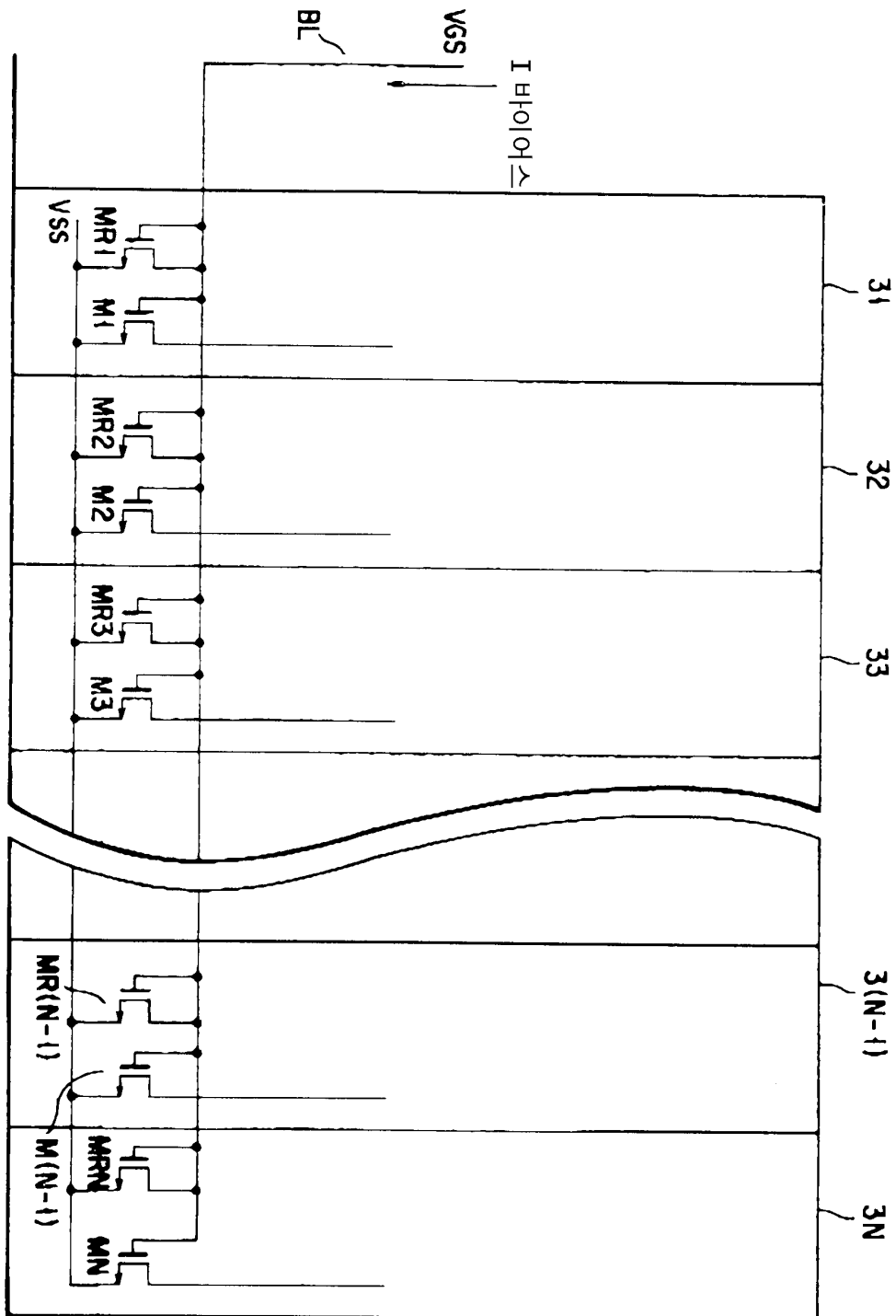
상기 다수의 전자회로들은 칩 내의 어레이에 집적되어 있고, 상기 모니터링 트랜지스터들은 상기 다수의 전자회로의 어레이의 두 종단상에 정렬된 적어도 두 개의 모니터링 트랜지스터를 구비하며 상기 설정 전압을 수신하는 즉시 모니터링 전류를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 22

제 16 항에 있어서,

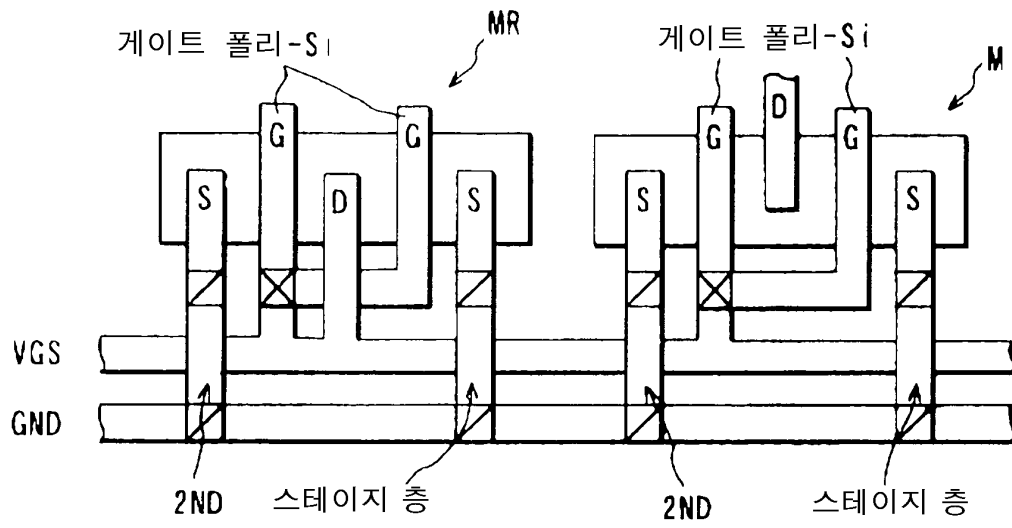
상기 다수의 전자회로들은 칩 내의 어레이에 집적되어 있고, 상기 다이오드-접속된 트랜지스터들은 적어도 두 개의 병렬-접속된 트랜지스터를 구비하며 상기 전자회로의 어레이의 두 종단상에 정렬되어 있는 것을 특징으로 하는 액정표시장치.

도면

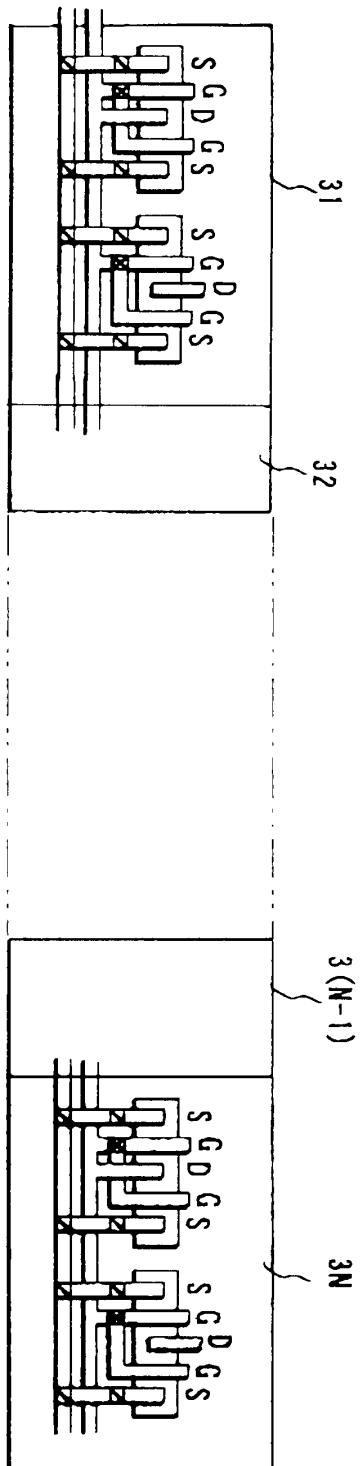


도면3

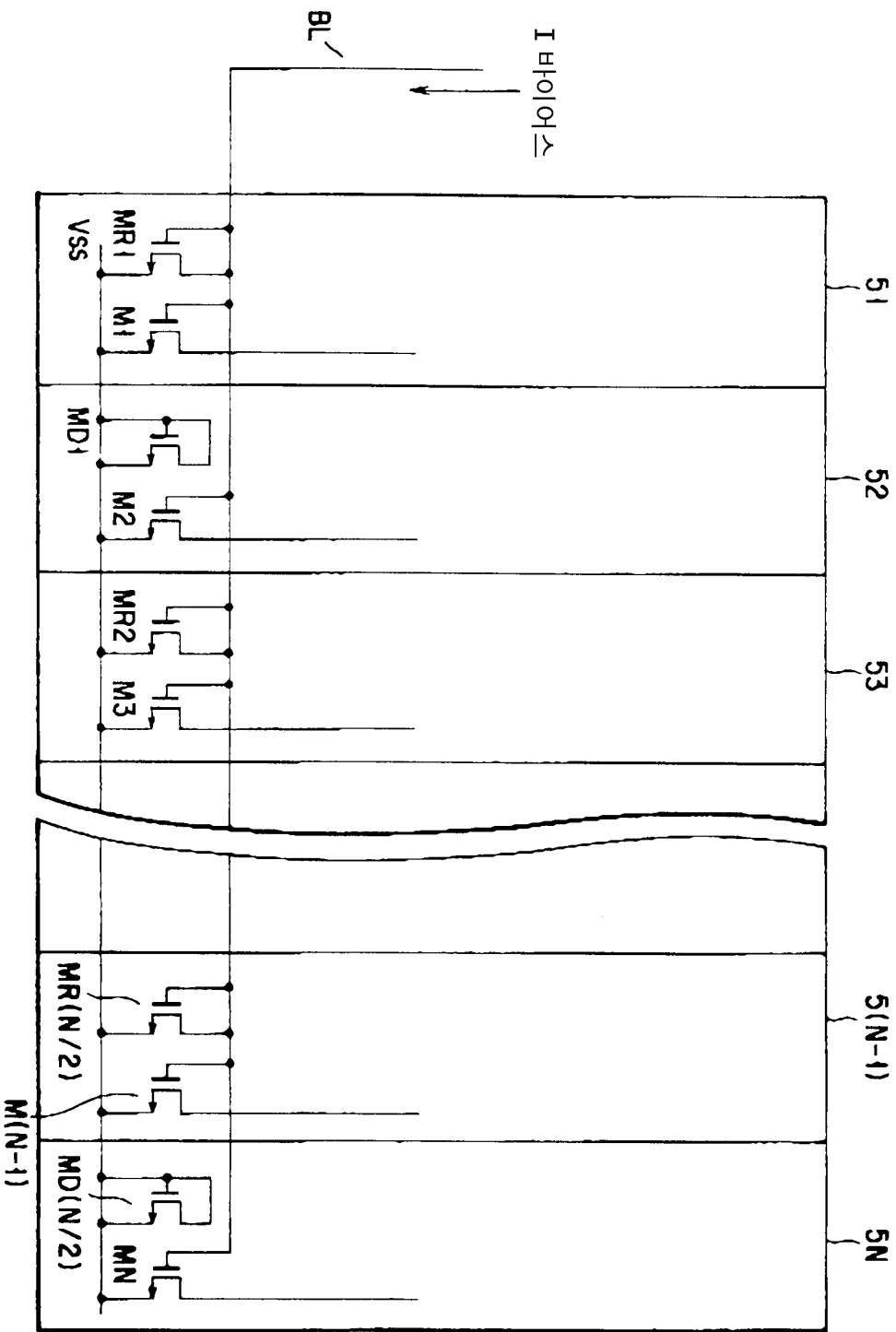
도면4



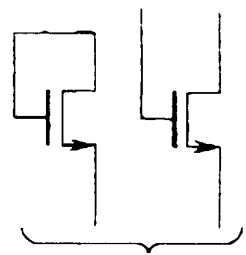
도면5



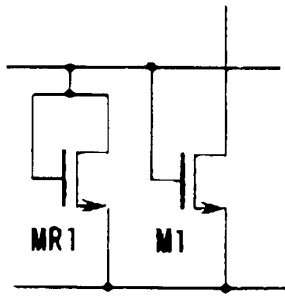
도면7



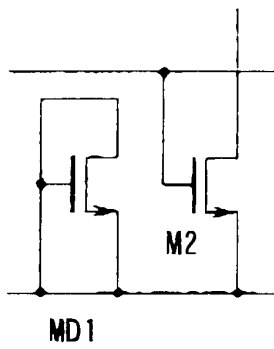
도면8



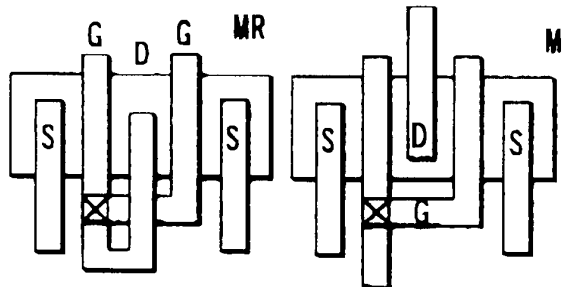
도면8b



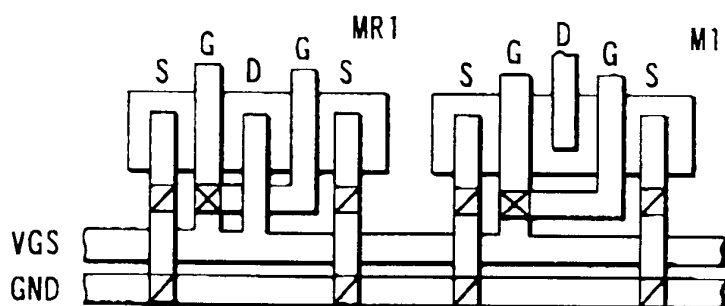
도면8c



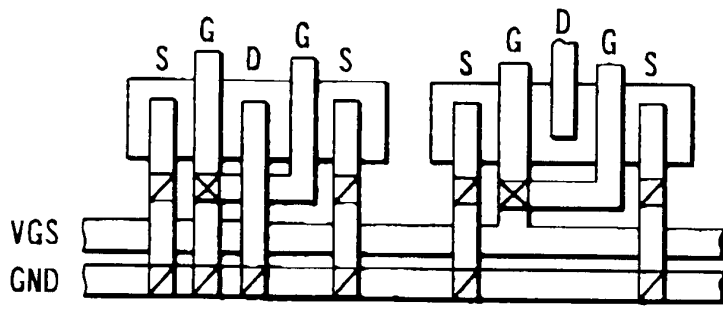
도면9a



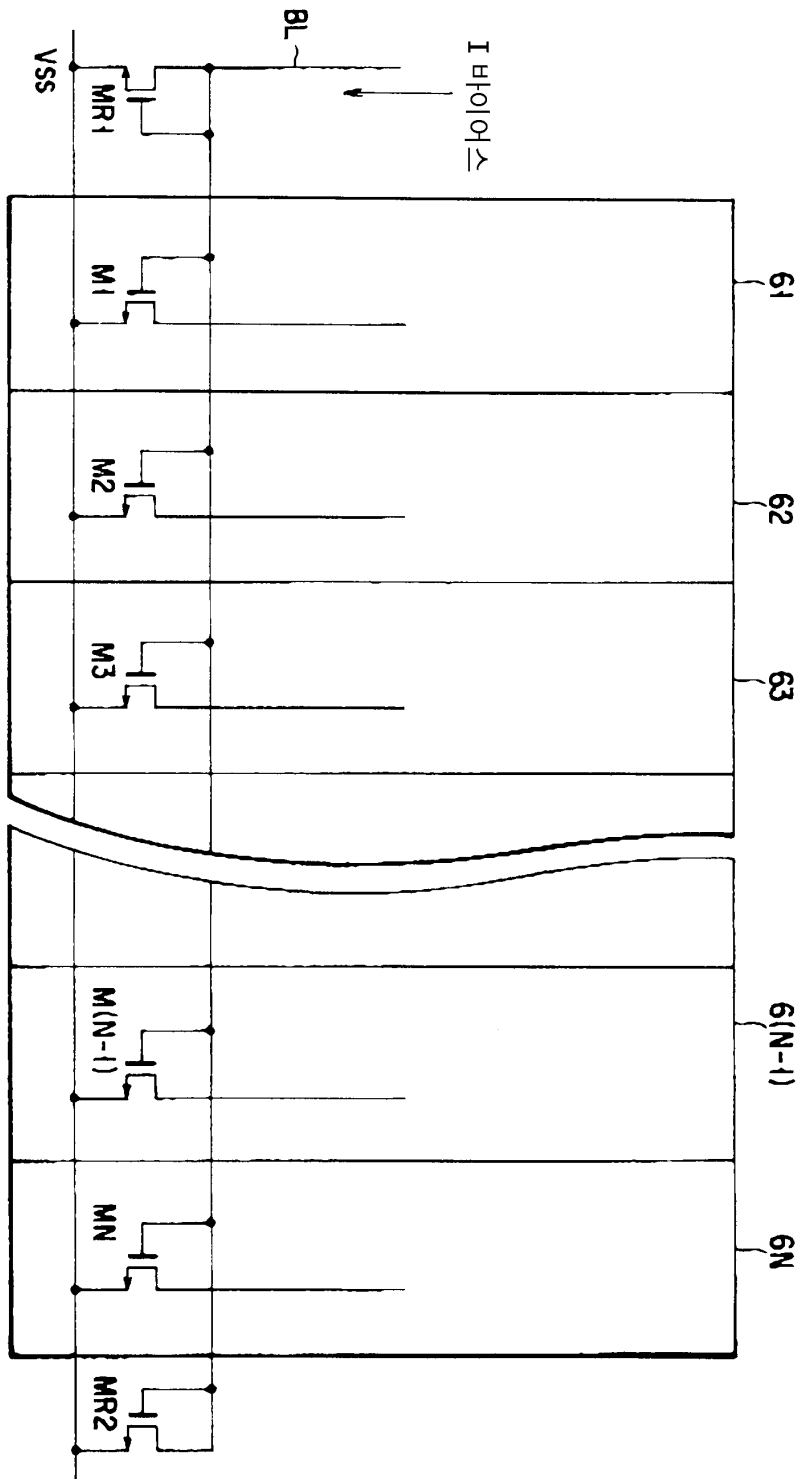
도면9b



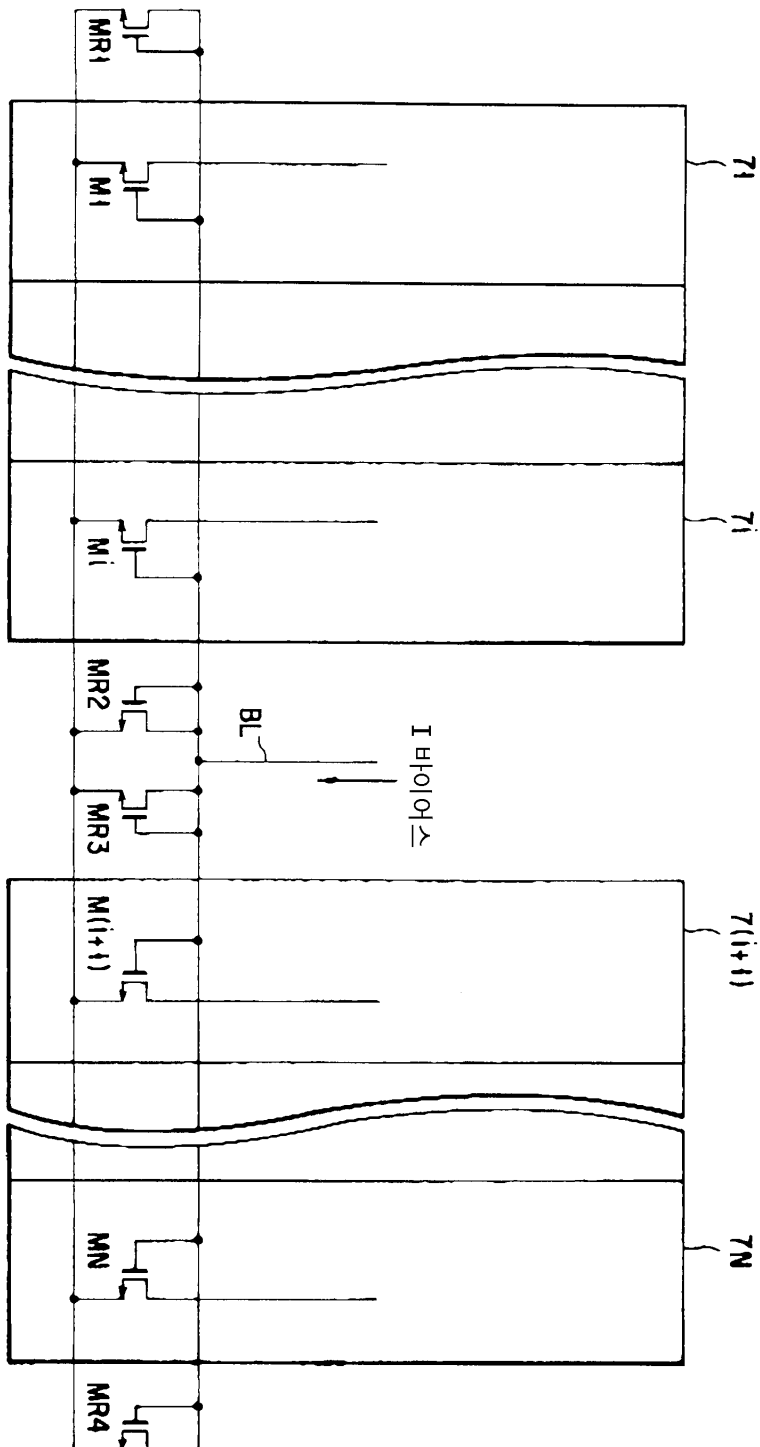
도면 9c



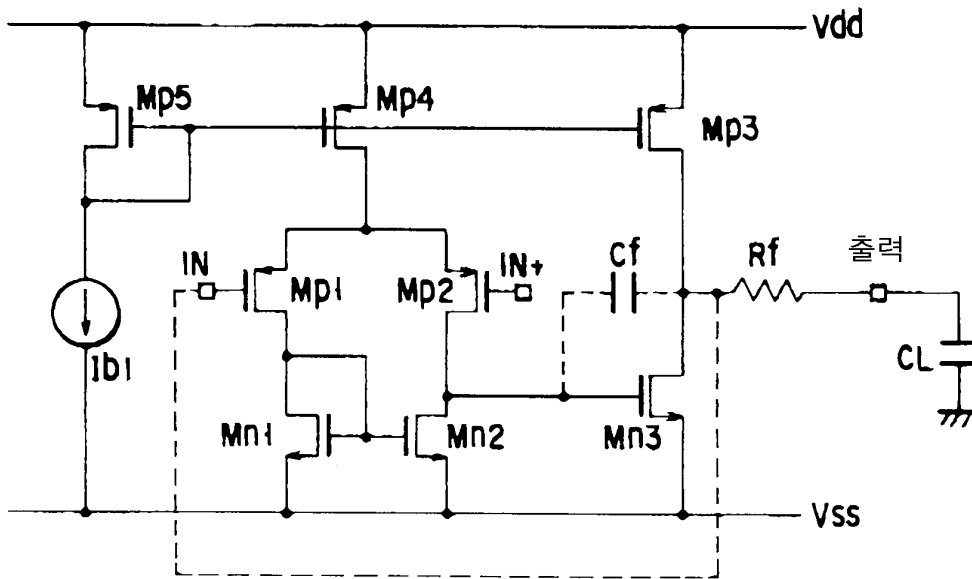
도면 10



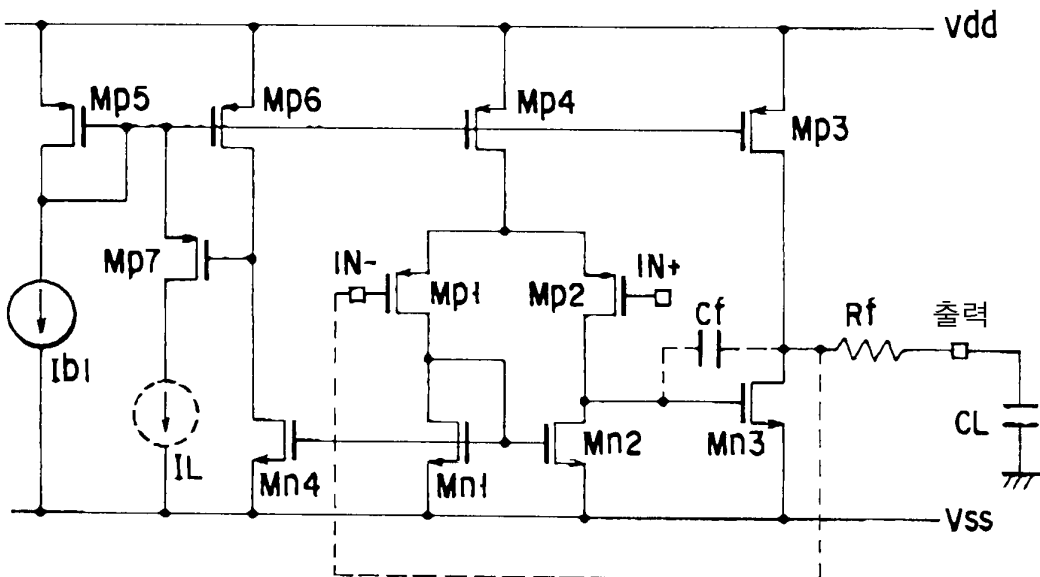
도면 11



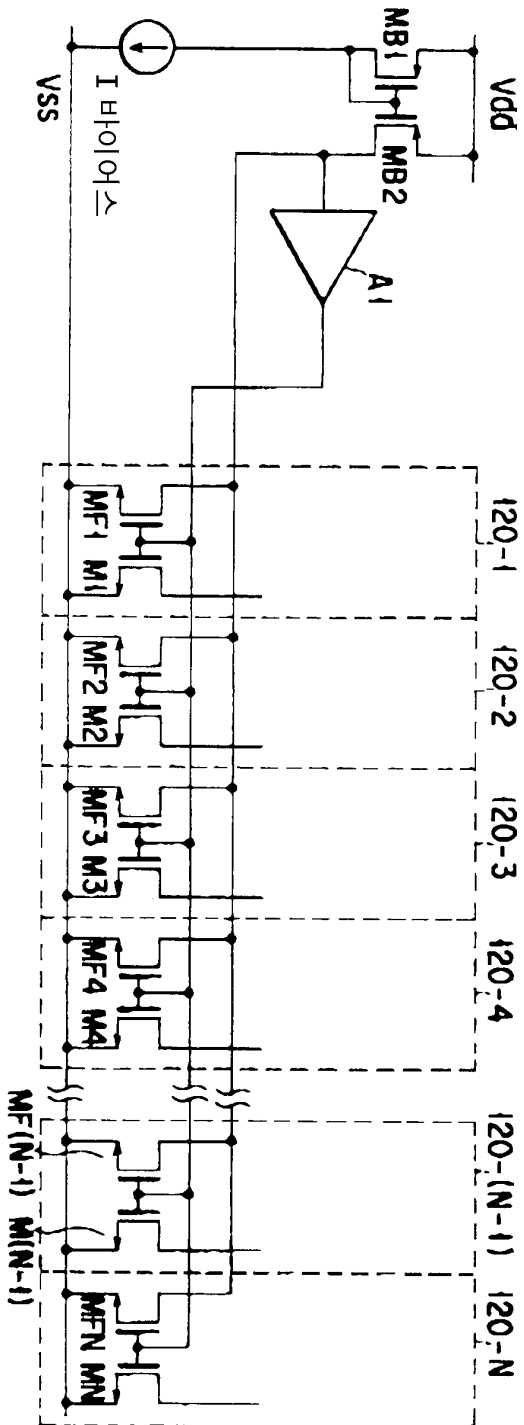
도면 12



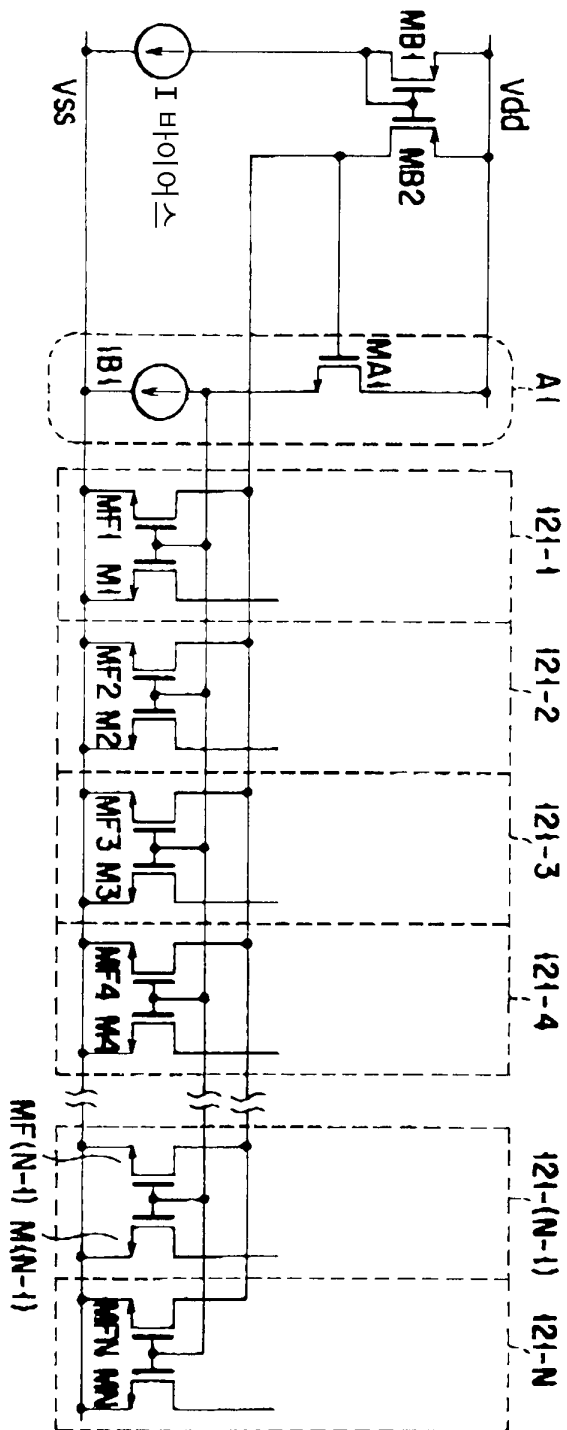
도면 13



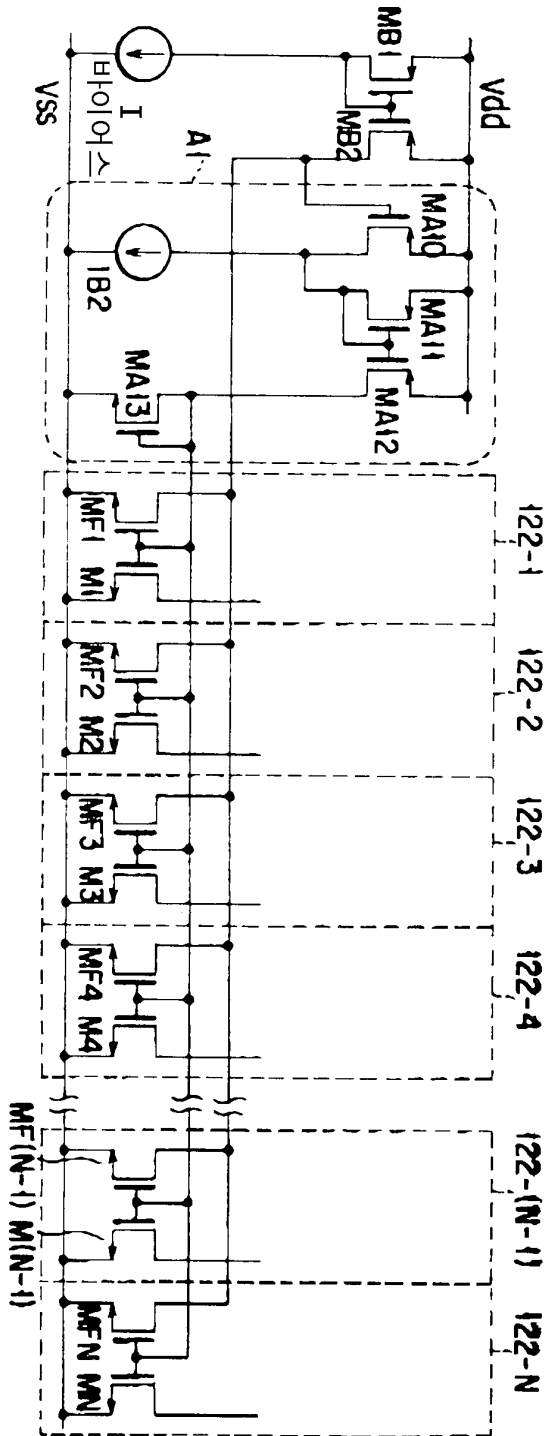
도면 14



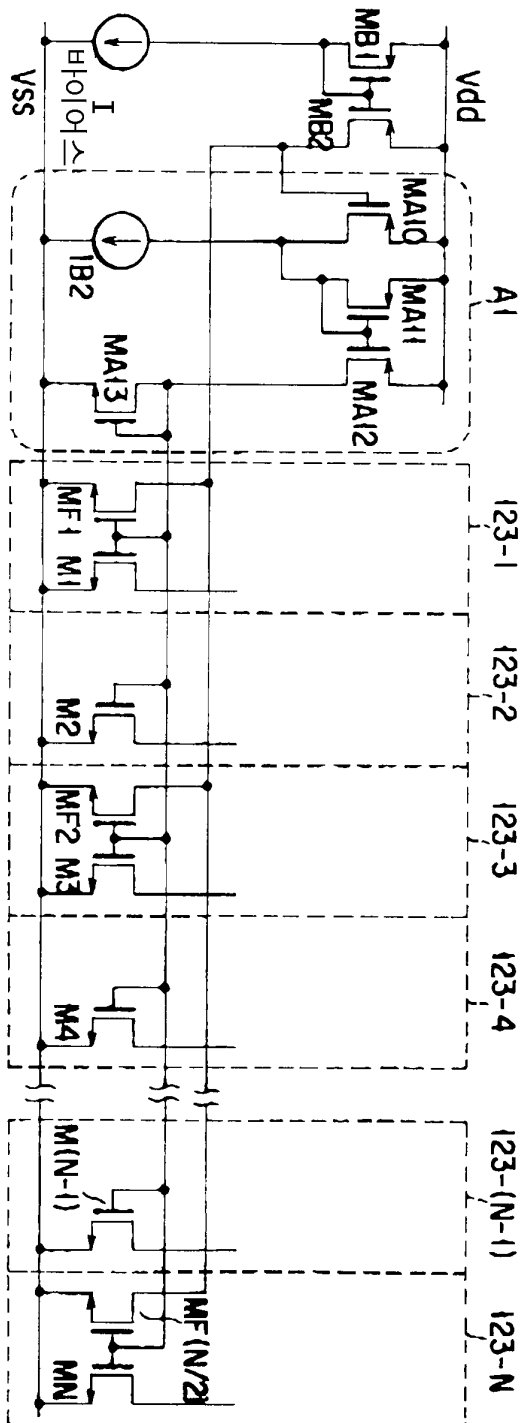
도면 15



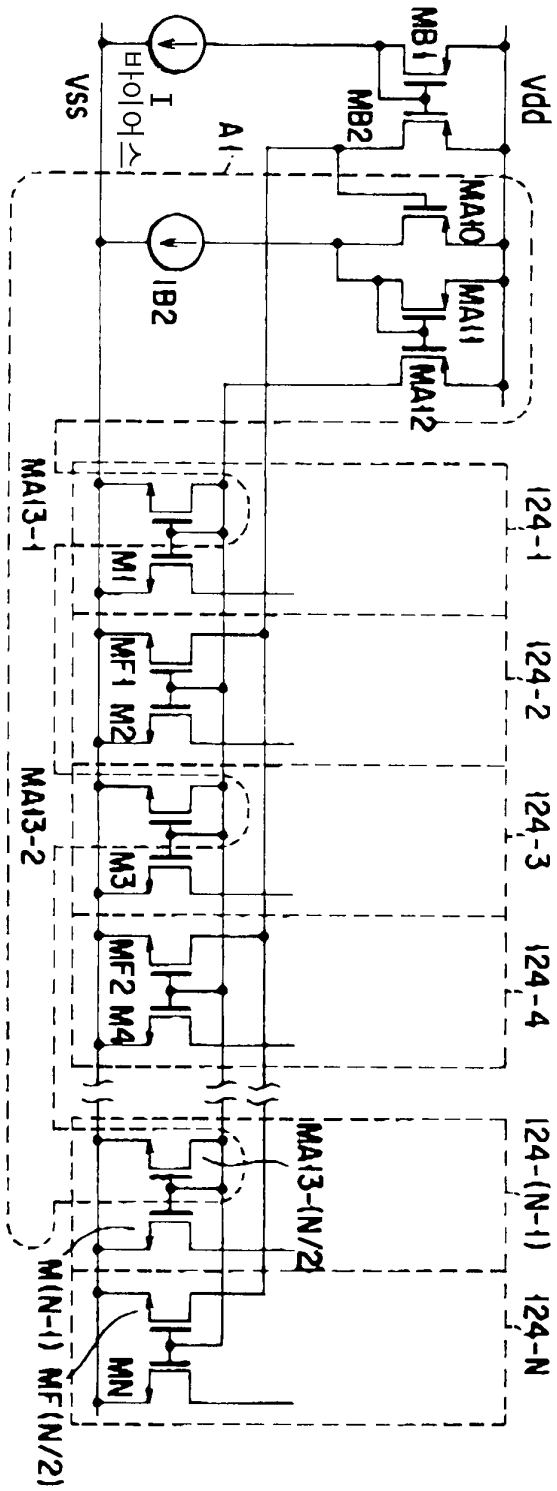
도면 16



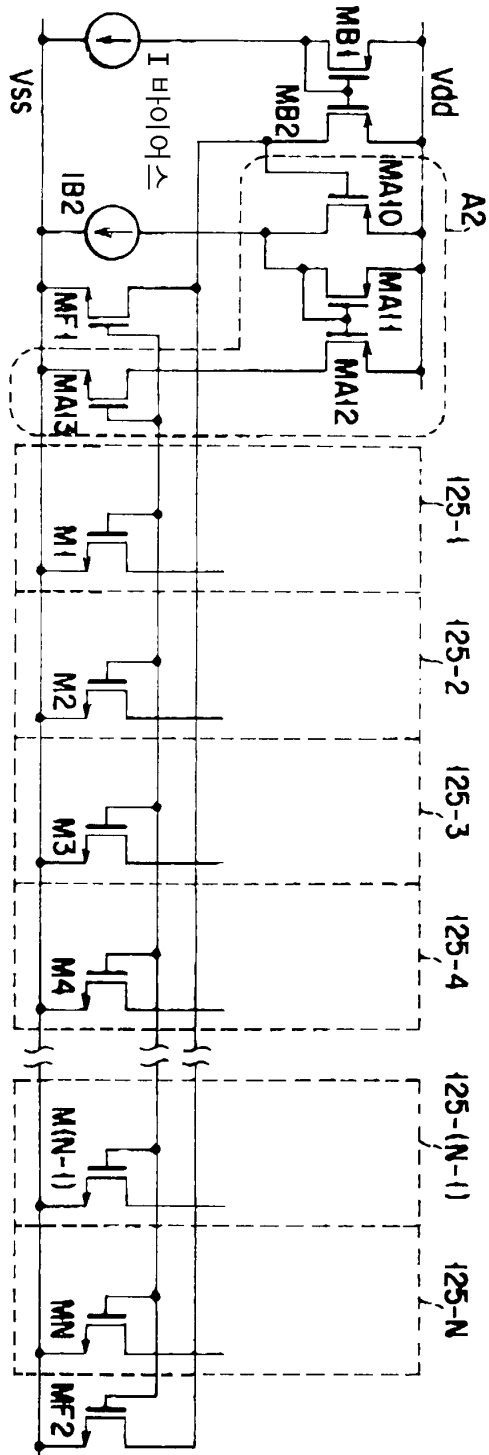
도면 17



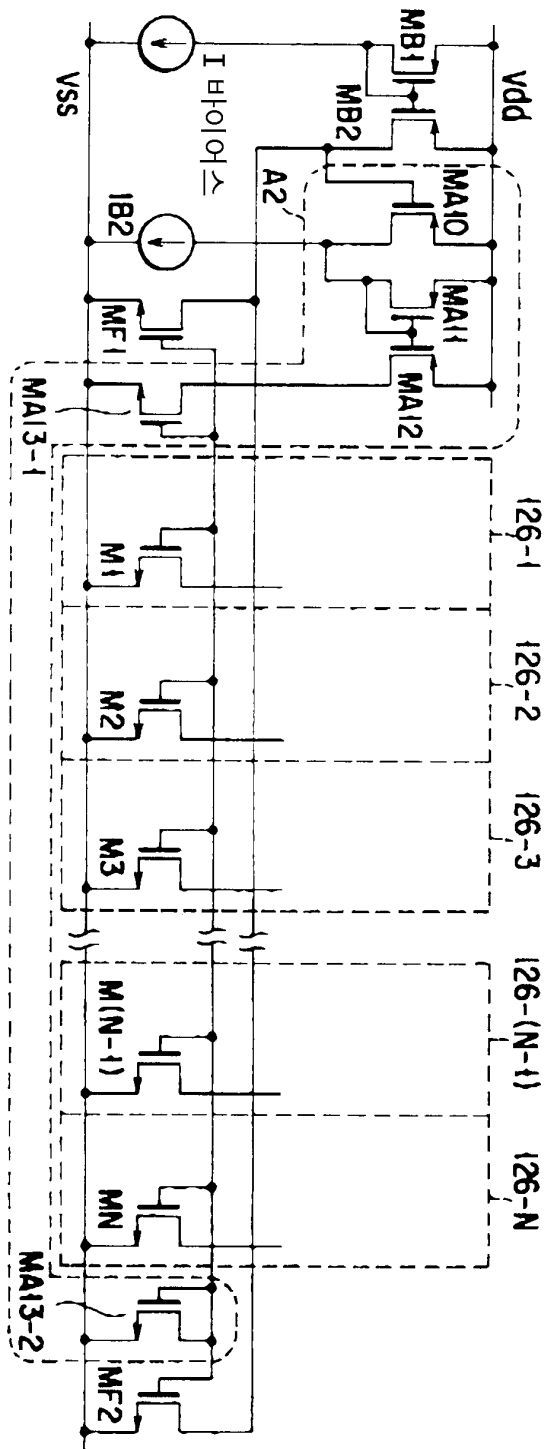
도면 18



도면 19



도면20



도면22

