



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월13일  
(11) 등록번호 10-1263531  
(24) 등록일자 2013년05월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0055800

(22) 출원일자 2006년06월21일

심사청구일자 2011년06월15일

(65) 공개번호 10-2007-0121134

(43) 공개일자 2007년12월27일

(56) 선행기술조사문헌

JP2002351414 A\*

JP2003058130 A\*

JP2003255915 A

JP2001343951 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

채지은

경상북도 구미시 인동남길 38 (진평동)

문수환

경북 구미시 상모동 우방신세계타운 105-901

김도현

부산광역시 부산진구 진남로572번나길 15 (

양정동)

(74) 대리인

서교준

전체 청구항 수 : 총 21 항

심사관 : 김홍섭

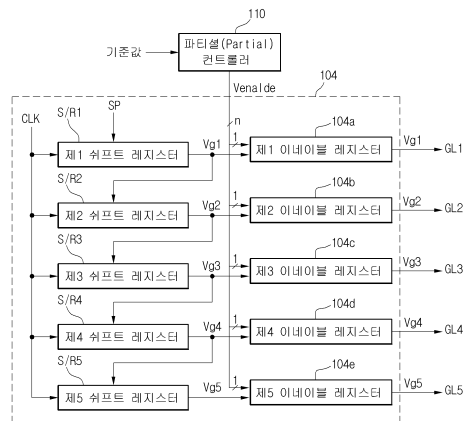
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정패널 상에 부분적으로 화상을 표시하는 기능을 수행하는 액정표시장치가 개시된다.

본 발명에 따른 액정표시장치는 소정의 화상을 표시하는 액정패널과, 상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버와, 상기 액정패널의 데이터라인으로 상기 화상에 해당하는 데이터 신호를 공급하는 데이터 드라이버 및 상기 게이트 드라이버로부터의 출력신호들 중 상기 액정패널의 일부영역에 공급될 출력신호들이 선택적으로 차단되게 하는 제어신호를 상기 게이트 드라이버에 공급하는 파티셜(partial) 컨트롤러를 포함하는 것을 특징으로 한다.

대표도 - 도5



## 특허청구의 범위

### 청구항 1

소정의 회상을 표시하는 액정패널;

상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버;

상기 액정패널의 데이터라인으로 상기 회상에 해당하는 데이터 신호를 공급하는 데이터 드라이버;

상기 게이트 드라이버로부터의 출력신호들 중 상기 액정패널의 일부영역에 공급될 출력신호들이 선택적으로 차단되게 하는 제어신호를 상기 게이트 드라이버에 공급하는 파티셜(partial) 컨트롤러; 및

상기 게이트 드라이버는 종속 연결되어 출력신호를 순차적으로 출력하는 복수의 쉬프트 레지스터와 상기 제어신호에 의해 상기 출력신호를 상기 게이트라인으로 출력하는 복수의 이네이블레지스터를 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1항에 있어서,

상기 복수의 이네이블레지스터는 상기 복수의 쉬프트 레지스터와 일대일로 연결되는 액정표시장치.

### 청구항 3

제 2항에 있어서,

상기 쉬프트 레지스터와 상기 이네이블 레지스터는 서로 동일한 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 1항에 있어서,

상기 게이트 드라이버는 상기 액정패널 상에 내장되어 있는 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 2항에 있어서,

상기 쉬프트 레지스터로부터 출력된 출력신호는 상기 쉬프트 레지스터와 일대일로 대응된 이네이블 레지스터 및 다음단의 쉬프트 레지스터로 공급하는 것을 특징으로 하는 액정표시장치.

### 청구항 6

소정의 회상을 표시하는 액정패널;

상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버;

상기 액정패널의 데이터라인으로 상기 회상에 해당하는 데이터 신호를 공급하는 데이터 드라이버;

상기 데이터 드라이버로부터의 데이터 신호들 중 상기 액정패널의 일부영역에 표시될 데이터 신호들이 선택적으로 차단되게 하는 제어신호를 상기 데이터 드라이버에 공급하는 파티셜(partial) 컨트롤러; 및

상기 게이트 드라이버는,

종속 연결되어 출력신호를 순차적으로 출력하는 복수의 쉬프트 레지스터; 및

상기 파티셜 컨트롤러가 공급하는 제어신호의 입력 유무에 따라 상기 출력신호를 상기 게이트라인으로 출력하는 복수의 이네이블 레지스터를 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 7

제 6항에 있어서,

상기 복수의 이네이블레지스터는 상기 복수의 쉬프트 레지스터와 일대일로 연결되는 액정표시장치.

**청구항 8**

제 7항에 있어서,

상기 쉬프트 레지스터로부터 출력된 출력신호는 상기 쉬프트 레지스터와 일대일로 대응된 이네이블 레지스터 및 다음단의 쉬프트 레지스터로 공급하는 것을 특징으로 하는 액정표시장치.

**청구항 9**

제 7항에 있어서,

상기 쉬프트 레지스터와 상기 이네이블 레지스터는 서로 동일한 것을 특징으로 하는 액정표시장치.

**청구항 10**

제 6항에 있어서,

상기 게이트 드라이버는 상기 액정패널 상에 내장되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 11**

제 6항에 있어서,

상기 데이터 드라이버는 상기 제어신호의 입력유무에 따라 리얼 데이터 신호 및 블랙 데이터 신호를 상기 데이터라인으로 공급하는 것을 특징으로 하는 액정표시장치.

**청구항 12**

소정의 화상을 표시하는 액정패널;

상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버;

상기 액정패널의 데이터라인으로 상기 화상에 해당하는 데이터 신호를 공급하는 데이터 드라이버;

상기 게이트 드라이버로부터의 출력신호들 중 상기 액정패널의 일부영역에 공급될 출력신호들이 선택적으로 차단되게 하고, 상기 데이터 드라이버로부터의 데이터 신호들 중 상기 액정패널의 일부영역에 표시될 데이터 신호들이 선택적으로 차단되게 하는 제어신호를 상기 게이트 드라이버와 데이터 드라이버에 각각 공급하는 파티셜 (partial) 컨트롤러; 및

상기 게이트 드라이버는,

중속 연결되어 출력신호를 순차적으로 출력하는 복수의 쉬프트 레지스터; 및

상기 제어신호의 입력 유무에 따라 상기 출력신호를 상기 게이트라인으로 출력하는 복수의 이네이블 레지스터를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 13**

제 12항에 있어서,

상기 복수의 이네이블레지스터는 상기 복수의 쉬프트 레지스터와 일대일로 연결되는 액정표시장치.

**청구항 14**

제 12항에 있어서,

상기 데이터 드라이버는 상기 제어신호의 입력유무에 따라 리얼 데이터 신호 및 블랙 데이터 신호를 상기 데이터라인으로 공급하는 것을 특징으로 하는 액정표시장치.

**청구항 15**

제 12항에 있어서,

상기 게이트 드라이버는 상기 액정패널 상에 내장되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 16**

제 13항에 있어서,

상기 쉬프트 레지스터로부터 출력된 출력신호는 상기 쉬프트 레지스터와 일대일로 대응된 이네이블 레지스터 및 다음단의 쉬프트 레지스터로 공급하는 것을 특징으로 하는 액정표시장치.

**청구항 17**

소정의 화상을 표시하는 액정패널;

상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버;

상기 액정패널의 데이터라인으로 상기 화상에 해당하는 데이터 신호를 공급하는 데이터 드라이버; 및

상기 게이트 드라이버가 순차적으로 출력신호를 출력하도록 하게 하고, 상기 데이터 드라이버로 데이터 신호를 공급하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러는 상기 게이트 드라이버로부터의 출력신호들 중 상기 액정패널의 일부영역에 공급될 출력 신호 및 상기 데이터 드라이버로부터의 데이터 신호들 중 상기 액정패널의 일부영역에 표시될 데이터 신호를 각각 선택적으로 차단하는 제어신호를 생성하고,

상기 게이트 드라이버는,

중속 연결되어 출력신호를 순차적으로 출력하는 복수의 쉬프트 레지스터; 및

상기 제어신호의 입력 유무에 따라 상기 출력신호를 상기 게이트라인으로 출력하는 복수의 이네이블 레지스터를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 18**

제 17항에 있어서,

상기 복수의 이네이블레지스터는 상기 복수의 쉬프트 레지스터와 일대일로 연결되는 액정표시장치.

**청구항 19**

제 17항에 있어서,

상기 데이터 드라이버는 상기 제어신호의 입력유무에 따라 리얼 데이터 신호 및 블랙 데이터 신호를 상기 데이터라인으로 공급하는 것을 특징으로 하는 액정표시장치.

**청구항 20**

제 17항에 있어서,

상기 게이트 드라이버는 상기 액정패널 상에 내장되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 21**

제 18항에 있어서,

상기 쉬프트 레지스터로부터 출력된 출력신호는 상기 쉬프트 레지스터와 일대일로 대응된 이네이블 레지스터 및 다음단의 쉬프트 레지스터로 공급하는 것을 특징으로 하는 액정표시장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

[0014] 본 발명은 액정표시장치에 관한 것으로, 특히 패널상에 부분적으로 화상을 표시하는 기능을 수행하는 액정표시

장치에 관한 것이다.

- [0015] 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증대하고 있다. 이에 부응하여 근래에는 LCD(Liquid Crystal Display device, 이하 '액정표시장치'라 함), PDP(Plasma Display Panel), ELD(Electro Luminescent Display) 등 여러가지 평판표시장치가 연구되어 왔고 일부는 이미 여러장비에서 표시장치로 활용되고 있다.
- [0016] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력 등의 장점으로 인하여 이동형 화상 표시장치의 용도로 브라운관(CRT)을 대체하면서 액정표시장치가 가장 널리 사용되고 있으며, 액정표시장치는 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 텔레비전 모니터 등으로 다양하게 개발되고 있다.
- [0017] 최근들어, 제조 비용을 낮추기 위해 게이트 드라이버 및 데이터 드라이버를 액정패널 상에 내장한 내장형 액정 표시장치가 개발되고 있다. 이러한 내장형 액정표시장치에서는 액정패널이 제조될때, 상기 게이트 드라이버가 동시에 제조되게 된다. 상기 데이터 드라이버는 상기 액정패널에 내장될 수도 있고 내장되지 않을 수도 있다.
- [0018] 도 1은 종래의 액정표시장치를 나타낸 도면이다.
- [0019] 도 1에 도시된 바와 같이, 종래의 액정표시장치는 소정의 화상이 표시되는 액정패널(2)과, 이를 구동하는 구동부(30)로 이루어진다.
- [0020] 상기 액정패널(2)은 도시되지 않은 게이트라인과 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인과 상기 게이트라인과 데이터라인에 연결되는 박막트랜지스터(TFT)가 형성되어 있는 표시영역(22)과, 상기 액정패널(2)의 일측에 위치하여 게이트라인과 전기적으로 연결된 게이트 드라이버(4)로 구분할 수 있다.
- [0021] 상기 구동부(30)는 데이터라인을 구동하는 데이터 드라이버 IC(6a ~ 6c)와, 상기 데이터 드라이버 IC(6a ~ 6c)와 연결된 인쇄회로기판(12)과, 상기 인쇄회로기판(12) 상에 실장되며 상기 데이터 드라이버 IC(6a ~ 6c)와 게이트 드라이버(4)를 제어하는 타이밍 컨트롤러(8)로 이루어진다.
- [0022] 상기 데이터 드라이버 IC(6a ~ 6c)는 각각 TCP(7a ~ 7c) 상에 장착되어 상기 인쇄회로기판(12)과 연결된다.
- [0023] 도 2은 도 1의 게이트 드라이버를 상세히 나타낸 도면이다.
- [0024] 도 2에 도시된 바와 같이, 종래의 게이트 드라이버(4)는 복수의 쉬프트 레지스터(S/R1 ~ S/Rn)로 구성되고, 상기 복수의 쉬프트 레지스터(S/R1 ~ S/Rn)는 종속 연결된다. 상기 복수의 쉬프트 레지스터(S/R1 ~ S/Rn)는 액정패널에 배열된 게이트라인들에 대응되어 존재한다. 각 쉬프트 레지스터의 출력신호가 다음 쉬프트 레지스터를 구동시키도록 현재 쉬프트 레지스터의 출력단과 다음 쉬프트 레지스터의 입력단이 연결된다.
- [0025] 상기 쉬프트 레지스터(S/R1 ~ S/Rn)로부터 출력된 출력신호는 도 3에 도시된 바와 같이, 순차적으로 상기 쉬프트 레지스터(S/R1 ~ S/Rn)과 일대일 연결된 게이트라인에 공급된다.
- [0026] 또한, 각 쉬프트 레지스터의 출력단에는 출력신호를 액정패널로 공급하기 위한 게이트라인이 연결된다. 따라서, 상기 각 쉬프트 레지스터의 출력신호는 게이트라인 및 다음 쉬프트 레지스터의 입력단으로 공급된다.
- [0027] 이때, 상기 제 1 쉬프트 레지스터(S/R1)의 이전 쉬프트 레지스터는 존재하지 않으므로, 임의의 신호인 스타트 펄스 신호(SP)가 상기 제 1 쉬프트 레지스터(S/R1)로 입력되어 상기 제 1 쉬프트 레지스터(S/R1)를 구동시킨다. 상기 스타트 펄스 신호(SP)는 수직동기신호(Vsync)에 동기된 펄스이다.
- [0028] 또한, 각 쉬프트 레지스터에는 순차적으로 하이(High) 상태의 전압 펄스를 갖는 2개 이상의 클럭(C1 및 C2)이 입력된다. 도 1에서는 2개의 클럭이 각 쉬프트 레지스터로 입력되는 것으로 도시되고 있지만, 필요에 따라 3개 또는 4개의 클럭이 사용될 수도 있다.
- [0029] 종래의 내장형 액정표시장치는 위에서 언급한 바와 같이, 쉬프트 레지스터(S/R1 ~ S/Rn)로부터 출력된 출력신호가 순차적으로 게이트라인으로 공급된다. 이로 인해, 상기 게이트라인과 연결된 박막트랜지스터가 턴-온(turn-on) 되고 데이터라인을 통해 데이터 전압이 공급되어 액정패널 상에 소정의 화상이 표시된다.
- [0030] 한편, 상기 액정패널의 표시영역중 어느 특정 부분에 화상을 표시해야 하는 경우 앞서 서술한 액정표시장치로는 표시가 용이하지 않다. 쉬프트 레지스터(S/R1 ~ S/Rn)로부터 출력된 출력신호가 순차적으로 게이트라인으로 공급되기 때문에 게이트라인과 연결된 박막트랜지스터는 모두 턴-온(turn-on) 된다. 외부에서 인위적으로 상기 출력신호를 차단하는 경우를 제외하고 액정패널의 특정 부분에 화상을 표시하는 것은 용이하지 않다.
- [0031] 이에 따라, 액정패널 상의 특정부분에 화상을 용이하게 표시하는 기능을 수행할 수 있는 액정표시장치에 대한

연구가 시급하다.

**발명이 이루고자 하는 기술적 과제**

[0032] 본 발명은 패널상에 부분적으로 화상을 표시하는 기능을 수행하는 액정표시장치를 제공함에 그 목적이 있다.

**발명의 구성 및 작용**

[0033] 상기 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 액정표시장치는 소정의 화상을 표시하는 액정패널과, 상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버와, 상기 액정패널의 데이터라인으로 상기 화상에 해당하는 데이터 신호를 공급하는 데이터 드라이버 및 상기 게이트 드라이버로부터의 출력신호들 중 상기 액정패널의 일부영역에 공급될 출력신호들이 선택적으로 차단되게 하는 제어신호를 상기 게이트 드라이버에 공급하는 파티셜(partial) 컨트롤러를 포함하는 것을 특징으로 한다.

[0034] 상기 목적을 달성하기 위한 본 발명의 제 2 실시예에 따른 액정표시장치는 소정의 화상을 표시하는 액정패널과, 상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버와, 상기 액정패널의 데이터라인으로 상기 화상에 해당하는 데이터 신호를 공급하는 데이터 드라이버 및 상기 데이터 드라이버로부터의 데이터 신호들 중 상기 액정패널의 일부영역에 표시될 데이터 신호들이 선택적으로 차단되게 하는 제어신호를 상기 데이터 드라이버에 공급하는 파티셜(partial) 컨트롤러를 포함하는 것을 특징으로 한다.

[0035] 상기 목적을 달성하기 위한 본 발명의 제 3 실시예에 따른 액정표시장치는 소정의 화상을 표시하는 액정패널과, 상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버와, 상기 액정패널의 데이터라인으로 상기 화상에 해당하는 데이터 신호를 공급하는 데이터 드라이버 및 상기 게이트 드라이버로부터의 출력신호들 중 상기 액정패널의 일부영역에 공급될 출력신호들이 선택적으로 차단되게 하고, 상기 데이터 드라이버로부터의 데이터 신호들 중 상기 액정패널의 일부영역에 표시될 데이터 신호들이 선택적으로 차단되게 하는 제어신호를 상기 게이트 드라이버와 데이터 드라이버에 각각 공급하는 파티셜(partial) 컨트롤러를 포함하는 것을 특징으로 한다.

[0036] 상기 목적을 달성하기 위한 본 발명의 제 4 실시예에 따른 액정표시장치는 소정의 화상을 표시하는 액정패널과, 상기 액정패널의 게이트라인으로 출력신호를 공급하는 게이트 드라이버와, 상기 액정패널의 데이터라인으로 상기 화상에 해당하는 데이터 신호를 공급하는 데이터 드라이버 및 상기 게이트 드라이버가 순차적으로 출력신호를 출력하도록 하게 하고, 상기 데이터 드라이버로 데이터 신호를 공급하는 타이밍 컨트롤러와, 상기 타이밍 컨트롤러는 상기 게이트 드라이버로부터의 출력신호들 중 상기 액정패널의 일부영역에 공급될 출력신호 및 상기 데이터 드라이버로부터의 데이터 신호들 중 상기 액정패널의 일부영역에 표시될 데이터 신호를 각각 선택적으로 차단하는 제어신호를 생성하는 것을 특징으로 한다.

[0037] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

[0038] 도 4는 본 발명에 따른 액정표시장치를 나타낸 도면이다.

[0039] 도 4에 도시된 바와 같이, 본 발명에 따른 액정표시장치는 소정의 화상을 표시하는 액정패널(102)과, 상기 액정패널(102)을 구동하기 위한 구동부가 실장된 인쇄회로기판(112)을 포함한다.

[0040] 상기 액정패널(102)은 도시되지 않은 게이트라인과 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인과 상기 게이트라인과 데이터라인에 연결되는 박막트랜지스터(TFT)가 형성되어 있는 표시영역(122)과, 상기 액정패널(102)의 일측에 위치하여 게이트라인과 전기적으로 연결된 게이트 드라이버(104)로 구분할 수 있다.

[0041] 상기 데이터라인을 구동하는 데이터 드라이버 IC(106a ~ 106c)와, 상기 데이터 드라이버 IC(106a ~ 106c)와 연결된 인쇄회로기판(112)과, 상기 인쇄회로기판(112) 상에 실장되며 상기 데이터 드라이버 IC(106a ~ 106c)와 게이트 드라이버(104)를 제어하는 타이밍 컨트롤러(108)로 이루어진다.

[0042] 상기 데이터 드라이버 IC(106a ~ 106c)는 각각 데이터 TCP(107a ~ 107c) 상에 장착되어 상기 인쇄회로기판(112)과 연결된다.

[0043] 또한, 상기 인쇄회로기판(112)상에는 상기 액정패널(102) 상에 소정의 화상을 부분적으로 표시 가능하도록 제어하기 위한 파티셜(partial) 컨트롤러(110)가 실장되어 있다.

[0044] 상기 파티셜(partial) 컨트롤러(110)는 전압 이네이블(Venable) 신호를 출력하여 상기 게이트 드라이버(104)로 공급한다. 상기 파티셜(partial) 컨트롤러(110)는 설정된 기준값에 따라 상기 게이트 드라이버(104)로 선택적

로 상기 전압 이네이블(Venable) 신호를 공급한다.

- [0045] 즉, 상기 전압 이네이블(Venable) 신호는 설정된 기준값에 따라 상기 게이트 드라이버(104)에 구비된 복수의 이네이블 레지스터로 선택적으로 공급한다.
- [0046] 상기 전압 이네이블(Venable) 신호는 설정된 기준값에 따라 상기 복수의 이네이블 레지스터로 모두 공급될 수도 있고, 상기 복수의 이네이블 레지스터 중 어느 특정 이네이블 레지스터에만 공급될 수 있다.
- [0047] 또한, 상기 파티셜(partial) 컨트롤러(110)는 전압 이네이블(Venable) 신호를 출력하여 상기 데이터 드라이버(106)로 공급한다. 상기 전압 이네이블(Venable) 신호는 설정된 기준값에 따라 상기 데이터 드라이버 IC(106a ~ 106c)로 선택적으로 공급되어 상기 데이터 드라이버(106a ~ 106c)가 상기 액정패널의 데이터라인으로 공급하는 데이터 신호를 제어하게 된다.
- [0048] 일례로, 제 1 데이터 드라이버 IC(106a)로 상기 전압 이네이블(Venable) 신호가 공급되고 상기 제 2 및 제 3 데이터 드라이버 IC(106b, 106c)에는 상기 전압 이네이블(Venable) 신호가 공급되지 않으면, 상기 제 1 데이터 드라이버 IC(106a)와 연결된 데이터라인으로는 리얼 데이터 신호가 공급된다.
- [0049] 상기 제 2 및 제 3 데이터 드라이버 IC(106b, 106c)와 연결된 데이터라인으로는 블랙 데이터 신호가 공급된다.
- [0050] 이로인해, 상기 액정패널(102) 상에 상기 제 1 데이터 드라이버 IC(106a)가 위치하는 영역에는 리얼 데이터 신호가 표시되고 상기 제 2 및 제 3 데이터 드라이버 IC(106b, 106c)가 위치하는 영역에는 블랙 데이터 신호가 표시된다.
- [0051] 상기 파티셜(partial) 컨트롤러(110)를 별도로 구비하지 않고, 상기 타이밍 컨트롤러(108)에서 상기 전압 이네이블(Venable) 신호를 생성하여 상기 게이트 드라이버(104) 및 데이터 드라이버 IC(106a ~ 106c)를 직접 제어할 수 있다.
- [0052] 도 5는 도 4의 게이트 드라이버 및 파티셜(partial) 컨트롤러를 나타낸 도면이다.
- [0053] 도 4 및 도 5에 도시된 바와 같이, 본 발명에 따른 게이트 드라이버(104)는 복수의 쉬프트 레지스터(S/R1 ~ S/R5)와 상기 복수의 쉬프트 레지스터(S/R1 ~ S/R5)와 전기적으로 연결된 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)로 이루어진다.
- [0054] 이때, 상기 쉬프트 레지스터(S/R1 ~ S/R5)와 이네이블 레지스터(104a ~ 104e)는 복수의 트랜지스터(미도시)로 구성되는데, 그 구성은 동일할 수 있다.
- [0055] 상기 복수의 쉬프트 레지스터(S/R1 ~ S/R5)는 종속 연결된다. 상기 복수의 쉬프트 레지스터(S/R1 ~ S/R5)는 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)와 전기적으로 연결된다.
- [0056] 또한, 각 쉬프트 레지스터(S/R1 ~ S/R5)에는 순차적으로 하이(High) 상태의 클럭신호(CLK)가 입력된다. 도 5에서는 1개의 클럭신호(CLK)가 각 쉬프트 레지스터로 입력되는 것으로 도시되고 있지만, 필요에 따라 2개 또는 3개 또는 4개의 클럭신호가 사용될 수도 있다.
- [0057] 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)의 출력단은 액정패널에 배열된 제 1 내지 제 5 게이트라인(GL1 ~ GL5)과 전기적으로 연결된다.
- [0058] 상기 제 1 쉬프트 레지스터(S/R1)는 도시되지 않은 타이밍 컨트롤러로부터 공급된 스타트 펄스 신호(SP)에 의해 구동되며 제 1 출력신호(Vg1)를 출력한다.
- [0059] 상기 출력된 제 1 출력신호(Vg1)는 상기 제 1 쉬프트 레지스터(S/R1)와 전기적으로 연결된 제 1 이네이블 레지스터(104a)의 입력단으로 공급된다. 또한, 상기 제 1 출력신호(Vg1)는 다음 쉬프트 레지스터인 제 2 쉬프트 레지스터(S/R2)로 공급된다.
- [0060] 상기 제 2 쉬프트 레지스터(S/R2)의 입력단으로 공급된 제 1 출력신호(Vg1)에 의해 상기 제 2 쉬프트 레지스터(S/R2)가 구동하게 되고 제 2 출력신호(Vg2)를 출력한다.
- [0061] 상기 출력된 제 2 출력신호(Vg2)는 상기 제 2 쉬프트 레지스터(S/R2)와 전기적으로 연결된 제 2 이네이블 레지스터(104b)의 입력단으로 공급된다. 또한, 상기 제 2 출력신호(Vg2)는 다음 쉬프트 레지스터인 제 3 쉬프트 레지스터(S/R3)로 공급된다. 상기 제 2 출력신호(Vg2)는 상기 제 3 쉬프트 레지스터(S/R3)를 구동시킴, 상기 제 3 쉬프트 레지스터(S/R3)는 제 3 출력신호(Vg3)를 출력하게 된다.

- [0062] 결국, 각 쉬프트 레지스터의 출력신호가 다음 쉬프트 레지스터를 구동시켜 다음 쉬프트 레지스터가 출력신호를 출력하도록 한다.
- [0063] 상기 제 1 내지 제 5 쉬프트 레지스터(S/R1 ~ S/R5)에서 각각 출력된 제 1 내지 제 5 출력신호(Vg1 ~ Vg5)는 상기 제 1 내지 제 5 쉬프트 레지스터(S/R1 ~ S/R5)와 전기적으로 연결된 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)로 공급된다.
- [0064] 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)에는 상기 제 1 내지 제 5 출력신호(Vg1 ~ Vg5)가 일대일로 공급된다.
- [0065] 또한, 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)에는 상기 파티셜(partial) 컨트롤러(110)로부터 하이(High) 상태의 전압 이네이블(Venable) 신호가 공급된다.
- [0066] 상기 전압 이네이블(Venable) 신호는 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)로 공급된 제 1 내지 제 5 출력신호를 제어하는 역할을 한다.
- [0067] 상기 전압 이네이블(Venable) 신호는 사용자가 선택적으로 상기 파티셜(partial) 컨트롤러(110)로부터 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)로 공급하여 액정패널(102) 상에 배열된 게이트라인에 공급된 출력신호를 제어하게 된다.
- [0068] 이때, 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)는 제 1 내지 제 5 게이트라인(GL1 ~ GL5)과 일대일로 연결되어 있다. 따라서, 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)에서 출력된 출력신호는 상기 제 1 내지 제 5 게이트라인(GL1 ~ GL5)으로 공급된다.
- [0069] 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)로 상기 전압 이네이블(Venable) 신호가 공급되면 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)는 상기 제 1 내지 제 5 출력신호(Vg1 ~ Vg5)를 출력한다. 이에 따라 상기 제 1 내지 제 5 출력신호(Vg1 ~ Vg5)는 상기 제 1 내지 제 5 게이트라인(GL1 ~ GL5)에 순차적으로 공급된다.
- [0070] 이로인해, 상기 제 1 내지 제 5 게이트라인(GL1 ~ GL5)과 연결된 박막트랜지스터(TFT)는 턴-온(turn-on) 되고 상기 제 1 내지 제 5 게이트라인(GL1 ~ GL5)과 교차된 데이터라인으로 데이터 전압이 공급된다. 결국, 액정패널 상에 상기 제 1 내지 제 5 게이트라인(GL1 ~ GL5)이 위치하는 부분에 소정의 화상이 표시된다.
- [0071] 상기 전압 이네이블(Venable) 신호는 앞서 설명한 바와 같이, 선택적으로 상기 제 1 내지 제 5 이네이블 레지스터(104a ~ 104e)로 공급될 수 있다.
- [0072] 일례로, 상기 전압 이네이블(Venable) 신호가 상기 제 1, 제 3 및 제 5 이네이블 레지스터(104a, 104c, 104e) 즉, 기수번째 이네이블 레지스터로 공급되고 제 2 및 제 4 이네이블 레지스터(104b, 104d)에는 공급되지 않는다고 하자.
- [0073] 상기 제 1, 제 3 및 제 5 이네이블 레지스터(104a, 104c, 104e)로 공급된 제 1, 제 3 및 제 5 출력신호(Vg1, Vg3, Vg5)는 각각 제 1, 제 3 및 제 5 게이트라인(GL1, GL3, GL5)으로 공급된다.
- [0074] 상기 제 2 및 제 4 이네이블 레지스터(104b, 104d)로 공급된 제 2 및 제 4 출력신호(Vg2, Vg4)는 제 2 및 제 4 게이트라인(GL2, GL4)으로 공급되지 않는다.
- [0075] 상기 제 1, 제 3 및 제 5 게이트라인(GL1, GL3, GL5)으로 출력신호가 공급되어 상기 제 1, 제 3 및 제 5 게이트라인(GL1, GL3, GL5)과 연결된 박막트랜지스터는 턴-온(turn-on) 상태를 유지하게 된다.
- [0076] 상기 제 2 및 제 4 게이트라인(GL2, GL4)으로 출력신호가 공급되지 않기 때문에 상기 제 2 및 제 4 게이트라인(GL2, GL4)과 연결된 박막트랜지스터는 턴-오프(turn-off) 상태를 유지하게 된다.
- [0077] 이로인해, 액정패널 상에 상기 제 1, 제 3 및 제 5 게이트라인(GL1, GL3, GL5)이 위치하는 부분에만 소정의 화상이 표시된다.
- [0078] 상기 전압 이네이블(Venable) 신호가 상기 제 2 및 제 3 이네이블 레지스터(104b, 104c)로 공급되면, 상기 제 2 및 제 3 이네이블 레지스터(104b, 104c)는 제 2 및 제 3 출력신호(Vg2, Vg3)를 출력한다. 상기 제 2 및 제 3 출력신호(Vg2, Vg3)는 각각 제 2 게이트라인(GL2)과 제 3 게이트라인(GL3)으로 공급된다.
- [0079] 이로인해, 상기 제 2 및 제 3 게이트라인(GL2, GL3)과 연결된 박막트랜지스터가 턴-온(turn-on) 상태를 유지하

게 된다. 따라서, 액정패널 상에 상기 제 2 및 제 3 게이트라인(GL2, GL3)이 위치하는 부분에만 소정의 화상이 표시된다.

[0080] 이때, 상기 액정패널(102)의 중앙에 소정의 화상이 표시되도록 하기 위해서는 다음과 같이 상기 액정표시장치를 구동한다.

[0081] 상기 액정패널(102)의 중앙부분에 위치하는 게이트라인으로만 출력신호를 공급하도록 하고 상기 게이트라인과 교차된 데이터라인들 중 상기 액정패널(102)의 중앙부분에 위치하는 데이터라인으로만 리얼 데이터 신호를 공급하고 상기 데이터라인을 제외한 데이터라인에는 블랙 데이터 신호를 공급하도록 한다.

[0082] 상기 액정패널(102)의 중앙부분에 위치하는 게이트라인과 연결된 이네이블 레지스터로 상기 파티셜(partial) 컨트롤러(110)로부터 출력된 전압 이네이블(Venable) 신호를 공급하면 상기 게이트라인만 온(on) 상태가 된다.

[0083] 또한, 상기 온(on) 된 게이트라인과 교차된 데이터라인들 중 상기 액정패널(102)의 중앙부분에 위치하는 데이터 라인에만 리얼 데이터 신호를 공급하고 상기 데이터라인을 제외한 데이터라인으로 블랙 데이터 신호를 공급하여 상기 액정패널(102)의 중앙부분에 소정의 화상을 표시한다.

[0084] 도 6는 도 5의 제 1 쉬프트 레지스터를 상세히 나타낸 도면이다.

[0085] 도 5 및 도 6에 도시된 바와 같이, 상기 제 1 쉬프트 레지스터(S/R1)는 제 1 내지 제 7 트랜지스터(TR1 ~ TR7)로 구성된다. 상기 제 1 트랜지스터(TR1)의 게이트 단자는 스타트 펄스 신호(SP)에 연결되며 소스 단자는 제 1 공급전압(Vdd)에 연결된다. 상기 제 1 트랜지스터(TR1)의 드레인 단자는 제 3 트랜지스터(TR3)의 게이트 단자에 연결된다.

[0086] 상기 제 1 쉬프트 레지스터(S/R1)가 아닌 다른 쉬프트 레지스터들인 경우에는 상기 제 1 트랜지스터(TR1)의 게이트 단자에 이전 쉬프트 레지스터의 출력신호가 연결된다.

[0087] 제 2 트랜지스터(TR2)의 게이트 단자와 소스 단자는 공통되어 상기 제 1 공급전압(Vdd)에 연결된다. 상기 제 2 트랜지스터(TR2)의 드레인 단자는 QB 노드에 연결된다.

[0088] 상기 제 3 트랜지스터(TR3)의 게이트 단자는 위에서 언급한 바와 같이, 상기 제 1 트랜지스터(TR1)의 드레인 단자와 연결되고 소스 단자는 상기 QB 노드에 연결되고 드레인 단자는 제 7 트랜지스터(TR7)의 드레인 단자와 연결된다.

[0089] 이때, 상기 제 2 트랜지스터(TR2)의 드레인 단자는 상기 제 3 트랜지스터(TR3)의 소스 단자는 상기 QB 노드를 통해 연결되어 있다.

[0090] 제 4 트랜지스터(TR4)의 게이트 단자는 상기 스타트 펄스 신호(SP)에 연결되고, 소스 단자는 상기 QB 노드에 연결되고 드레인 단자는 a 노드에 연결되어 있다.

[0091] 제 5 트랜지스터(TR5)의 게이트 단자는 상기 QB 노드에 연결되고 소스 단자는 Q 노드에 연결되고, 드레인 단자는 제 2 공급전압(Vss)에 연결된다.

[0092] 제 6 트랜지스터(TR6)의 게이트 단자는 상기 Q 노드에 연결되고 있고 소스 단자는 하이(High) 레벨의 클럭신호(CLK)에 연결되고 드레인 단자는 상기 제 1 이네이블 레지스터(104a)의 입력단과 연결된다.

[0093] 상기 제 7 트랜지스터(TR7)의 게이트 단자는 상기 QB 노드에 연결되고 소스 단자는 상기 제 1 이네이블 레지스터(104a)의 입력단과 연결되고 드레인 단자는 상기 제 3 트랜지스터(TR3)의 드레인 단자에 연결된다.

[0094] 위의 제 1 쉬프트 레지스터(S/R1)의 동작은 다음과 같다.

[0095] 상기 클럭신호(CLK)는 하이(High) 상태이고 상기 스타트 펄스 신호(SP)는 상기 클럭신호(CLK)에 동기되어 발생된다.

[0096] 상기 제 1 쉬프트 레지스터(S/R1)에 하이(High) 상태의 클럭신호(CLK) 및 스타트 펄스 신호(SP)가 입력되면 상기 제 1 및 제 3 트랜지스터(TR1, TR4)가 턴-온(turn-on)된다. 상기 제 1 트랜지스터(TR1)가 턴-온(turn-on)되어 제 1 공급전압(Vdd)이 상기 제 1 트랜지스터(TR1)를 경유하여 Q 노드에 충전된다.

[0097] 또한, 상기 제 1 공급전압(Vdd)은 상기 제 3 및 제 6 트랜지스터(TR3, TR6)로 공급된다.

[0098] 이로인해, 상기 제 3 트랜지스터(TR3)는 턴-온(turn-on) 된다. 이때, 상기 제 2 트랜지스터(TR2)의 게이트 단자는 상기 제 1 공급전압(Vdd)에 연결되므로 상기 제 2 트랜지스터(TR2)는 턴-온(turn-on) 된다. 상기 제 2 트랜

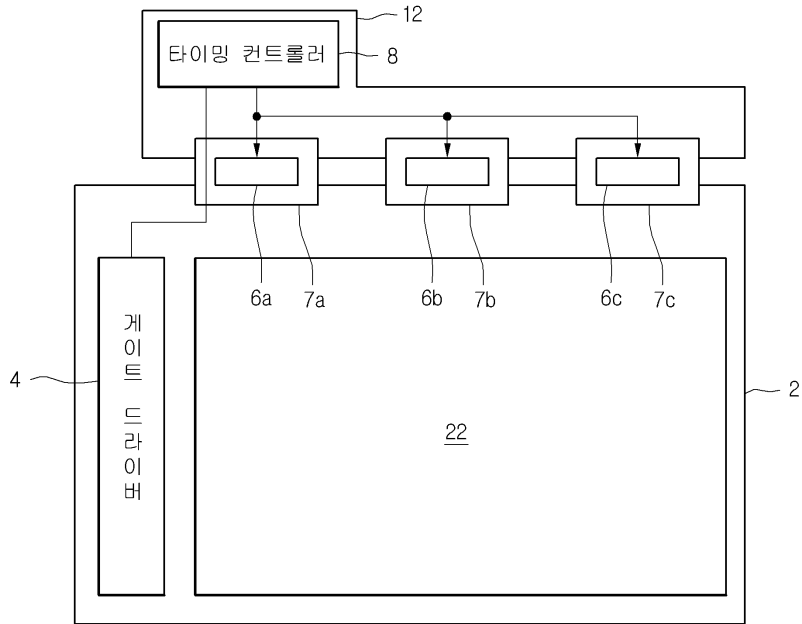
지스터(TR2)가 턴-온(turn-on) 됨에 따라 상기 QB 노드에 제 1 공급전압(Vdd)으로 충전된다.

- [0099] 한편, 상기 제 3 트랜지스터(TR3)도 턴-온(turn-on) 됨으로 상기 제 2 공급전압(Vss)이 상기 제 3 트랜지스터(TR3)를 경유하여 상기 QB 노드로 공급된다.
- [0100] 또한, 상기 제 4 트랜지스터(TR4) 또한 상기 스타트 펄스 신호(SP)에 의해 턴-온(turn-on) 되고 상기 제 4 트랜지스터(TR4)를 경유하여 상기 QB 노드는 상기 제 2 공급전압(Vss)으로 충전된다.
- [0101] 이로인해, 상기 QB 노드는 제 2 공급전압(Vss)으로 충전된다. 이때, 상기 제 2 공급전압(Vss)은 로우(Low) 상태의 전압값을 갖는다.
- [0102] 상기 제 5 트랜지스터(TR5)의 게이트 단자는 상기 QB 노드에 연결되는데, 상기 QB 노드는 제 2 공급전압(Vss)으로 충전되어 있으므로 상기 제 5 트랜지스터(TR5)는 턴-오프(turn-off) 된다.
- [0103] 또한, 상기 QB 노드는 상기 제 7 트랜지스터(TR7)의 게이트 단자와 연결되는데, 상기 QB 노드는 위에서 언급한 바와 같이, 제 2 공급전압(Vss)으로 충전되어 있으므로 상기 제 7 트랜지스터(TR7)는 턴-오프(turn-off) 된다.
- [0104] 상기 Q 노드에 충전된 제 1 공급전압(Vdd)은 상기 제 6 트랜지스터(TR6)의 게이트 단자로 공급되어 상기 제 6 트랜지스터(TR6)가 턴-온(turn-on) 된다. 상기 제 6 트랜지스터(TR6)가 턴-온(turn-on) 됨에 따라 상기 제 6 트랜지스터(TR6)의 소스 단자와 연결된 하이(High) 상태의 클럭신호(CLK)가 출력된다. 상기 클럭신호(CLK)는 제 1 출력신호(Vg1)를 의미한다.
- [0105] 상기 클럭신호(CLK)는 상기 제 6 트랜지스터(TR6)를 통해 상기 제 1 이네이블 레지스터(104a)의 입력단 및 다음 단 쉬프트 레지스터(도 4의 S/R2)로 공급된다.
- [0106] 상기 스타트 펄스 신호(SP)가 상기 제 1 쉬프트 레지스터(S/R1)로 공급되지 않는 경우, 상기 제 1, 제 4 및 제 6 트랜지스터(TR1, TR4, TR6)가 턴-오프(turn-off) 된다.
- [0107] 이러한 경우, 상기 제 2 트랜지스터(TR2)의 게이트 단자는 항상 제 1 공급전압(Vdd)이 공급됨으로 상기 제 2 트랜지스터(TR2)는 턴-온(turn-on) 된다. 이로인해, 상기 QB 노드는 상기 제 1 공급전압(Vdd)으로 충전된다.
- [0108] 이때, 상기 제 1 트랜지스터(TR1)에 의해 턴-온/오프(turn-on/off) 되는 제 3 트랜지스터(TR3)는 상기 제 1 트랜지스터(TR1)가 턴-오프(turn-off)되어 있으므로 턴-오프(turn-off) 된다.
- [0109] 결국, 상기 QB 노드는 상기 제 1 공급전압(Vdd)으로 충전된다.
- [0110] 상기 제 7 트랜지스터(TR7)의 게이트 단자는 상기 QB 노드와 연결되어 있으므로 상기 제 7 트랜지스터(TR7)는 턴-온(turn-on) 된다. 이로인해, 상기 제 7 트랜지스터(TR7)를 경유하여 상기 제 2 공급전압(Vss)이 상기 제 1 이네이블 레지스터(104a)로 공급된다.
- [0111] 매 프레임마다 제 1 쉬프트 레지스터(S/R1)에서는 한번의 제 1 출력신호(Vg1)가 출력된다. 물론, 상기 제 1 쉬프트 레지스터(S/R1) 뿐만 아니라 나머지 쉬프트 레지스터(S/R2 ~ S/Rn)에서도 매 프레임마다 한번씩 출력신호들이 출력된다. 이때, 각 프레임에서 출력되는 출력신호들은 1 클럭단위로 지연되어 순차적으로 출력된다.
- [0112] 상기 제 1 출력신호(Vg1)는 상기 제 1 쉬프트 레지스터(S/R1)와 전기적으로 연결된 제 1 이네이블 레지스터(도 4의 104a)의 입력단과 다음 쉬프트 레지스터인 제 2 쉬프트 레지스터(S/R2)의 입력단으로 공급된다.
- [0113] 상기 제 2 쉬프트 레지스터(S/R2)는 상기 제 1 출력신호(Vg1)에 의해 구동하게 되고 제 2 출력신호(Vg2)를 출력하게 된다.
- [0114] 상기 제 1 이네이블 레지스터(104a)는 파티셜(partial) 컨트롤러(110)로부터 출력된 전압 이네이블(Venable) 신호의 입력 유무에 따라 상기 제 1 쉬프트 레지스터(S/R1)로부터 공급된 제 1 출력신호(Vg1)를 상기 제 1 이네이블 레지스터(104a)와 연결된 제 1 게이트라인(GL1)으로 공급할지 여부를 결정하게 된다.
- [0115] 상기 제 1 이네이블 레지스터(104a)는 상기 제 1 쉬프트 레지스터(S/R1)와 동일하다. 즉, 상기 제 1 이네이블 레지스터(104a)도 상기 제 1 쉬프트 레지스터(S/R1)처럼 도 6에 도시된 바와 같이, 제 1 내지 제 7 트랜지스터(TR1 ~ TR7)로 이루어진다.
- [0116] 도 6을 참조해서 상기 제 1 이네이블 레지스터(104a)를 설명하면, 상기 제 1 트랜지스터(TR1)의 게이트 단자는 상기 제 1 쉬프트 레지스터(S/R1)에서 출력된 제 1 출력신호(Vg1)와 연결된다. 또한, 상기 제 1 이네이블 레지스터(104a)에서 제 6 트랜지스터(TR6)의 소스 단자는 타이밍 컨트롤러(미도시)에서 공급된 전압 이네이블

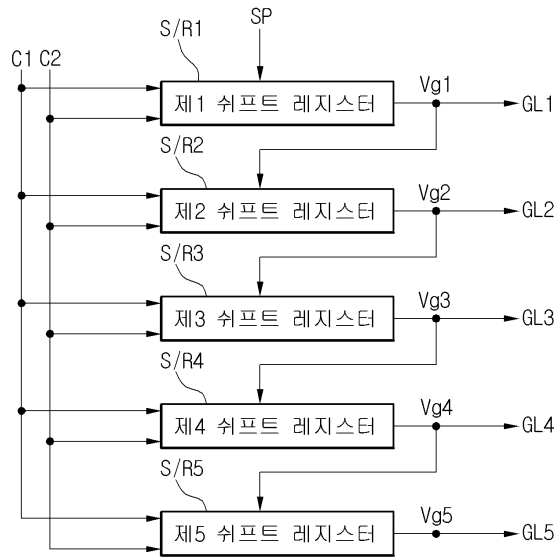


도면

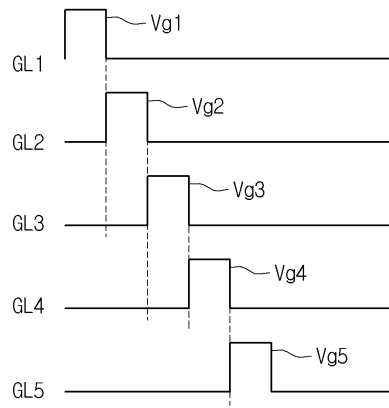
도면1



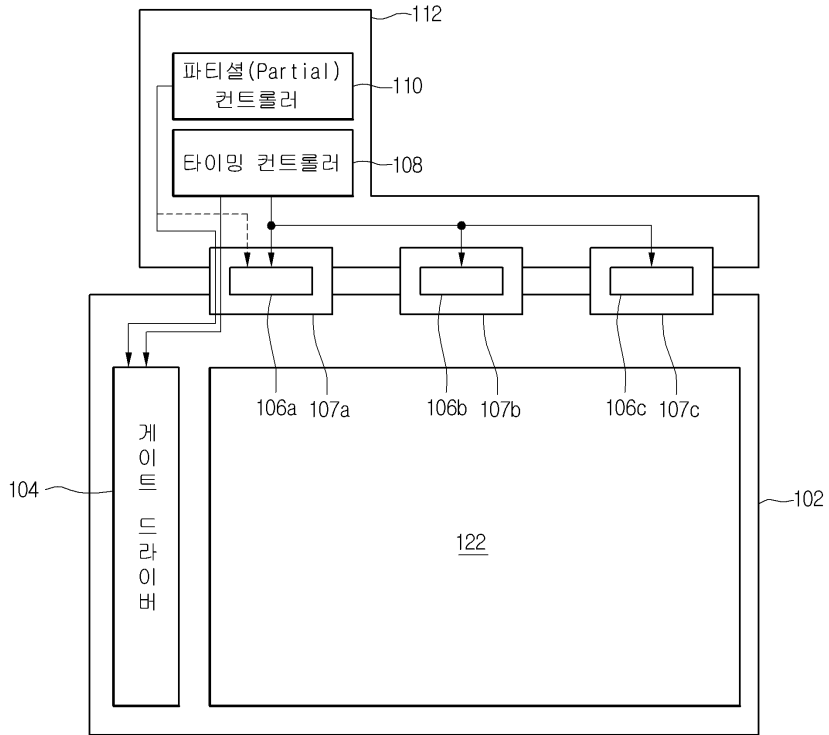
도면2



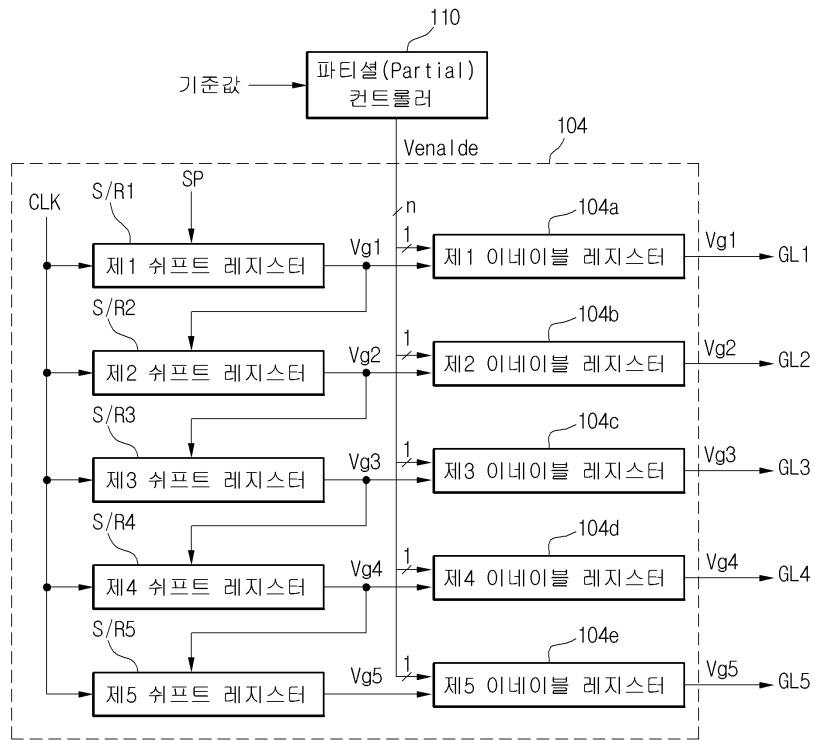
도면3



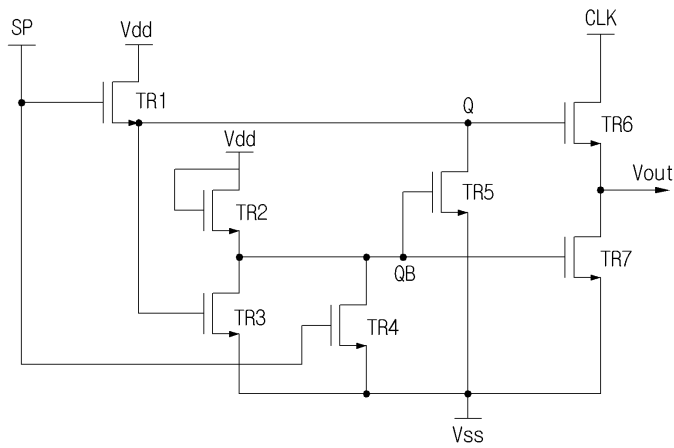
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR101263531B1</a>	公开(公告)日	2013-05-13
申请号	KR1020060055800	申请日	2006-06-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE JI EUN 채지은 MOON SU HWAN 문수환 KIM DO HEON 김도헌		
发明人	채지은 문수환 김도헌		
IPC分类号	G02F1/133		
CPC分类号	G11C19/28 G09G3/3677 G09G2300/0408 G09G2310/0286 G09G2310/04 G09G2330/021		
其他公开文献	KR1020070121134A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种液晶显示装置，包括：液晶面板；栅极驱动器，被配置为向液晶面板上的栅极线提供栅极信号；数据驱动器，被配置为向液晶面板上的数据线提供数据电压；以及部分控制器，被配置为控制栅极驱动器以截取要提供给栅极线的栅极信号的一部分。

