



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월22일
(11) 등록번호 10-0859666
(24) 등록일자 2008년09월16일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0042973
(22) 출원일자 2002년07월22일
심사청구일자 2007년07월02일
(65) 공개번호 10-2004-0009136
(43) 공개일자 2004년01월31일
(56) 선행기술조사문현
US05796379 A1*
(뒷면에 계속)

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

권순영

경상북도구미시비산동489-1전원리빙필807호

김종대

경상북도구미시진평동진평주공미래타운102동1006
호(74) 대리인
허용록

전체 청구항 수 : 총 18 항

심사관 : 김범수

(54) 액정표시장치의 구동장치 및 구동방법

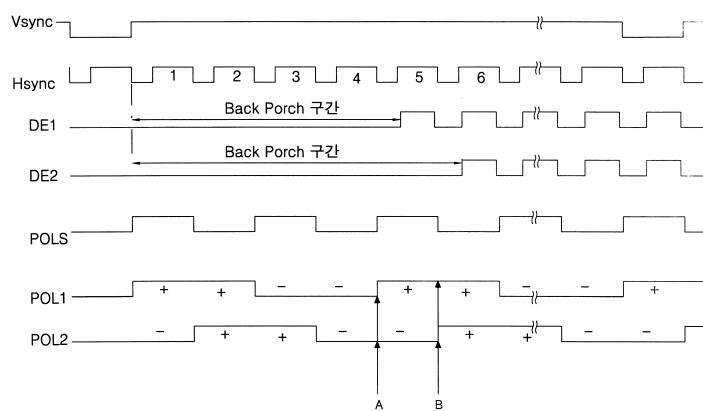
(57) 요약

본 발명은 2도트 인버전 방식에서 백 포치 구간에 공급되는 수평동기신호의 수에 상관없이 액정패널에 인가되는 2도트 인버전 방식의 테이터 극성과 동일한 극성반전신호를 생성할 수 있도록 한 액정표시장치의 구동장치 및 구동방법에 관한 것이다.

본 발명의 실시 예에 따른 액정표시장치의 구동장치는 다수의 데이터라인들과 게이트라인들이 매트릭스 형태로 배치되는 액정패널과, 상기 데이터라인들에 비디오 데이터를 공급하기 위한 데이터 구동부와, 상기 게이트라인들에 게이트펄스를 공급하기 위한 게이트 구동부와, 상기 데이터 구동부 및 상기 게이트 구동부의 타이밍을 제어함과 아울러 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수에 따라 서로 다른 극성반전신호를 발생하고 그 극성반전신호를 상기 데이터 구동부에 공급하여 상기 비디오 데이터의 극성을 제어하는 타이밍 제어부를 구비한다.

이러한 구성에 의하여 본 발명은 데이터 인에이블신호의 백 포치 구간에 공급되는 수평동기신호의 폴스 수를 카운팅하여 기수배 및 우수배에 따라 극성반전신호를 다르게 생성하여 데이터 드라이버에 공급하게 된다. 이에 따라, 액정패널 상세 표시되는 비디오 데이터의 극성을 정확한 2도트 인버전 구동방식으로 구동할 수 있게 된다.

대표 도 - 도11



(56) 선행기술조사문현

US06366271 B1*

US2001/0046002 A1*

US05592187 A1*

US04484192 A1*

*는 심사관에 의하여 인용된 문현

특허청구의 범위

청구항 1

다수의 데이터라인들과 게이트라인들이 매트릭스 형태로 배치되는 액정패널과,

상기 데이터라인들에 비디오 데이터를 공급하기 위한 데이터 구동부와,

상기 게이트라인들에 게이트펄스를 공급하기 위한 게이트 구동부와,

상기 데이터 구동부 및 상기 게이트 구동부의 타이밍을 제어함과 아울러 데이터 블랭킹 구간에 공급되는 수평동 기신호의 개수에 따라 서로 다른 제1 및 제2 극성반전신호를 발생하고 상기 제1 및 제2 극성반전신호를 상기 데이터 구동부에 공급하여 상기 비디오 데이터의 극성을 제어하는 타이밍 제어부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 2

제 1 항에 있어서,

상기 액정패널에 공급되는 비디오 데이터의 극성은 인접한 두 개의 화소셀 단위로 반전되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 3

제 1 항에 있어서,

상기 데이터 블랭킹 구간은 데이터 인에이블신호 중 수직동기신호의 마지막 시점부터 유효 데이터의 시작시점까지인 수직 백 포치 구간인 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 4

제 1 항에 있어서,

상기 타이밍 제어부는,

상기 제 1 극성반전신호를 생성함과 아울러 상기 제 1 극성반전신호와 다른 위상을 가지는 상기 제 2 극성반전 신호를 생성하는 극성반전신호 생성부와,

상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수를 카운팅하는 카운팅부와,

상기 카운팅부로부터의 카운팅 개수에 따라 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 기수배 및 우수배 중 어느 하나인지를 판정하는 판정부와,

상기 판정부로부터의 판정 결과에 따라 상기 극성반전신호 생성부로부터의 상기 제 1 및 제 2 극성반전신호 중 어느 하나를 선택하여 상기 데이터 구동부에 공급하는 선택부와,

상기 극성반전신호 생성부, 상기 카운팅부 및 판정부를 프레임 단위로 리셋시키기 위한 리셋신호를 생성하는 리셋구동부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 5

제 4 항에 있어서,

상기 극성반전신호 생성부는,

상기 수평동기신호에 기초하여 극성신호를 생성하는 극성신호 생성부와,

상기 극성신호에 기초하여 상기 제 1 극성반전신호를 생성하여 비반전 및 반전 출력하는 제 1 극성반전신호 생성부와,

수직동기신호에 기초하여 프레임별 극성반전 선택신호를 생성하는 극성반전 선택신호 생성부와,

상기 극성반전 선택신호에 응답하여 상기 제 1 극성반전신호 생성부로부터 출력되는 상기 비반전 및 반전 제 1 극성반전신호 중 어느 하나를 선택하여 상기 선택부에 공급하는 멀티플렉서와,

상기 멀티플렉서로부터 공급되는 제 1 극성반전신호와 상기 극성신호에 기초하여 상기 제 2 극성반전신호를 생성하여 상기 선택부에 공급하는 제 2 극성반전신호 생성부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 6

제 5 항에 있어서,

상기 제 2 극성반전신호 생성부는 상기 제 1 극성반전신호와 상기 극성신호를 Exclusive-OR 논리 연산하여 제 2 극성반전신호를 생성하는 XOR게이트인 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 7

제 4 항에 있어서,

상기 카운팅부는,

프레임별로 카운팅 개시신호를 생성하는 개시신호 생성부와,

상기 개시신호에 응답하여 상기 수평동기신호를 카운팅하기 위한 적어도 하나 이상의 카운터를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 8

제 4 항에 있어서,

상기 판정부는,

상기 카운팅부로부터의 입력신호가 제 1 논리값일 경우에는 상기 선택부에서 상기 제 2 극성반전신호를 선택하도록 하는 선택신호를 생성하고, 제 2 논리값일 경우에는 상기 선택부에서 상기 제 1 극성반전신호를 선택하도록 하는 선택신호를 생성하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 9

제 4 항에 있어서,

상기 제 1 극성반전신호는 두 개의 수평동기신호 단위로 극성이 반전되고, 상기 제 2 극성반전신호는 상기 제 1 극성반전신호보다 하나의 수평동기신호만큼 지연된 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 10

다수의 데이터라인들과 게이트라인들이 매트릭스 형태로 배치되는 액정패널, 상기 데이터라인들에 비디오 데이터를 공급하기 위한 데이터 구동부, 상기 게이트라인들에 게이트펄스를 공급하기 위한 게이트 구동부를 가지는 액정표시장치의 구동방법에 있어서;

데이터 블랭킹 구간에 공급되는 수평동기신호의 개수에 따라 서로 다른 제 1 및 제 2 극성반전신호를 발생하는 단계와;

상기 제 1 및 제 2 극성반전신호를 상기 데이터 구동부에 공급하여 상기 비디오 데이터의 극성을 제어하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11

제 10 항에 있어서,

상기 제 1 극성반전신호는 두 개의 수평동기신호 단위로 극성이 반전되고, 상기 제 2 극성반전신호는 상기 제 1 극성반전신호보다 하나의 수평동기신호만큼 지연된 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12

제 10 항에 있어서,

상기 액정패널에 공급되는 비디오 데이터의 극성은 인접한 두 개의 화소셀 단위로 반전되는 것을 특징으로 하는

액정표시장치의 구동방법.

청구항 13

제 10 항에 있어서,

상기 데이터 블랭킹 구간은 데이터 인에이블신호 중 수직동기신호의 마지막부터 유효 데이터의 시작시점까지인 수직 백 포치 구간인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 14

제 10 항에 있어서,

상기 제 1 및 제 2 극성반전신호를 생성하는 단계는,

상기 수평동기신호에 기초하여 극성신호를 생성하는 단계와,

수직동기신호에 기초하여 프레임별 극성반전 선택신호를 생성하는 단계와,

상기 극성신호에 기초하여 비반전된 제 1 극성반전신호 및 반전된 제 1 극성반전신호를 생성하는 단계와,

상기 극성반전 선택신호에 응답하여 비반전 및 반전 제 1 극성반전신호 중 어느 하나를 선택하는 단계와,

상기 제 1 극성반전신호와 상기 극성신호에 기초하여 제 2 극성반전신호를 생성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 15

제 14 항에 있어서,

상기 제 2 극성반전신호를 생성하는 단계는 상기 제 1 극성반전신호와 상기 극성신호를 Exclusive-OR 논리 연산하여 생성하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 16

제 10 항에 있어서,

상기 비디오 데이터의 극성을 제어하는 단계는,

프레임 단위로 카운팅 개시신호를 생성하는 단계와,

상기 카운팅 개시신호에 응답하여 상기 수평동기신호의 개수를 카운팅하는 단계와,

상기 카운팅 된 개수에 따라 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 기수배 및 우수배 중 어느 하나인지를 판정하는 단계와,

상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 기수배 및 우수배 중 어느 하나로 판정된 결과에 따라 상기 제 1 및 제 2 극성반전신호 중 어느 하나를 선택하여 상기 데이터 구동부에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 17

제 10 항에 있어서,

상기 비디오 데이터의 극성은 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 기수배일 경우에는 상기 제 2 극성반전신호의 제어에 의해 제어되고, 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 우수배일 경우에는 상기 제 1 극성반전신호에 의해 제어되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 18

제 10 항에 있어서,

상기 제 1 및 제 2 극성반전신호를 발생하는 단계 및 상기 비디오 데이터의 극성을 제어하는 단계는 프레임 단위로 리셋되는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <31> 본 발명은 액정표시장치의 구동장치 및 구동방법에 관한 것으로, 특히 2도트 인버전 방식에서 백 포치 구간에 공급되는 수평동기신호의 수에 상관없이 액정패널에 인가되는 2도트 인버전 방식의 데이터 극성과 동일한 극성 반전신호를 생성할 수 있도록 한 액정표시장치의 구동장치 및 구동방법에 관한 것이다.
- <32> 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는 화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.
- <33> 실제로, 액정표시장치는 도 1에 나타낸 바와 같이 시스템 본체에 설치되는 시스템구동부(1)에 접속된다.
- <34> 시스템구동부(1)는 액정표시장치(3)에 적합한 비디오데이터 등을 공급하기 위한 그래픽카드(2)를 포함한다. 그 래픽카드(2)는 입력되어진 비디오데이터를 액정표시장치(3)의 해상도에 적합하게 변환하여 액정표시장치(3)로 출력한다. 비디오 데이터는 적(R), 녹(G) 및 청(B) 데이터로 구성된다. 아울러, 그래픽카드(2)는 액정표시장치(3)의 해상도에 적합한 클럭신호(DCLK)와 수평 및 수직 동기신호(Hsync, Vsync) 등과 같은 제어신호들을 발생하게 된다.
- <35> 액정표시장치(3)는 액정패널(10)과, 액정패널(10)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(6)와, 액정패널(10)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(8)와, 데이터 및 게이트 드라이버(6, 8)의 구동 타이밍을 제어하기 위한 타이밍 제어부(4)와, 액정표시장치(3)의 구동에 필요한 구동전압을 발생하는 전원회로(14)와, 데이터 드라이버(6)에 감마전압을 공급하는 감마회로(12)를 구비한다.
- <36> 전원회로(14)는 시스템구동부(1)의 시스템 전원부(도시하지 않음)로부터 입력되는 전압을 이용하여 액정표시장치(3)의 구동에 필요한 구동전압들(P; 게이트하이전압, 게이트로우전압, 감마기준전압, 공통전압 등)을 발생하여 타이밍 제어부(4), 데이터 드라이버(6), 게이트드라이버(8) 및 감마회로(12) 등에 공급한다.
- <37> 액정패널(10)은 n개의 게이트라인들(GL1 내지 GLn)과 m개의 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 비디오 데이터를 액정셀에 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터에 접속된 화소전극으로 구성되므로 등가적으로는 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(Cst)를 포함한다.
- <38> 게이트 드라이버(8)는 타이밍 제어부(4)로부터의 게이트 스타트펄스(GSP)에 따라 게이트 라인들(GL1 내지 GLn)에 순차적으로 게이트 하이전압신호를 공급한다. 이를 위해, 게이트 드라이버(8)는 게이트라인들(GL1 내지 GLn)을 분리하여 순차적으로 구동하기 위한 도시하지 않은 다수개의 게이트 구동 접적회로(Integrated Circuit; 이하, IC라 함)들로 구성된다. 이 게이트 구동IC 각각은 통상 타이밍 제어부(4)로부터 공급되는 게이트스타트펄스(GSP)와 게이트쉬프트클럭(GSC)에 응답하여 순차적으로 게이트 하이전압신호를 발생하는 쉬프트레지스터와, 게이트 하이전압신호의 전압을 박막트랜지스터(TFT) 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터 등으로 구성된다. 이러한, 게이트 구동IC는 타이밍 제어부(4)로부터 게이트스타트펄스(GSP)가 공급되면 게이트쉬프트클럭(GSC)에 응답하여 쉬프트 동작을 수행함으로써 게이트라인들(GL1 내지 GLn)에 순차적으로 1수평기간(1H)을 가지는 게이트 하이전압신호를 공급하게 된다.
- <39> 데이터 드라이버(6)는 타이밍 제어부(4)로부터의 R, G, B 데이터신호를 아날로그 신호로 변환하여 게이트라인(GL1 내지 GLn)에 게이트 하이전압신호가 공급되는 1수평주기마다 1수평라인분의 비디오 데이터를 데이터라인들(DL1 내지 DLn)에 공급한다. 이를 위해, 데이터 드라이브(6)는 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부와, 샘플링신호에 응답하여 비디오 데이터를 순차적으로 래치하여 동시에 출력하는 래치부와, 래치부로부터의 디지털 비디오 데이터를 아날로그 비디오 데이터로 변환하는 디지털-아날로그 변환부와, 디지털-아날로그 변

환부로부터의 아날로그 비디오 데이터를 완충하여 출력 버퍼부로 구성된다. 이러한 데이터 드라이버(6)의 디지털-아날로그 변환부에는 감마회로(12)로부터 비디오 데이터의 전압레벨에 따라 서로 다른 전압레벨을 가지게끔 미리 설정된 정극성 및 부극성 감마전압들이 공급된다. 비디오 데이터에 정극성 및 부극성의 감마전압들이 부가되어 감마특성이 부가된 비디오 데이터를 타이밍 제어부(4)로부터의 극성반전신호(POL)에 의해 선택하고 소스 출력 인에이블신호(SOE) 신호에 응답하여 데이터라인들(DL1 내지 DLn)에 공급하게 된다.

<40> 이러한 액정패널(10)의 구동하기 위하여 타이밍 제어부(4)는 그래픽카드(2)로부터의 클럭신호, 수평 및 수직동기신호(Hsync, Vsync)에 응답하여 게이트 드라이버(8)와 데이터 드라이버(6)의 구동 타이밍을 제어하게 된다. 다시 말하여, 타이밍 제어부(4)는 클럭신호와 수평 및 수직 동기신호(Hsync, Vsync)에 응답하여 게이트 클럭신호, 게이트제어신호, 게이트스타트펄스 등을 생성하여 게이트 드라이버(8)에 공급한다. 또한, 타이밍 제어부(4)는 입력 클럭신호와 수평 및 수직 동기신호(Hsync, Vsync)에 응답하여 데이터 인에이블신호 등을 생성하여 데이터 드라이버(6)에 공급함과 아울러 극성반전신호, 데이터 인에이블신호에 동기하여 그래픽카드(2)로부터의 적(R), 녹(G), 청(B) 비디오 데이터들을 데이터 드라이버(6)에 공급한다.

<41> 이와 같은 액정패널(10)의 구동방법을 살펴보면, 게이트라인(GL)에 공급되는 게이트 하이전압(Vgh)에 의해 박막트랜지스터(TFT)가 턴-온됨으로써 데이터라인들(DL1 내지 DLm)에 공급되어진 비디오전압신호가 액정캐패시터(ClC)에 충전된다. 이어서, 게이트라인(GL)에 공급되는 게이트 로우전압(Vgl)에 의해 박막트랜지스터(TFT)가 턴-오프됨으로써 액정 캐패시터(ClC)에 충전된 비디오전압이 다음 데이터전압이 공급될 때까지 유지된다. 이 경우, 액정 캐패시터(ClC)와 별별로 연결되는 스토리지 캐패시터(Cst)는 이전단 게이트라인(GLn-1)에 게이트 하이전압(Vgh)이 공급될 때와 이어서 게이트 로우전압(Vgl)이 공급될 때 전압을 충전하여 박막트랜지스터(TFT)의 턴-오프 구간에서 액정 캐패시터(ClC)에 충전된 전압 보다 높은 전압을 유지하게 한다. 이에 따라, 박막트랜지스터(TFT)의 턴-오프 구간에서 스토리지 캐패시터(Cst)가 액정 캐패시터(ClC)에 전하를 공급하게 되므로 액정 캐패시터(ClC)에 충전된 전압의 변동이 최소화될 수 있게 된다.

<42> 이러한 액정표시장치에서는 액정패널 상의 액정셀들을 구동하기 위하여 프레임 인버전 방식(Frame Inversion System), 라인 칼럼 인버전 방식(Line Inversion System) 및 도트 인버전 방식(Dot Inversion System)과 같은 인버전 구동방법이 사용된다. 프레임 인버전 방식의 액정패널 구동방법은 프레임이 변경될 때마다 액정패널 상의 액정셀들에 공급되는 데이터신호의 극성을 반전시킨다. 라인 인버전 방식의 액정패널 구동방법에서는 액정 패널 상의 라인(칼럼)에 따라 액정셀들에 공급되는 데이터신호들의 극성을 반전시킨다. 도트 인버전 방식은 액정 패널상의 액정셀들 각각에 수직 및 수평 방향들 쪽에서 인접하는 액정셀들에 공급되는 데이터신호들과 상반된 극성의 데이터신호가 공급되게 함과 아울러 프레임마다 액정 패널 상의 모든 액정셀들에 공급되는 데이터 신호들의 극성이 반전되게 한다. 이러한 인버전 구동방법들 중 도트 인버전 방식은 프레임 및 라인 인버전 방식들에 비하여 뛰어난 화질의 화상을 제공한다. 이러한 인버전 방식의 구동은 타이밍 제어부(4)로부터 데이터 드라이버(6)에 공급되는 극성반전신호에 따라 데이터 드라이버(6)가 응답하여 수행된다.

<43> 이러한 액정표시장치는 60Hz의 프레임주파수에 의해 구동되는 것이 일반적이다. 그러나, 노트북컴퓨터와 같이 저소비전력을 필요로 하는 시스템에서는 프레임주파수를 50~30Hz로 낮추는 것이 요구된다. 프레임주파수가 낮아짐에 따라 인버전 방식들 중 뛰어난 화질을 제공하는 도트 인버전 방식에서도 플리커 현상이 발생하게 됨으로써 도 2a 및 도 2b, 도 3a 및 도 3b에 도시된 바와 같은 2도트 인버전 방식의 액정패널 구동방법이 제안되게 되었다.

<44> 도 2a 및 도 2b는 2도트 인버전 방식의 액정패널 구동방법에 의해 액정패널의 액정셀들에 공급되는 데이터신호 극성을 기수프레임과 우수프레임으로 나누어 도시한 것이다. 도 2a 및 도 2b에 도시된 기수프레임과 우수프레임에 있어서, 2 도트 인버전 방식은 데이터신호의 극성이 수평방향으로는 기준의 도트 인버전 방식과 같이 액정셀, 즉 도트 단위로 바뀌는 반면에 수직방향으로는 2도트 단위로 바뀌게 구동됨을 알 수 있다.

<45> 또한, 도 3a 및 도 3b는 2도트 인버전 방식의 액정패널 구동방법에 의해 액정패널의 액정셀들에 공급되는 데이터신호 극성을 기수프레임과 우수프레임으로 나누어 도시한 것이다. 도 3a 및 도 3b에 도시된 기수프레임과 우수프레임에 있어서, 2 도트 인버전 방식은 데이터신호의 극성이 수평방향으로는 기준의 도트 인버전 방식과 같이 액정셀, 즉 도트 단위로 바뀌는 반면에 제 1 수평방향을 제외한 나머지 수직방향으로는 2도트 단위로 바뀌게 구동됨을 알 수 있다.

<46> 이와 같은 2도트 인버전 방식의 액정표시장치를 구동하기 위하여 타이밍 제어부(4)는 그래픽카드(2)로부터의 수직동기신호(Vsync) 및 수평동기신호(Hsync)를 이용하여 도 4에 도시된 바와 같이 액정셀을 2도트 인버전 방식의 극성반전신호(POL)를 생성함과 아울러 그래픽카드(2)로부터의 수직동기신호(Vsync) 및 수평동기신호(Hsync)

를 이용하여 액정셀에 데이터신호를 공급하기 위한 데이터 인에이블신호(DE)를 생성하게 된다.

<47> 타이밍 제어부(4)에 의해 생성되는 데이터 인에이블신호(DE)는 수직동기신호(Vsync)의 마지막 시점에서 데이터 인에이블신호(DE)의 시작 시점까지의 백 포치(Back Porch) 구간과 1 수직동기구간에서 유효한 데이터가 공급되는 유효 데이터 구간으로 나누어진다. 이 때, 백 포치 구간은 1 수직동기신호 단위로 구동되는 한 프레임 중 유효 데이터가 없는 블래킹 구간 중 수직동기신호(Vsync)가 끝나고 첫 데이터라인에 데이터신호의 라이징 에지 사이의 기간이다. 또한, 타이밍 제어부(4)에 의해 생성되는 극성반전신호(POL)는 수직동기신호(Vsync) 동안에 2개의 수평동기신호(Hsync) 단위로 극성이 반전된다.

<48> 이를 위해, 타이밍 제어부(4)는 도 5에 도시된 바와 같이 극성반전신호 생성부(20)를 구비한다. 극성반전신호 생성부(20)는 수평동기신호(Hsync)를 1분주하는 제 1 D플립플롭(DF1)과, 제 1 D플립플롭(DF1)의 반전 출력단자(BQ1)으로부터의 출력을 2분주하는 제 2 D플립플롭(DF2)과, 제 1 및 제 2 D플립플롭(DF1, DF2)의 논리상태를 프레임별로 리셋시키기 위한 리셋회로(22) 및 제 2 D플립플롭(DF2)의 비반전출력단자(Q2) 및 반전출력단자(BQ2)로부터 공급되는 입력신호를 선택하여 데이터 드라이버(6)에 공급하는 멀티플렉서(MUX)를 구비한다.

<49> 제 1 D플립플롭(DF1)은 반전된 수평동기신호(Hsync)를 클럭신호로 입력받아 1분주하여 출력하고, 제 2 D플립플롭(DF2)은 제 1 D플립플롭(DF1)로부터의 입력신호를 1분주하여 출력한다. 즉, 제 2 D플립플롭(DF2)은 수평동기신호(Hsync)를 2분주하게 된다.

<50> 이를 상세히 하면, 제 1 D플립플롭(DF1)은 자신의 반전출력단자(BQ1)로부터 피드백되어 입력단자(D)에 입력되는 신호를 반전된 수평동기신호(Hsync)의 라이징 에지에 동기시켜 도 6에 도시된 바와 같은 제 1 극성반전신호(POL1)를 생성하여 반전출력단자(BQ1)를 통해 제 2 D플립플롭(DF2)의 클럭입력단자에 공급한다. 이에 따라, 제 1 극성반전신호(POL1)는 수평동기신호(Hsync)의 폴링 에지마다 극성이 반전된다. 제 2 D플립플롭(DF2)은 자신의 반전출력단자(BQ2)로부터 피드백되어 입력단자(D)에 입력되는 신호를 제 1 D플립플롭(DF1)의 반전출력단자(BQ1)으로부터의 제 1 극성반전신호(POL1)의 라이징 에지에 동기시켜 도 6에 도시된 바와 같은 제 2 극성반전신호(POL2)를 생성한다. 이에 따라, 제 2 극성반전신호(POL2)는 수평동기신호(Hsync)의 2주기마다 극성이 반전된다. 이러한, 제 2 D플립플롭(DF2)에 생성된 제 2 극성반전신호(POL2)는 비반전출력단자(Q2)를 통해 멀티플렉서(MUX)의 제 1 입력단자에 공급됨과 아울러 반전출력단자(BQ2)를 통해 멀티플렉서(MUX)의 제 2 입력단자에 공급된다.

<51> 리셋회로(22)는 클럭신호(CLK)에 의해 입력되는 수직동기신호(Vsync)를 1클럭 지연시키는 제 4 D플립플롭(DF4)과, 제 4 D플립플롭(DF4)의 비반전출력단자(Q4)로부터의 입력신호를 클럭신호(CLK)에 의해 1 클럭 지연시키는 제 5 D플립플롭(DF5)과, 제 5 D플립플롭(DF5)의 비반전출력단자(Q5)로부터의 입력신호와 수직동기신호(Vsync)의 Exclusive-OR 논리 연산하는 XOR게이트(24)와, XOR게이트(24)로부터의 출력신호(Q6)와 수직동기신호(Vsync)를 NAND 논리연산하는 NAND게이트(26)를 구비한다. 이러한, 리셋회로(22)는 수평동기신호(Hsync)에 기초하여 제 1 및 제 2 D플립플롭(DF1, DF2)에 의해 생성되는 2도트 인버전 방식의 극성반전신호(POL2)를 수직동기신호(Vsync) 즉, 프레임 단위로 반전시키기 위하여 수직동기신호(Vsync)를 기초로 제 1 및 제 2 D플립플롭(DF1, DF2)의 논리 상태를 프레임 단위로 리셋시키기 위한 리셋신호(VSRB)를 생성한다.

<52> 멀티플렉서(MUX)는 제 2 D플립플롭(DF2)의 비반전출력단자(Q2) 및 반전출력단자(BQ2)로부터 제 1 및 제 2 입력단자 각각에 입력되는 입력신호 중 어느 하나를 선택하여 출력하여 데이터 드라이버(6)에 공급한다. 이를 위해, 멀티플렉서(MUX)의 선택신호 입력단자에는 프레임 단위로 반전되는 선택신호(CS)를 생성하는 제 3 D플립플롭(DF3)이 접속된다. 이 제 3 D플립플롭(DF3)은 자신의 반전출력단자(BQ3)로부터의 피드백 신호를 입력받아 반전된 수직동기신호(Vsync)의 라이징 에지에 동기시켜 선택신호(CS)를 생성하고, 생성된 선택신호(CS)는 비반전출력단자(Q3)를 통해 멀티플렉서(MUX)의 선택신호 입력단자에 공급한다. 이러한, 선택신호(CS)는 수직동기신호(Vsync)에 기초하여 생성되기 때문에 프레임별로 반전된다. 이에 따라, 멀티플렉서(MUX)는 제 3 D플립플롭(DF3)로부터의 선택신호(CS)에 의해 제 2 극성반전신호(POL2)를 프레임 단위로 반전시켜 데이터 드라이버(6)에 공급한다.

<53> 데이터 드라이버(6)는 도 7에 도시된 바와 같이 다수의 멀티플렉서들(52)을 이용하여 타이밍 제어부(4)로부터의 극성반전신호(POL2)에 따라 비디오 데이터의 극성을 2도트 인버전 방식으로 액정패널(10)에 공급한다. 이를 위해, 데이터 드라이버(6)의 멀티플렉서들(52) 각각은 도시하지 않은 디지털-아날로그 변환기로부터 정극성(+)의 데이터전압 및 부극성(-)의 데이터전압이 공급되는 제 1 및 제 2 입력단자와, 타이밍 제어부(4)로부터의 극성반전신호(POL2)가 공급되는 선택신호 입력단자 및 버퍼를 통해 데이터라인(DL1, 내지 DLn)에 접속되는 출력단자를 구비한다. 이러한, 멀티플렉서들(52) 중 우수번째 멀티플렉서들(52)의 선택신호 입력단자에는 타이밍 제어부

(4)로부터의 극성반전신호(POL2)를 반전시키기 위한 인버터(54)가 접속된다.

<54> 이에 따라, 데이터 드라이버(6)로부터 액정패널(10)에 공급되는 비디오 데이터는 도 2a 및 도 2b, 도 3a 및 도 3b에 도시된 바와 같이 2도트 인버전 방식의 극성을 가지게 된다. 이 때, 데이터 드라이버(6)로부터 액정패널(10)에 공급되는 비디오 데이터의 극성은 데이터 인에이블신호(DE)의 백 포치 구간에 입력되는 수평동기신호(Hsync)의 개수에 따라 극성반전신호(POL2)의 시작시점이 달라져 도 2a 및 도 2b 또는 도 3a 및 도 3b에 도시된 바와 같이 2도트 인버전 방식의 극성을 가지게 된다.

<55> 이를 상세히 하면, 데이터 인에이블신호(DE)의 백 포치 구간에 입력되는 수평동기신호(Hsync)의 개수가 우수(Even)배인 경우에 데이터 인에이블신호(DE)의 유효 비디오 데이터의 극성은 도 6에 도시된 제 2 극성반전신호(POL2)의 A시점부터 시작되는 제 2 극성반전신호(POL2)에 따라 도 2a 및 도 2b에 도시된 바와 같이 2도트 인버전 방식으로 액정패널(10)에 공급된다. 또한, 데이터 인에이블신호(DE)의 백 포치 구간에 입력되는 수평동기신호(Hsync)의 개수가 기수(Odd)배인 경우에 데이터 인에이블신호(DE)의 유효 비디오 데이터의 극성은 도 6에 도시된 제 2 극성반전신호(POL2)의 B시점부터 시작되는 제 2 극성반전신호(POL2)에 따라 도 3a 및 도 3b에 도시된 바와 같이 2도트 인버전 방식으로 액정패널(10)에 공급된다.

<56> 이와 같이, 2도트 인버전 방식으로 구동되는 액정표시장치의 구동방법에서 발생되는 플리커를 조정하기 위하여 도 8a 및 도 8b와 같은 플리커 검사패턴을 사용하게 된다.

<57> 도 8a를 참조하면, 액정패널에 공급되는 데이터 극성이 수평방향으로는 1도트 단위로 바뀌고 수직방향으로는 2도트 단위로 바뀌는 2도트 인버전 구동방식에 사용되는 플리커 검사패턴(이하 "제 1 플리커 검사패턴"이라 함)은 부극성(-)의 녹색 서브픽셀에 하프 그레이(Half Gary) 패턴, 적색 및 청색 서브픽셀에 블랙 패턴을 공급하게 된다. 이에 따라, 데이터 극성이 수평방향으로는 1도트 단위로 바뀌고 수직방향으로는 2도트 단위로 바뀌는 2도트 인버전 방식으로 구동되는 액정패널에 제 1 플리커 검사패턴을 표시할 경우에는 부극성(-)의 하프 그레이 패턴으로 인하여 프레임 주파수의 1/2이 되는 성분 즉, 프레임 주파수/2 성분이 나타나므로 플리커를 조정할 수 있게 된다.

<58> 또한, 도 8b를 참조하면 액정패널에 공급되는 데이터 극성이 수평방향으로는 1도트 단위로 바뀌고 제 1 수평방향을 제외한 나머지 수직방향으로는 2도트 단위로 바뀌는 2도트 인버전 구동방식에 사용되는 플리커 검사패턴(이하 "제 2 플리커 검사패턴"이라 함)은 부극성(-)의 녹색 서브픽셀에 하프 그레이(Half Gary) 패턴, 적색 및 청색 서브픽셀에 블랙 패턴을 공급하게 된다. 이에 따라, 액정패널에 제 1 플리커 검사패턴을 표시할 경우에는 부극성(-)의 하프 그레이 패턴으로 인하여 프레임 주파수의 1/2이 되는 성분 즉, 프레임 주파수/2 성분이 나타나므로 플리커를 조정할 수 있게 된다.

<59> 그러나, 2도트 인버전 구동방식의 액정표시장치에 대한 플리커 조정검사를 위해 도 9a에 도시된 바와 같이 제 1 플리커 검사패턴(a)으로 플리커를 조정하는 액정패널 상에 데이터 극성이 수평방향으로는 1도트 단위로 바뀌고 제 1 수평방향을 제외한 수직방향으로는 2도트 단위로 바뀌는 2도트 인버전 방식(b)이 표시될 경우에는 정극성(+)과 부극성(-)이 서로 상쇄되는 플리커 검사패턴(c)이 표시된다. 이에 따라, 액정패널에는 프레임 주파수 성분이 인식되어 시각적으로 플리커를 느낄 수 없게 되므로 플리커 조정을 할 수 없게 된다. 또한, 도 9b에 도시된 바와 같이 제 2 플리커 검사패턴(a)으로 플리커를 조정하는 액정패널 상에 데이터 극성이 수평방향으로는 1도트 단위로 바뀌고 제 1 수평방향을 제외한 수직방향으로는 2도트 단위로 바뀌는 2도트 인버전 방식(b)이 표시될 경우에는 정극성(+)과 부극성(-)이 서로 상쇄되는 플리커 검사패턴(c)이 표시된다. 이에 따라, 액정패널에는 프레임 주파수 성분이 인식되어 시각적으로 플리커를 느낄 수 없게 되므로 플리커 조정을 할 수 없게 된다.

<60> 따라서, 종래의 2도트 인버전 구동방식을 이용한 액정표시장치의 구동방법에서는 데이터 인에이블신호(DE)의 백 포치 구간에 입력되는 수평동기신호(Hsync)의 개수에 따라 데이터 드라이버(6)에 공급되는 극성반전신호(POL2)가 달라지기 때문에 액정패널(10)에 인가되는 2도트 인버전 방식의 데이터 극성이 달라지게 된다.

발명이 이루고자 하는 기술적 과제

<61> 따라서, 본 발명의 목적은 2도트 인버전 방식에서 백 포치 구간에 공급되는 수평동기신호의 수에 상관없이 액정패널에 인가되는 2도트 인버전 방식의 데이터 극성과 동일한 극성반전신호를 생성할 수 있도록 한 액정표시장치의 구동장치 및 구동방법을 제공하는데 있다.

발명의 구성 및 작용

- <62> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 다수의 데이터라인들과 게이트라인들이 매트릭스 형태로 배치되는 액정패널과, 상기 데이터라인들에 비디오 데이터를 공급하기 위한 데이터 구동부와, 상기 게이트라인들에 게이트펄스를 공급하기 위한 게이트 구동부와, 상기 데이터 구동부 및 상기 게이트 구동부의 타이밍을 제어함과 아울러 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수에 따라 서로 다른 극성반전신호를 발생하고 그 극성반전신호를 상기 데이터 구동부에 공급하여 상기 비디오 데이터의 극성을 제어하는 타이밍 제어부를 구비한다.
- <63> 상기 구동장치에서 상기 액정패널에 공급되는 비디오 데이터의 극성은 인접한 두 개의 화소셀 단위로 반전되는 것을 특징으로 한다.
- <64> 상기 구동장치에서 상기 데이터 블랭킹 구간은 데이터 인에이블신호 중 수직동기신호의 마지막부터 유효 데이터의 시작시점까지인 수직 백 포치 구간인 것을 특징으로 한다.
- <65> 상기 구동장치에서 상기 타이밍 제어부는 제 1 극성반전신호를 생성함과 아울러 상기 제 1 극성반전신호와 다른 위상을 가지는 제 2 극성반전신호를 생성하는 극성반전신호 생성부와, 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수를 카운팅하는 카운팅부와, 상기 카운팅부로부터의 카운팅 개수에 따라 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 기수배 및 우수배 중 어느 하나인지를 판정하는 판정부와, 상기 판정부로부터의 판정 결과에 따라 상기 극성반전신호 생성부로부터의 상기 제 1 및 제 2 극성반전신호 중 어느 하나를 선택하여 상기 데이터 구동부에 공급하는 선택부와, 상기 극성반전신호 생성부, 상기 카운팅부 및 판정부를 프레임 단위로 리셋시키기 위한 리셋신호를 생성하는 리셋구동부를 구비한다.
- <66> 상기 구동장치에서 상기 극성반전신호 생성부는 상기 수평동기신호에 기초하여 극성신호를 생성하는 극성신호 생성부와, 상기 극성신호에 기초하여 상기 제 1 극성반전신호를 생성하여 비반전 및 반전 출력하는 제 1 극성반전신호 생성부와, 수직동기신호에 기초하여 프레임별 극성반전 선택신호를 생성하는 극성반전 선택신호 생성부와, 상기 극성반전 선택신호에 응답하여 상기 제 1 극성반전신호 생성부로부터 출력되는 상기 비반전 및 반전 제 1 극성반전신호 중 어느 하나를 선택하여 상기 선택부에 공급하는 멀티플렉서와, 상기 멀티플렉서로부터 공급되는 제 1 극성반전신호와 상기 극성신호에 기초하여 상기 제 2 극성반전신호를 생성하여 상기 선택부에 공급하는 제 2 극성반전신호 생성부를 구비한다.
- <67> 상기 구동장치에서 상기 제 2 극성반전신호 생성부는 상기 제 1 극성반전신호와 상기 극성신호를 Exclusive-OR 논리 연산하여 제 2 극성반전신호를 생성하는 XOR게이트인 것을 특징으로 한다.
- <68> 상기 구동장치에서 상기 카운팅부는 프레임별로 카운팅 개시신호를 생성하는 개시신호 생성부와, 상기 개시신호에 응답하여 상기 수평동기신호를 카운팅하기 위한 적어도 하나 이상의 카운터를 구비하는 것을 특징으로 한다.
- <69> 상기 구동장치에서 상기 판정부는 상기 카운팅부로부터의 입력신호가 제 1 논리값일 경우에는 상기 선택부에서 상기 제 2 극성반전신호를 선택하도록 하는 선택신호를 생성하고, 제 2 논리값일 경우에는 상기 선택부에서 상기 제 1 극성반전신호를 선택하도록 하는 선택신호를 생성하는 것을 특징으로 한다.
- <70> 상기 구동장치에서 상기 제 1 극성반전신호는 두 개의 수평동기신호 단위로 극성이 반전되고, 상기 제 2 극성반전신호는 상기 제 1 극성반전신호보다 하나의 수평동기신호만큼 지연된 것을 특징으로 한다.
- <71> 본 발명의 실시 예에 따른 액정표시장치의 구동방법은 다수의 데이터라인들과 게이트라인들이 매트릭스 형태로 배치되는 액정패널, 상기 데이터라인들에 비디오 데이터를 공급하기 위한 데이터 구동부, 상기 게이트라인들에 게이트펄스를 공급하기 위한 게이트 구동부를 가지는 액정표시장치의 구동방법에 있어서; 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수에 따라 서로 다른 제 1 및 제 2 극성반전신호를 발생하는 단계와; 상기 제 1 및 제 2 극성반전신호를 상기 데이터 구동부에 공급하여 상기 비디오 데이터의 극성을 제어하는 단계를 포함한다.
- <72> 상기 구동방법에서 상기 제 1 극성반전신호는 두 개의 수평동기신호 단위로 극성이 반전되고, 상기 제 2 극성반전신호는 상기 제 1 극성반전신호보다 하나의 수평동기신호만큼 지연된 것을 특징으로 한다.
- <73> 상기 구동방법에서 상기 액정패널에 공급되는 비디오 데이터의 극성은 인접한 두 개의 화소셀 단위로 반전되는 것을 특징으로 한다.
- <74> 상기 구동방법에서 상기 데이터 블랭킹 구간은 데이터 인에이블신호 중 수직동기신호의 마지막부터 유효 데이터의 시작시점까지인 수직 백 포치 구간인 것을 특징으로 한다.

- <75> 상기 구동방법에서 상기 제 1 및 제 2 극성반전신호를 생성하는 단계는 상기 수평동기신호에 기초하여 극성신호를 생성하는 단계와, 수직동기신호에 기초하여 프레임별 극성반전 선택신호를 생성하는 단계와, 상기 극성신호에 기초하여 비반전된 제 1 극성반전신호 및 반전된 제 1 극성반전신호를 생성하는 단계와, 상기 극성반전 선택신호에 응답하여 비반전 및 반전 제 1 극성반전신호 중 어느 하나를 선택하는 단계와, 상기 제 1 극성반전신호와 상기 극성신호에 기초하여 제 2 극성반전신호를 생성하는 단계를 포함한다.
- <76> 상기 구동방법에서 상기 제 2 극성반전신호를 생성하는 단계는 상기 제 1 극성반전신호와 상기 극성신호를 Exclusive-OR 논리 연산하여 생성하는 것을 특징으로 한다.
- <77> 상기 구동방법에서 상기 비디오 데이터의 극성을 제어하는 단계는 프레임 단위로 카운팅 개시신호를 생성하는 단계와, 상기 카운팅 개시신호에 응답하여 상기 수평동기신호의 개수를 카운팅하는 단계와, 상기 카운팅 된 개수에 따라 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 기수배 및 우수배 중 어느 하나인지를 판정하는 단계와, 상기 판정 결과에 따라 상기 제 1 및 제 2 극성반전신호 중 어느 하나를 선택하여 상기 데이터 구동부에 공급하는 단계를 포함하는 것을 특징으로 한다.
- <78> 상기 구동방법에서 상기 비디오 데이터의 극성은 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 기수배일 경우에는 상기 제 2 극성반전신호의 제어에 의해 제어되고, 상기 데이터 블랭킹 구간에 공급되는 수평동기신호의 개수가 우수배일 경우에는 상기 제 1 극성반전신호에 의해 제어되는 것을 특징으로 한다.
- <79> 상기 구동방법에서 상기 제 1 및 제 2 극성반전신호를 발생하는 단계 및 상기 비디오 데이터의 극성을 제어하는 단계는 프레임 단위로 리셋되는 것을 특징으로 한다.
- <80> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예의 설명을 통하여 명백하게 드러나게 될 것이다.
- <81> 도 10 내지 도 19를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- <82> 도 10을 참조하면, 본 발명의 실시 예에 따른 액정표시장치(33)는 액정패널(40)과, 액정패널(40)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(36)와, 액정패널(40)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(38)와, 데이터 및 게이트 드라이버(36, 38)의 구동 타이밍을 제어하기 위한 타이밍 제어부(34)와, 액정표시장치(33)의 구동에 필요한 구동전압(P)을 발생하는 전원회로(44)와, 데이터 드라이버(36)에 감마전압을 공급하는 감마회로(42)를 구비한다. 이러한, 액정표시장치(33)는 시스템 본체에 설치되는 시스템구동부(31)에 접속된다.
- <83> 시스템구동부(31)는 액정표시장치(33)에 적합한 비디오데이터 등을 공급하기 위한 그래픽카드(32)를 포함한다. 그래픽카드(32)는 입력되어진 비디오데이터를 액정표시장치(33)의 해상도에 적합하게 변환하여 액정표시장치(33)로 출력한다. 비디오 데이터는 적(R), 녹(G) 및 청(B) 데이터로 구성된다. 아울러, 그래픽카드(32)는 액정표시장치(33)의 해상도에 적합한 클럭신호(DCLK)와 수평 및 수직 동기신호(Hsync, Vsync) 등과 같은 제어신호들을 발생하게 된다.
- <84> 전원회로(44)는 시스템구동부(31)의 시스템 전원부(도시하지 않음)로부터 입력되는 전압을 이용하여 액정표시장치(33)의 구동에 필요한 구동전압들(게이트하이전압, 게이트로우전압, 감마기준전압, 공통전압 등)을 발생하여 타이밍 제어부(34), 데이터 드라이버(36), 게이트 드라이버(38) 및 감마회로(42) 등에 공급한다.
- <85> 액정패널(40)은 n개의 게이트라인들(GL1 내지 GLn)과 m개의 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 비디오신호를 액정셀에 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터에 접속된 화소전극으로 구성되므로 등가적으로는 액정 캐패시터(C1c)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(C1c)에 충전된 데이터전압을 다음 데이터전압이 충전될 때까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(Cst)를 포함한다.
- <86> 게이트 드라이버(38)는 타이밍 제어부(34)로부터의 게이트 스타트펄스(GSP)에 따라 게이트라인들(GL1 내지 GLn)에 순차적으로 게이트 하이전압신호를 공급한다. 이를 위해, 게이트 드라이버(38)는 게이트라인들(GL1 내지 GLn)을 분리하여 순차적으로 구동하기 위한 도시하지 않은 다수개의 게이트 구동 접적회로(Integrated Circuit; 이하, IC라 함)들로 구성된다. 이 게이트 구동IC 각각은 통상 타이밍 제어부(34)로부터 공급되는 게이트스타트펄스(GSP)와 게이트쉬프트클럭(GSC)에 응답하여 순차적으로 게이트 하이전압신호를 발생하는 쉬프트

레지스터와, 게이트 하이전압신호의 전압을 박막트랜지스터(TFT) 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터 등으로 구성된다. 이러한, 게이트 구동IC는 타이밍 제어부(34)로부터 게이트스타트펄스(GSP)가 공급되면 게이트쉬프트클러(GSC)에 응답하여 쉬프트 동작을 수행함으로써 게이트라인들(GL1 내지 GLn)에 순차적으로 1수평기간(1H)을 가지는 게이트 하이전압신호를 공급하게 된다.

<87> 감마회로(42)는 비디오 데이터의 전압레벨에 따라 서로 다른 전압레벨을 가지게끔 미리 설정된 정극성 및 부극성 감마전압들을 공급하여 비디오 데이터에 정극성 및 부극성의 감마전압들이 부가되어 감마특성이 부가한다.

<88> 데이터 드라이버(36)는 타이밍 제어부(34)로부터의 R, G, B 데이터신호를 아날로그 신호로 변환하여 게이트라인(GL1 내지 GLn)에 게이트 하이전압신호가 공급되는 1수평주기마다 1수평라인분의 비디오 데이터를 데이터라인들(DL1 내지 DLm)에 공급한다.

<89> 이러한 액정패널(40)의 구동하기 위하여 타이밍 제어부(34)는 그래픽카드(32)로부터의 클럭신호, 수평 및 수직 동기신호(Hsync, Vsync)에 응답하여 게이트 드라이버(38)와 데이터 드라이버(36)의 구동 타이밍을 제어하게 된다. 다시 말하여, 타이밍 제어부(34)는 클럭신호와 수평 및 수직 동기신호(Hsync, Vsync)에 응답하여 게이트클럭신호, 게이트제어신호, 게이트스타트펄스 등을 생성하여 게이트 드라이버(38)에 공급한다. 또한, 타이밍 제어부(34)는 입력 클럭신호와 수평 및 수직 동기신호(Hsync, Vsync)에 응답하여 데이터 인에이블신호 등을 생성하여 데이터 드라이버(36)에 공급함과 아울러 극성반전신호, 데이터 인에이블신호에 동기하여 그래픽카드(32)로부터의 적(R), 녹(G), 청(B) 비디오 데이터들을 데이터 드라이버(36)에 공급한다.

<90> 이와 같은 액정패널(40)의 구동방법을 살펴보면, 게이트라인(GL)에 공급되는 게이트 하이전압(Vgh)에 의해 박막트랜지스터(TFT)가 턴-온됨으로써 데이터라인들(DL1 내지 DLm)에 공급되어진 비디오전압신호가 액정캐패시터(C1c)에 충전된다. 이어서, 게이트라인(GL)에 공급되는 게이트 로우전압(Vgl)에 의해 박막트랜지스터(TFT)가 턴-오프됨으로써 액정 캐패시터(C1c)에 충전된 비디오전압이 다음 데이터전압이 공급될 때까지 유지된다. 이 경우, 액정 캐패시터(C1c)와 병렬로 연결되는 스토리지 캐패시터(Cst)는 이전단 게이트라인(GLn-1)에 게이트 하이전압(Vgh)이 공급될 때와 이어서 게이트 로우전압(Vgl)이 공급될 때 전압을 충전하여 박막트랜지스터(TFT)의 턴-오프 구간에서 액정 캐패시터(C1c)에 충전된 전압 보다 높은 전압을 유지하게 한다. 이에 따라, 박막트랜지스터(TFT)의 턴-오프 구간에서 스토리지 캐패시터(Cst)가 액정 캐패시터(C1c)에 전하를 공급하게 되므로 액정 캐패시터(C1c)에 충전된 전압의 변동이 최소화될 수 있게 된다.

<91> 이와 같은 액정표시장치를 2도트 인버전 방식으로 구동하기 위하여 타이밍 제어부(34)는 그래픽카드(32)로부터의 수직동기신호(Vsync) 및 수평동기신호(Hsync)를 이용하여 도 11에 도시된 바와 같이 액정셀을 2도트 인버전 방식의 극성반전신호(POL1, POL2)를 생성함과 아울러 그래픽카드(32)로부터의 수직동기신호(Vsync) 및 수평동기신호(Hsync)를 이용하여 액정셀에 데이터신호를 공급하기 위한 데이터 인에이블신호(DE)를 생성하게 된다.

<92> 타이밍 제어부(34)에 의해 생성되는 데이터 인에이블신호(DE)는 수직동기신호(Vsync)의 마지막 시점에서 데이터 인에이블신호(DE)의 시작 시점까지의 백 포치(Back Porch) 구간과 1 수직동기구간에서 유효한 데이터가 공급되는 유효 데이터 구간으로 나누어진다. 이 때, 백 포치 구간은 1 수직동기신호 단위로 구동되는 한 프레임 중 유효 데이터가 없는 데이터 블랭킹 구간 중 수직동기신호(Vsync)가 끝나고 첫 데이터라인에 데이터신호의 라이징 에지 사이의 기간이다. 또한, 타이밍 제어부(34)에 의해 생성되는 극성반전신호(POL1, POL2)는 수직동기신호(Vsync) 동안에 2개의 수평동기신호(Hsync) 단위로 극성이 반전된다.

<93> 타이밍 제어부(34)로부터의 데이터 드라이버(36)에 공급되는 극성반전신호(POL)는 도 11에 도시된 바와 같이 데이터 인에이블신호(DE)의 백 포치 구간에 공급되는 수평동기신호(Hsync)의 펄수 수가 기수배 또는 우수배에 상관없이 액정패널에 공급되는 데이터의 극성을 2도트 인버전의 방식으로 구동하게 된다.

<94> 이를 상세히 하면, 액정패널(40)에 공급되는 데이터의 극성이 수평방향으로 1도트 단위로 바뀌고 수직방향으로는 2도트 단위로 바뀌는 2도트 인버전(이하, 제 1 인버전"이라 함)의 경우에 데이터 인에이블신호(DE)의 백 포치 구간에 공급되는 수평동기신호(Hsync)의 개수가 우수(Even)배일 때에 데이터 드라이버(36)는 타이밍 제어부(34)로부터 공급되는 제 1 극성반전신호(POL1)의 A시점부터의 제 1 극성반전신호(POL1)에 따라 데이터의 극성을 선택하여 액정패널에 공급하고, 기수(Odd)배일 때에 데이터 드라이버(36)는 타이밍 제어부(34)로부터 공급되는 제 2 극성반전신호(POL2)의 B시점부터의 제 2 극성반전신호(POL2)에 따라 데이터의 극성을 선택하여 액정패널에 공급한다.

<95> 또한, 액정패널에 공급되는 데이터의 극성이 수평방향으로 1도트 단위로 바뀌고 제 1 수평방향을 제외한 수직방향으로는 2도트 단위로 바뀌는 2도트 인버전(이하, 제 2 인버전"이라 함)의 경우에 데이터 인에이블신호(DE)의

백 포치 구간에 공급되는 수평동기신호(Hsync)의 개수가 우수(Even)배일 때에 도시하지 않은 데이터 드라이버는 도시하지 않은 타이밍 제어부로부터 공급되는 제 2 극성반전신호(POL2)의 B시점부터의 제 2 극성반전신호(POL2)에 따라 액정패널에 데이터를 공급하고, 기수(Odd)배일 때에 도시하지 않은 데이터 드라이버는 도시하지 않은 타이밍 제어부로부터 공급되는 제 1 극성반전신호(POL1)의 A시점부터의 제 1 극성반전신호(POL1)에 따라 액정패널에 데이터를 공급한다.

<96> 이와 같은, 제 1 및 제 2 극성반전신호(POL1, POL2)을 생성하기 위하여 타이밍 제어부(34)는 도 12에 도시된 바와 같이 극성신호(POLS)를 생성하는 극성신호 생성부(100)와, 극성신호(POLS)를 이용하여 제 1 극성반전신호(POL1)를 생성함과 아울러 생성된 제 1 극성반전신호(POL1)를 비반전출력 및 반전출력하는 제 1 극성반전신호 생성부(102)와, 제 1 극성반전신호 생성부(102)로부터 입력되는 비반전 및 반전된 제 1 극성반전신호(POL1)를 프레임별로 출력하는 제 1 극성반전신호 선택부(104)와, 극성신호(POLS) 및 제 1 극성반전신호(POL1)를 이용하여 제 2 극성반전신호(POL2)를 생성하는 제 2 극성반전신호 생성부(106)과, 수직 백 포치 구간에 수평동기신호(Hsync)의 개수가 기수배인지 우수배인지를 판정하는 판정부(116)와, 판정부(116)로부터의 선택신호에 따라 제 2 극성반전신호 생성부(106)로부터의 제 2 극성반전신호(POL2)와 제 1 극성반전신호 선택부(104)로부터의 제 1 극성반전신호(POL1) 중 어느 하나를 선택하여 데이터 드라이버(36)에 공급하기 위한 극성반전신호 출력부(108)를 구비한다.

<97> 이러한, 타이밍 제어부(34)를 도 13과 결부하여 설명하면, 타이밍 제어부(34)의 극성신호 생성부(100)는 그래픽 카드(32)로부터의 수평동기신호(Hvsync)를 1분주하기 위한 제 1 D플립플롭(100)으로 구성된다. 이러한, 제 1 D플립플롭(100)은 반전된 수평동기신호(Hsync)를 클럭신호로 입력받아 1분주하여 제 1 극성반전신호 생성부(102)에 공급한다.

<98> 제 1 극성반전신호 생성부(102)는 극성신호 생성부(100)로부터 입력되는 극성신호(POLs)를 1분주하기 위한 제 2 D플립플롭(102)으로 구성된다. 이러한, 제 2 D플립플롭(102)은 극성신호(POLs)를 클럭신호로 입력받아 1분주하여 제 1 극성반전신호 선택부(104)에 공급한다.

<99> 이와 같은, 극성신호 생성부(100) 및 제 1 극성반전신호 생성부(102)를 동작을 상세히 설명하면, 제 1 D플립플롭(100)은 자신의 반전출력단자(BQ1)로부터 피드백되어 입력단자(D)에 입력되는 신호를 반전된 수평동기신호(Hsync)의 라이징 에지에 동기시켜 도 11에 도시된 바와 같은 극성신호(POLs)를 생성하여 반전출력단자(BQ1)를 통해 제 2 D플립플롭(102)의 클럭입력단자에 공급함과 아울러 제 2 극성반전신호 생성부(106)에 공급한다. 이에 따라, 극성신호(POLs)는 수평동기신호(Hsync)의 폴링 에지마다 극성이 반전된다. 제 2 D플립플롭(102)은 자신의 반전출력단자(BQ2)로부터 피드백되어 입력단자(D)에 입력되는 신호를 제 1 D플립플롭(100)의 반전출력단자(BQ1)으로부터의 극성신호(POLs)의 라이징 에지에 동기시켜 도 11에 도시된 바와 같은 제 1 극성반전신호(POL1)를 생성한다. 결과적으로, 제 1 극성반전신호(POL1)는 수평동기신호(Hsync)의 2주기마다 극성이 반전된다.

<100> 이러한, 제 2 D플립플롭(102)에 생성된 제 1 극성반전신호(POL1)는 비반전출력단자(Q2)를 통해 제 1 극성반전신호 선택부(104)의 제 1 입력단자에 공급됨과 아울러 반전출력단자(BQ2)를 통해 제 1 극성반전신호 선택부(104)의 제 2 입력단자에 공급된다.

<101> 제 1 극성반전신호 선택부(104)는 제 1 극성반전신호 생성부(102)의 비반전출력단자(Q2) 및 반전출력단자(BQ2)로부터 각각 입력되는 비반전 제 1 극성반전신호(POL1) 및 반전 제 1 극성반전신호(POL1) 중 어느 하나를 제 1 선택신호 생성부(110)로부터의 선택신호에 따라 선택하여 출력하게 된다. 이러한, 제 1 극성반전신호 선택부(104)는 2입력 1출력을 가지는 멀티플렉서로 구성된다.

<102> 멀티플렉서(104)의 선택신호 입력단자에는 프레임 단위로 반전되는 선택신호(CS)를 생성하는 제 1 선택신호 생성부(110) 즉, 제 3 D플립플롭(110)이 접속된다. 이 제 3 D플립플롭(110)은 자신의 반전출력단자(BQ3)로부터의 피드백 신호를 입력받아 반전된 수직동기신호(Vsync)의 라이징 에지에 동기시켜 선택신호(CS)를 생성하고, 생성된 선택신호(CS)는 비반전출력단자(Q3)를 통해 제 1 극성반전신호 선택부(104)의 선택신호 입력단자에 공급된다. 이러한, 선택신호(CS)는 수직동기신호(Vsync)에 기초하여 생성되기 때문에 프레임별로 반전된다. 이에 따라, 멀티플렉서(104)는 제 3 D플립플롭(110)로부터의 선택신호(CS)에 의해 제 1 극성반전신호(POL1)를 프레임 단위로 반전시켜 제 2 극성반전신호 생성부(106)에 공급함과 아울러 극성반전신호 출력부(108)에 공급한다.

<103> 또한, 극성신호 생성부(100) 및 제 1 극성반전신호 생성부(102) 각각에는 1 수직동기신호 마다 제 1 및 제 2 D

플립플롭(100, 102) 각각을 리셋시키기 위한 리셋회로(118)가 접속된다. 리셋회로(118)는 클럭신호(CLK)에 의해 입력되는 수직동기신호(Vsync)를 1클럭 지연시키는 제 4 D플립플롭(DF4)과, 제 4 D플립플롭(DF4)의 비반전출력단자(Q4)로부터의 입력신호를 클럭신호(CLK)에 의해 1 클럭 지연시키는 제 5 D플립플롭(DF5)과, 제 5 D플립플롭(DF5)의 비반전출력단자(Q5)로부터의 입력신호와 수직동기신호(Vsync)의 Exclusive-OR 논리 연산하는 XOR게이트(134)와, XOR게이트(134)로부터의 출력신호와 수직동기신호(Vsync)를 NAND 논리연산하는 NAND게이트(136)를 구비한다. 이러한, 리셋회로(118)는 수평동기신호(Hsync)에 기초하여 제 1 및 제 2 D플립플롭(100, 102)에 의해 생성되는 제 2 극성반전신호(POL2)를 수직동기신호(Vsync) 즉, 프레임 단위로 반전시키기 위하여 수직동기신호(Vsync)를 기초로 제 1 및 제 2 D플립플롭(100, 102)의 논리상태를 프레임 단위로 리셋시키기 위한 리셋신호(VSRB)를 생성한다.

<104> 제 2 극성반전신호 생성부(106)는 멀티플렉서(104)로부터 프레임 단위로 입력되는 제 1 극성반전신호(POL1)와 극성신호 생성부(100)로부터 입력되는 극성신호(POL5)를 Exclusive-OR 논리 연산하는 XOR게이트(106)로 구성된다. 이러한, XOR게이트(106)의 Exclusive-OR 논리 연산에 의해 생성되는 제 2 극성반전신호(POL2)는 극성반전신호 출력부(108)에 공급된다. 극성반전신호 출력부(108)는 판정부(116)의 제어신호에 응답하여 제 1 극성반전신호(POL1) 및 제 2 극성반전신호(POL2) 중 어느 하나를 선택하여 데이터 드라이버(36)에 공급한다.

<105> 판정부(116)는 데이터 인에이블(DE)의 백 포치 구간에 입력되는 수평동기신호(Hsync)의 개수를 카운팅하는 수평동기신호 카운터부(112)와, 수평동기신호 카운터부(112)로부터의 개수신호에 응답하여 데이터 인에이블(DE)의 백 포치 구간에 입력되는 수평동기신호(Hsync)의 개수가 기수개이거나 우수개인지를 판정하는 수평동기신호 개수 판정부(114)로 구성된다.

<106> 수평동기신호 개수 판정부(114)는 입력단자에 공급되는 직류전압(VCC)를 클럭단자에 입력되는 데이터 인에이블 신호(DE)의 라이징 에지 시점에 1클럭 지연시켜 출력하는 제 6 D플립플롭(DF6)과, 수평동기신호 카운터부(112)로부터의 입력신호를 클럭단자에 공급되는 제 6 D플립플롭(DF6)의 비반전출력단자(Q6)로부터 입력되는 입력신호의 라이징 에지 시점에 1 클럭 지연시켜 극성반전신호 출력부(108)로 출력하는 제 7 D플립플롭(DF7)으로 구성된다.

<107> 제 6 D플립플롭(DF6)은 리셋회로(118)로부터의 리셋신호(VSRB)에 의해 프레임 단위로 리셋되고 입력되는 직류전원(VCC)을 1 클럭 지연시켜 비반전출력단자(Q6)를 통해 제 7 D플립플롭(DF7)의 클럭단자에 공급한다. 제 7 D플립플롭(DF7)은 수평동기신호 카운터부(112)로부터의 입력신호를 1클럭 지연시켜 비반전출력단자(Q7)를 통해 극성반전신호 출력부(108)에 공급한다.

<108> 이 때, 제 7 D플립플롭(DF7)에 공급되는 입력신호를 공급하는 수평동기신호 카운터부(112)는 반전된 수평동기신호(Hsync)를 클럭신호로 입력받아 수평동기신호(Hsync)의 라이징 에지마다 입력단자(D)에 공급되는 직류전압(VCC)을 1클럭 지연시키는 제 8 D플립플롭(DF8)과, 제 8 D플립플롭(DF8)의 비반전출력단자(Q8)으로부터의 입력신호와 리셋회로(118)로부터의 리셋신호(VSRB)를 공급받아 Exclusive-OR 논리 연산하는 XOR게이트(138)와, XOR게이트(138)로부터의 입력신호를 카운팅하는 제 1 및 제 2 카운터(140, 142)를 구비한다.

<109> 제 8 D플립플롭(DF8)은 리셋회로(118)로부터의 리셋신호(VSRB)에 의해 프레임 단위로 리셋되고, 반전된 수평동기신호(Hsync)를 1분주하여 XOR게이트(138)로 출력한다. XOR게이트(138)는 리셋신호(VSRB)와 제 8 D플립플롭(DF8)으로부터의 입력신호를 Exclusive-OR 논리 연산하여 제 1 카운터(140)에 공급한다. 이러한, XOR게이트(138)는 프레임 단위로 데이터 인에이블신호(DE) 구간의 백 포치 구간에 공급되는 수평동기신호(Hsync)를 카운팅하기 위하여 카운팅 개시시점을 제 1 및 제 2 카운터(140, 142)에 공급한다.

<110> 이에 따라, 제 1 카운터(140)는 인버터(IVT)에 의해 반전된 수평동기신호(Hsync)를 클럭신호(CLK)로 공급받아 수평동기신호(Hsync)를 카운팅하게 된다. 여기서, 제 1 카운터(140)는 16진 카운터로써 XOR게이트(138)로부터의 출력신호에 의해 로드(Load)되어 수평동기신호(Hsync)를 카운팅하게 된다. 제 2 카운터(142)는 제 1 카운터(140)로부터 캐리(Carry)신호에 동기되어 인버터(IVT)에 의해 반전된 수평동기신호(Hsync)를 클럭신호(CLK)로 공급받아 수평동기신호(Hsync)를 카운팅하게 된다. 즉, 제 2 카운터(142)는 제 1 카운터(140)에 의해 카운팅되는 16 이상의 수평동기신호(Hsync)의 펄스수를 카운팅하게 된다. 이와 같은, 제 1 및 제 2 카운터(140, 142)는 데이터 인에이블신호(DE)의 백 포치 구간에 공급되는 수평동기신호(Hsync)의 개수의 최고값에 따라 다양한 형태로 집적화된 카운터로 변경될 수 있다.

<111> 이와 같이, 데이터 인에이블신호(DE)의 백 포치 구간동안 제 2 카운터(142)에 의해 카운팅된 수평동기신호(Hsync)는 제 2 카운터(142)의 출력단자 중 제 1 출력단자(QA)를 통해 제 7 D플립플롭(DF7)에 공급된다. 이

때, 제 2 카운터(142)의 출력단자 중 제 1 출력단자(QA)에서 출력되는 클럭신호는 2진 형태로 출력되어 하이논리 상태일 경우에는 데이터 인에이블신호(DE)의 백 포치 구간 동안 공급되는 수평동기신호(Hsync)의 개수는 우수배이고, 로우논리 상태일 경우에는 데이터 인에이블신호(DE)의 백 포치 구간 동안 공급되는 수평동기신호(Hsync)의 개수는 기수배가 된다.

<112> 이에 따라, 극성반전신호 출력부(108)는 판정부(116)로부터의 제어신호에 응답하여 제 1 및 제 2 극성반전신호(POL1, POL2) 중 어느 하나를 선택하여 데이터 드라이버(36)에 공급한다. 즉, 판정부(116)로부터 데이터 인에이블신호(DE)의 백 포치 구간 동안 공급되는 수평동기신호(Hsync)의 개수가 우수배로 판정된 제어신호가 공급될 경우에 극성반전신호 출력부(108)는 도 11에 도시된 바와 같은 제 1 및 제 2 극성반전신호(POL1, POL2) 중 제 1 극성반전신호(POL1)를 선택하여 데이터 드라이버(36)에 공급하고, 판정부(116)로부터 데이터 인에이블신호(DE)의 백 포치 구간 동안 공급되는 수평동기신호(Hsync)의 개수가 기수배로 판정된 선택신호가 공급될 경우에 극성반전신호 출력부(108)는 도 11에 도시된 바와 같은 제 1 및 제 2 극성반전신호(POL1, POL2) 중 제 2 극성반전신호(POL2)를 선택하여 데이터 드라이버(36)에 공급한다.

<113> 이에 따라, 데이터 드라이버(36)는 비디오 데이터의 극성을 극성반전신호 출력부(108)로부터 입력되는 제 1 및 제 2 극성반전신호(POL1, POL2)에 따라 변환하여 액정패널(40)에 공급한다. 이를 위해, 데이터 드라이버(36)는 도 14에 도시된 바와 같이 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(144)와, 샘플링신호에 응답하여 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터를 순차적으로 래치하여 동시에 출력하는 라인 래치부(146)와, 라인 래치부(146)로부터의 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터를 화소전압신호로 변환하는 디지털-아날로그 변환부(이하, "DAC부"라 함)(160)와, DAC부(160)로부터의 적색(R), 녹색(G) 및 청색(B)의 화소전압신호를 완충하여 출력하는 출력 버퍼부(156)를 구비한다. 이러한 구성을 가지는 데이터 드라이브(36) 각각은 n개씩의 데이터라인들(DL)을 구동하게 된다. 쉬프트 레지스터부(144)에 포함된 n/6개의 쉬프트 레지스터들은 타이밍 제어부(34)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다. 라인 래치부(146)는 쉬프트 레지스터부(144)로부터의 샘플링신호에 응답하여 타이밍 제어부(34)로부터의 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터를 일정단위씩 순차적으로 샘플링하여 래치하게 된다. 이를 위하여 래치부는 n개의 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터를 래치하기 위해 n개의 래치들로 구성되고, 그 래치들 각각은 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터의 비트수(3비트 또는 6비트)에 대응하는 크기를 갖는다. 특히 타이밍 제어부(34)는 전송주파수를 줄이기 위하여 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터를 짹수 데이터(Even Data)와 홀수 데이터(Odd Data)로 나누어 각각의 전송라인을 통해 동시에 출력하게 된다.

<114> 이에 따라 라인 래치부(146)는 샘플링신호마다 타이밍 제어부(34)를 경유하여 공급되는 짹수 데이터(Even Data)와 홀수 데이터(Odd Data), 즉 6개의 화소데이터를 동시에 래치하게 된다. 이어서, 라인 래치부(146)는 타이밍 제어부(34)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 래치된 n개의 비디오 데이터를 동시에 출력한다. 이 경우, 라인 래치부(146)는 데이터반전 선택신호에 응답하여 트랜지션 비트수가 줄어들게끔 변조된 비디오 데이터들을 복원시켜 출력하게 된다. 이는 타이밍 제어부(34)에서 데이터 전송시 전자기적 간섭(EMI)을 최소화하기 위하여 트랜지션되는 비트수가 기준치를 넘어서는 비디오 데이터들은 트랜지션 비트수가 줄어들게끔 변조하여 공급하기 때문이다.

<115> DAC부(160)는 라인 래치부(146)로부터의 비디오 데이터를 동시에 정극성 및 부극성 화소전압신호로 변환하여 출력하게 된다. 이를 위하여, DAC부(160)는 라인 래치부(146)에 공통 접속된 P(Positive) 디코딩부(150) 및 N(Negative) 디코딩부(152)와, P 디코딩부(150) 및 N 디코딩부(152)의 출력신호를 선택하기 위한 멀티플렉서부(MUX부; 154)를 구비한다.

<116> P 디코딩부(150)에 포함되는 n개의 P 디코더들은 라인 래치부(146)로부터 동시에 입력되는 n개의 비디오 데이터들을 감마회로(42)로부터의 정극성 감마전압들을 이용하여 정극성 화소전압신호로 변환하게 된다. N 디코딩부(152)에 포함되는 n개의 N 디코더들은 라인 래치부(146)로부터 동시에 입력되는 n개의 비디오 데이터들을 감마회로(42)로부터의 부극성 감마전압들을 이용하여 부극성 화소전압신호로 변환하게 된다.

<117> MUX부(154)는 타이밍 제어부(34)로부터의 극성반전신호(POL)에 응답하여 P 디코딩부(150)로부터의 정극성 화소전압신호 또는 N 디코딩부(152)로부터의 부극성 화소전압신호를 선택하여 출력하게 된다. 즉, MUX부(154)는 도 15에 도시된 바와 같이 다수의 멀티플렉서들(162)을 이용하여 타이밍 제어부(34)로부터의 극성반전신호(POL)에 따라 비디오 데이터의 극성을 2도트 인버전 방식으로 액정패널(40)에 공급한다.

<118> 이를 위해, MUX부의 멀티플렉서들(162) 각각은 P 디코딩부(150) 및 N 디코딩부(152) 각각으로부터의 정극성(+) 및 부극성(-) 신호에 따라 정극성 및 부극성 화소전압신호를 선택하여 출력하게 된다.

데이터전압 및 부극성(-) 데이터전압이 공급되는 제 1 및 제 2 입력단자와, 타이밍 제어부(34)로부터의 극성반전신호(POL)가 공급되는 선택신호 입력단자 및 출력버퍼부에 접속되는 출력단자를 구비한다. 이러한 멀티플렉서들(162) 중 우수번째 멀티플렉서들(162)의 선택신호 입력단자에는 타이밍 제어부(34)로부터의 극성반전신호(POL)를 반전시키기 위한 인버터(164)가 접속된다.

<119> 이에 따라, 데이터 드라이버(36)로부터 액정패널(40)에 공급되는 비디오 데이터는 도 16a 및 도 16b에 도시된 바와 같이 2도트 인버전 방식의 극성을 가지게 된다. 이 때, 데이터 드라이버(36)로부터 액정패널(40)에 공급되는 비디오 데이터의 극성은 데이터 인에이블신호(DE)의 백 포치 구간에 입력되는 수평동기신호(Hsync)의 개수에 따라 타이밍 제어부(34)의 극성반전신호 출력부(108)에 의해 제 1 극성반전신호(POL1) 및 제 2 극성반전신호(POL2) 중 어느 하나가 선택되어 MUX부(154)에 공급되기 때문에 상술한 바와 같이 정확한 2도트 인버전 방식을 가지게 된다.

<120> 한편, 타이밍 제어부(34)가 데이터 인에이블신호(DE)의 백 포치 구간에 입력되는 수평동기신호(Hsync)의 개수가 기수배일 때는 제 1 극성반전신호(POL1)를 생성하여 MUX부(154)에 공급하고, 우수배일 때는 제 2 극성반전신호(POL2)를 생성하여 MUX부(154)에 공급할 수 있다. 이런 경우에는 도 17a 및 도 17b에 도시된 바와 같이 비디오 데이터의 극성이 제 1 수평방향을 제외한 수직방향으로는 2도트 단위로 바뀌고, 수평방향으로는 1도트 단위로 바뀌는 2도트 인버전 구동방식으로 액정표시장치를 구동하게 된다.

<121> 이와 같이, 2도트 인버전 방식으로 구동되는 액정표시장치의 구동방법에서 발생되는 플리커를 조정하기 위하여 도 18 및 도 19와 같은 플리커 검사패턴을 사용하게 된다.

<122> 이를 상세히 하면, 우선 도 16a 및 도 16b에 도시된 제 1 인버전 방식으로 액정표시장치를 구동할 경우에는 도 18에 도시된 플리커 검사패턴을 표시하게 된다. 이에 따라, 제 1 인버전 방식의 액정패널(40) 상에 플리커 검사패턴을 표시할 경우에는 부극성(-)의 하프 그레이 패턴으로 인하여 프레임 주파수의 1/2이 되는 성분 즉, 프레임 주파수/2 성분이 나타나므로 플리커를 조정할 수 있게 된다. 즉, 도 16a 및 도 16b에 도시된 바와 같은 2도트 인버전 방식으로 액정표시장치를 구동할 경우에 액정패널(40)에 공급되는 비디오 데이터의 극성은 데이터 인에이블신호(DE)의 백 포치 구간에 공급되는 수평동기신호(Hsync)의 펠스 수가 기수배 또는 우수배에 상관없이 플리커 검사패턴이 나타나게 된다. 따라서, 액정패널(40) 상에는 부극성(-)의 하프 그레이 패턴으로 인하여 프레임 주파수의 1/2이 되는 성분 즉, 프레임 주파수/2 성분이 나타나므로 플리커를 조정할 수 있게 된다.

<123> 한편, 도 17a 및 도 17b에 도시된 제 2 인버전 방식으로 액정표시장치를 구동할 경우에는 도 19에 도시된 플리커 검사패턴을 표시하게 된다. 이에 따라, 제 2 인버전 방식의 액정패널(40) 상에 플리커 검사패턴을 표시할 경우에는 부극성(-)의 하프 그레이 패턴으로 인하여 프레임 주파수의 1/2이 되는 성분 즉, 프레임 주파수/2 성분이 나타나므로 플리커를 조정할 수 있게 된다. 즉, 도 17a 및 도 17b에 도시된 바와 같은 2도트 인버전 방식으로 액정표시장치를 구동할 경우에 액정패널(40)에 공급되는 비디오 데이터의 극성은 데이터 인에이블신호(DE)의 백 포치 구간에 공급되는 수평동기신호(Hsync)의 펠스 수가 기수배 또는 우수배에 상관없이 플리커 검사패턴이 나타나게 된다. 따라서, 액정패널(40) 상에는 부극성(-)의 하프 그레이 패턴으로 인하여 프레임 주파수의 1/2이 되는 성분 즉, 프레임 주파수/2 성분이 나타나므로 플리커를 조정할 수 있게 된다.

<124> 결과적으로, 본 발명의 실시 예에 따른 액정표시장치의 구동장치 및 구동방법은 데이터 인에이블신호(DE)의 백 포치 구간에 공급되는 수평동기신호(Hsync)의 펠스 수가 기수배 또는 우수배에 상관없이 2도트 인버전 구동방식의 비디오 데이터 극성과 동일한 극성반전신호를 데이터 드라이버(36)에 공급하게 된다. 또한, 이에 따라, 고정된 플리커 검사패턴을 사용하여 2도트 인버전 구동방식으로 구동되는 액정패널(40) 상의 플리커 발생을 조정할 수 있게 된다.

발명의 효과

<125> 상술한 바와 같이, 본 발명의 실시 예에 따른 액정표시장치의 구동장치 및 구동방법은 데이터 인에이블신호의 백 포치 구간에 공급되는 수평동기신호의 펠스 수를 카운팅하여 기수배 및 우수배에 따라 극성반전신호를 다르게 생성하여 데이터 드라이버에 공급하게 된다. 이에 따라, 액정패널 상세 표시되는 비디오 데이터의 극성을 정확한 2도트 인버전 구동방식으로 구동할 수 있게 된다. 나아가, 고정된 플리커 검사패턴을 사용하여 2도트 인버전 구동방식의 액정패널 상에 나타나는 플리커를 조정할 수 있게 된다.

<126> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이

가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정 되는 것이 아니라 특허 청구의 범위에 의해 정하여 죄야만 할 것이다.

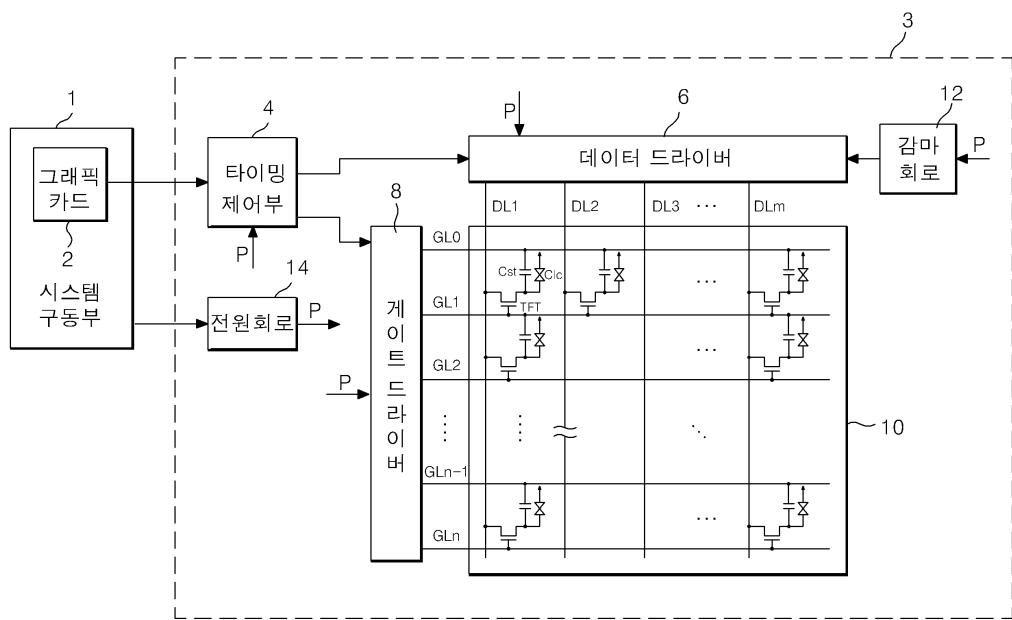
도면의 간단한 설명

- <1> 도 1은 종래의 액정표시장치를 나타내는 블록도.
 - <2> 도 2a 및 도 2b는 도 1에 도시된 액정패널에 공급되는 2도트 인버전 방식의 비디오 데이터의 극성패턴을 나타내는 도면.
 - <3> 도 3a 및 도 3b는 도 1에 도시된 액정패널에 공급되는 다른 2도트 인버전 방식의 비디오 데이터의 극성패턴을 나타내는 도면.
 - <4> 도 4는 도 1에 도시된 타이밍 제어부에서 데이터 드라이버에 공급되는 극성반전신호를 나타내는 과정도.
 - <5> 도 5는 도 4에 도시된 극성반전신호를 생성하기 위한 타이밍 제어부의 극성반전신호 생성부를 나타내는 회로도.
 - <6> 도 6은 데이터 인에이블의 백 포지 구간에 공급되는 수평동기신호의 개수에 따라 데이터 드라이버에 공급되는 극성반전신호가 다르게 공급되는 것을 나타내는 과정도.
 - <7> 도 7은 도 1에 도시된 타이밍 제어부로부터의 극성반전신호에 따라 비디오 데이터의 극성을 선택하여 액정패널에 공급하는 데이터 드라이버의 MUX부를 나타내는 도면.
 - <8> 도 8a 및 도 8b는 2도트 인버전 방식의 비디오 데이터의 극성패턴에 대하여 플리커 발생을 조정하기 위한 플리커 검사패턴을 나타내는 도면.
 - <9> 도 9a 및 도 9b는 데이터 인에이블의 백 포지 구간에 공급되는 수평동기신호의 개수에 따라 달라지는 극성반전 신호에 의해 플리커 검사패턴이 상쇄되는 것을 나타내는 도면.
 - <10> 도 10은 본 발명의 실시 예에 따른 액정표시장치를 나타내는 블록도.
 - <11> 도 11은 도 10에 도시된 타이밍 제어부에서 데이터 드라이버에 공급되는 극성반전신호를 나타내는 과정도.
 - <12> 도 12는 도 11에 도시된 극성반전신호를 생성하기 위한 본 발명의 실시 예에 따른 액정표시장치의 구동장치를 나타내는 블록도.
 - <13> 도 13은 도 12에 도시된 본 발명의 실시 예에 따른 액정표시장치의 구동장치를 나타내는 회로도.
 - <14> 도 14는 도 10에 도시된 데이터 드라이버를 나타내는 블록도.
 - <15> 도 15는 도 14에 도시된 데이터 드라이버의 MUX부를 나타내는 회로도.
 - <16> 도 16a 및 도 16b는 도 10 도시된 액정패널에 공급되는 2도트 인버전 방식의 비디오 데이터의 극성패턴을 나타내는 도면.
 - <17> 도 17a 및 도 17b는 도 10에 도시된 액정패널에 공급되는 다른 2도트 인버전 방식의 비디오 데이터의 극성패턴을 나타내는 도면.
 - <18> 도 18은 본 발명의 실시 예에 따른 액정표시장치의 구동방법에 의해 액정패널 상에 표시되는 플리커 검사패턴을 나타내는 도면.
 - <19> 도 19는 본 발명의 다른 실시 예에 따른 액정표시장치의 구동방법에 의해 액정패널 상에 표시되는 플리커 검사 패턴을 나타내는 도면
- < 도면의 주요 부분에 대한 부호의 설명 >
- <20> 삭제
- | | | |
|------|------------------|------------------|
| <21> | 1, 31 : 시스템 구동부 | 2, 32 : 그래픽 카드 |
| <22> | 3, 33 : 액정표시장치 | 4, 34 : 타이밍 제어부 |
| <23> | 6, 36 : 데이터 드라이버 | 8, 38 ; 케이트 드라이버 |

- | | | |
|------|----------------------|----------------------|
| <24> | 10, 40 : 액정패널 | 12, 42 : 감마회로 |
| <25> | 14, 44 : 전원회로 | 100 : 극성신호생성부 |
| <26> | 102 : 제 1 극성반전신호 생성부 | 104 : 제 1 극성반전신호 선택부 |
| <27> | 106 : 제 2 극성반전신호 생성부 | 108 : 극성반전신호 출력부 |
| <28> | 110 : 선택신호 생성부 | 112 : 수평동기신호 카운터부 |
| <29> | 114 : 수평동기신호 개수 판정부 | 116 : 판정부 |
| <30> | 118 : 리셋회로 | |

도면

도면1



도면2a

R	G	B	R	G	B
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+

도면2b

R	G	B	R	G	B
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-

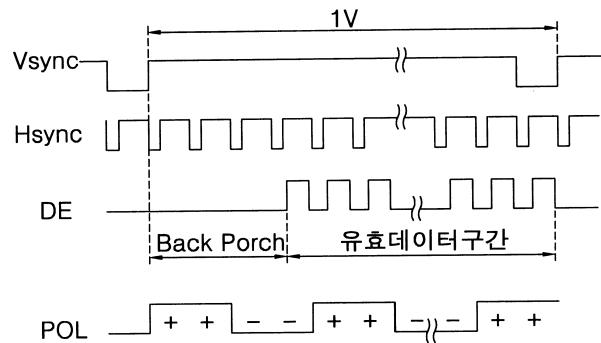
도면3a

R	G	B	R	G	B
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-

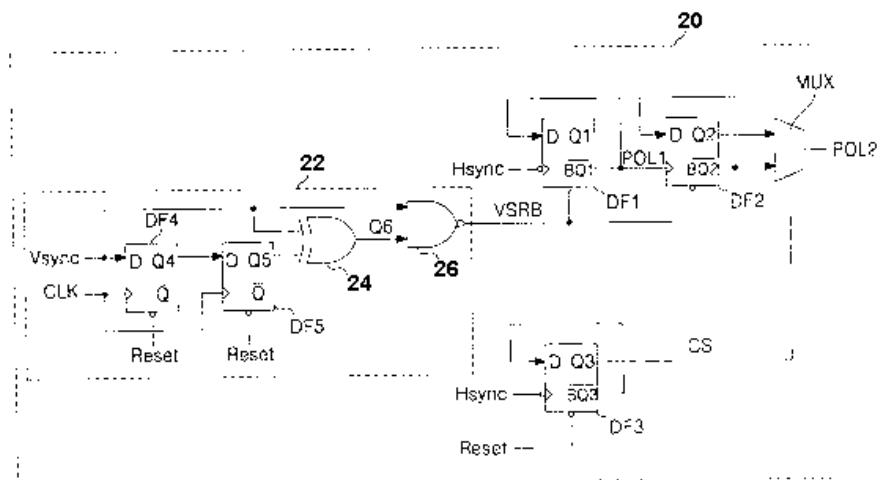
도면3b

R	G	B	R	G	B
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+

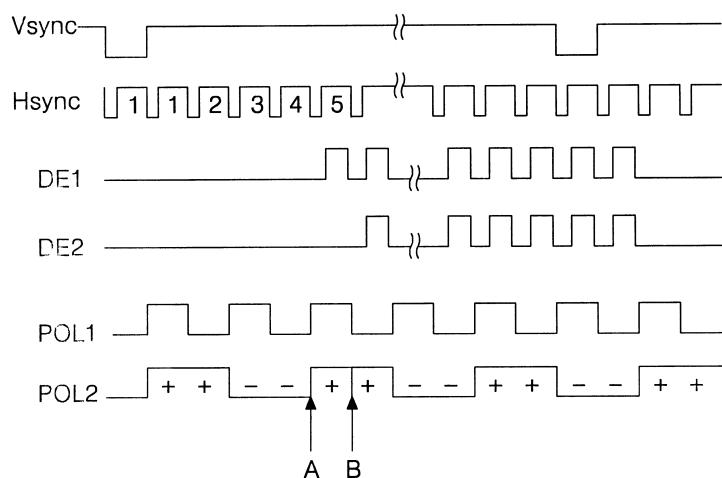
도면4



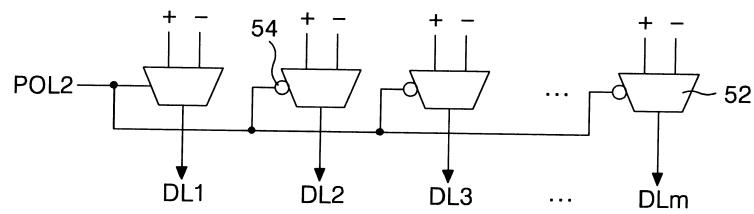
도면5



도면6



도면7



도면8a

R	G	B	R	G	B	R	G	B
+	/\	+	-	+	-	+	/\	+
+	/\	+	-	+	-	+	/\	+
-	+	-	+	/\	+	-	+	-
-	+	-	+	/\	+	-	+	-

Half Gray

Black

도면8b

R	G	B	R	G	B	R	G	B
+	/\	+	-	+	-	+	/\	+
-	+	-	+	/\	+	-	+	-
-	+	-	+	/\	+	-	+	-
+	/\	+	-	+	-	+	/\	+

Half Gray

Black

도면9a

풀리커 검사 패턴					
R	G	B	R	G	B
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+

풀리커 검사 패턴					
R	G	B	R	G	B
+	/		+	-	+
-	+		-	+	/
-	+		-	+	/
+	/		+	-	-

↓

풀리커 검사 패턴					
R	G	B	R	G	B
+	/		+	-	+
+	-		-	+	-
-	+		-	+	/
-	/		-	+	-

도면9b

Diagram illustrating the convolution operation from input 'a' to output 'c'. Input 'a' is a 4x3 grid of R, G, B values. Input 'b' is a 4x3 kernel with diagonal cross-hatching. The result 'c' is a 2x2 output grid where each cell is the sum of the overlapping elements from 'a' and 'b'.

R	G	B	R	G	B
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-

a

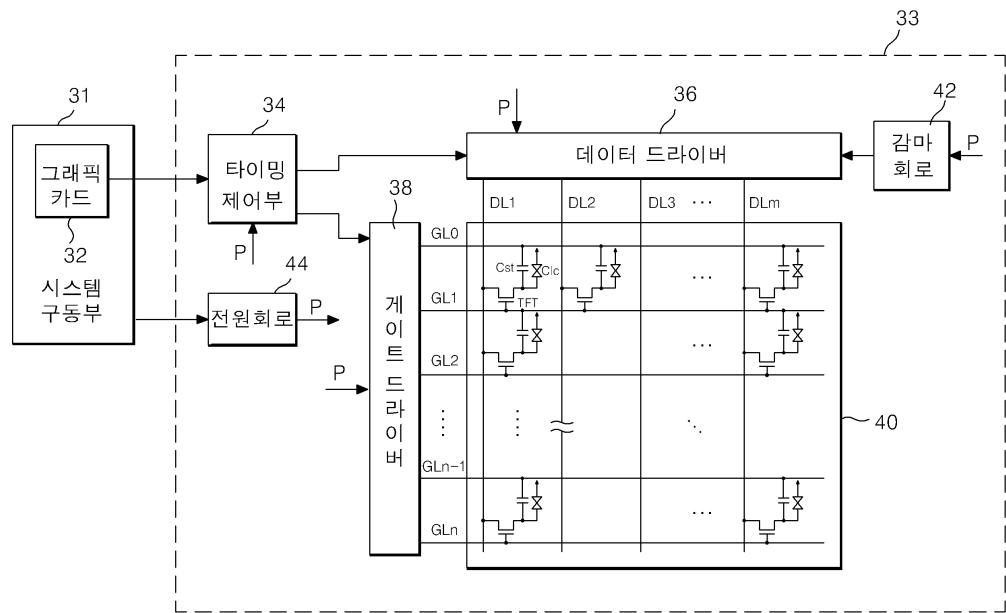
R	G	B	R	G	B
+	/\	/\	+	-	+
/\	/\	/\	+	-	+
-	+	-	+	/\	+
-	+	-	+	/\	+

b

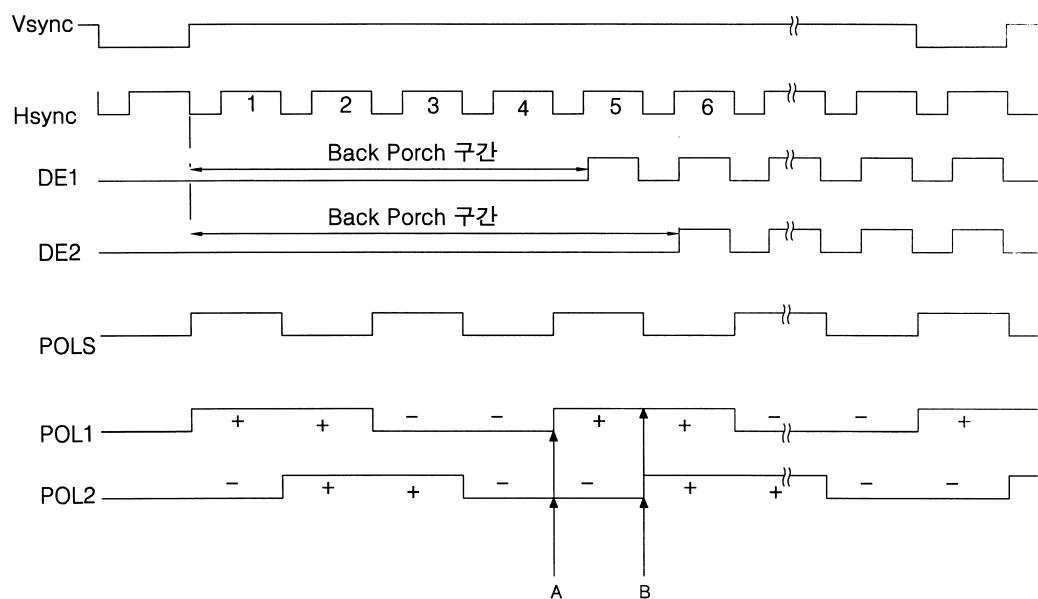
R	G	B	R	G	B
+	/\	/\	+	-	+
/\	/\	/\	+	-	+
-	+	-	+	/\	+
-	+	-	+	/\	+

c

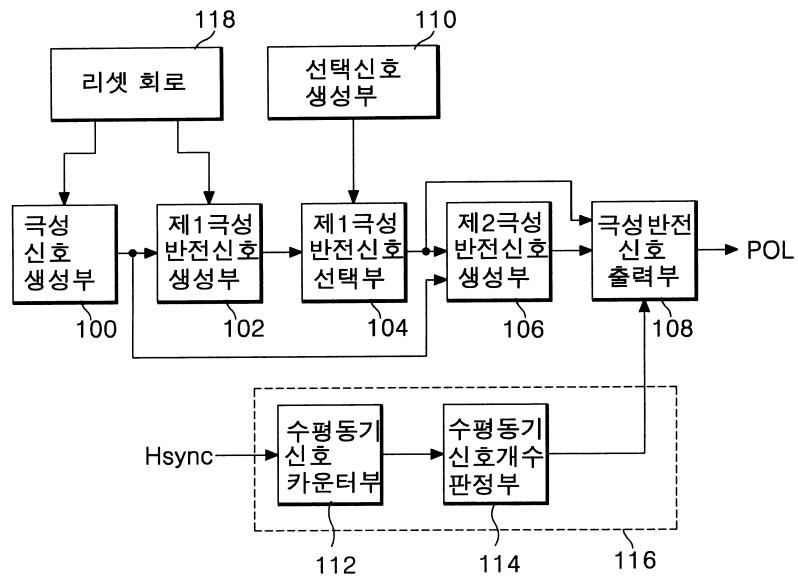
도면10



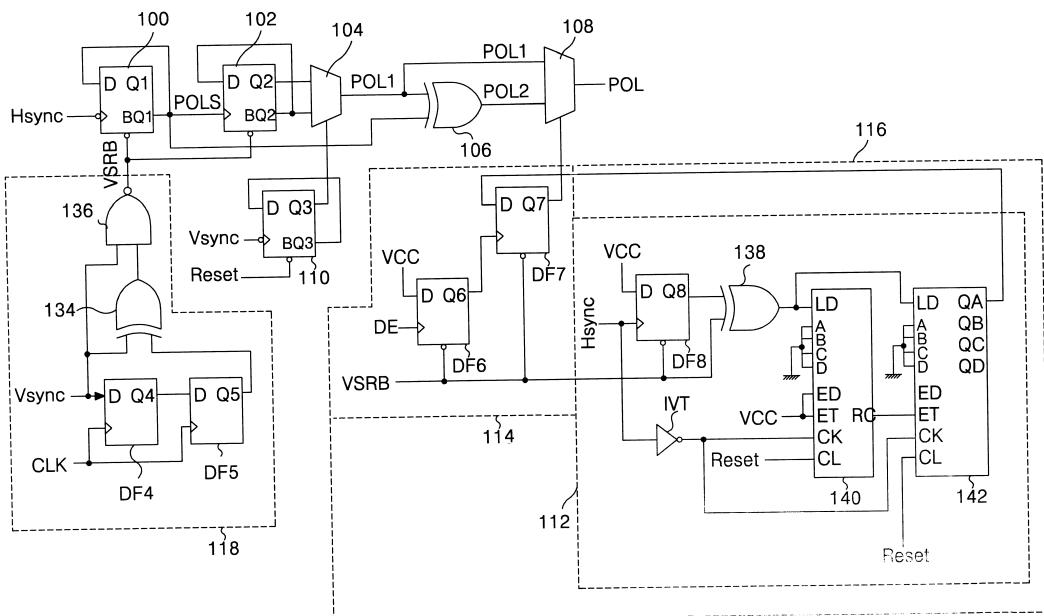
도면11



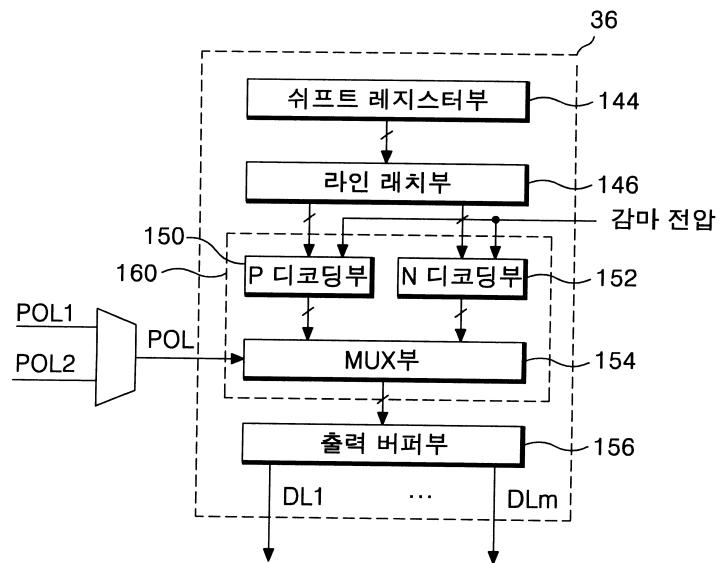
도면12



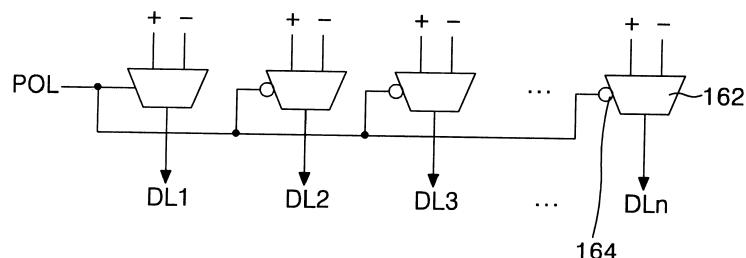
도면13



도면14



도면15



도면16a

R	G	B	R	G	B
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+

도면16b

R	G	B	R	G	B
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-

도면17a

R	G	B	R	G	B
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-

도면17b

R	G	B	R	G	B
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+
-	+	-	+	-	+
+	-	+	-	+	-
+	-	+	-	+	-
-	+	-	+	-	+

도면18

R	G	B	R	G	B	R	G	B
+	/\	+	-	+	-	+	/\	+
+	/\	+	-	+	-	+	/\	+
-	+	-	+	/\	+	-	+	-
-	+	-	+	/\	+	-	+	-

 Half Gray

 Black

도면19

R	G	B	R	G	B	R	G	B
+	/\	+	-	+	-	+	/\	+
-	+	-	+	/\	+	-	+	-
-	+	-	+	/\	+	-	+	-
+	/\	+	-	+	-	+	/\	+

 Half Gray

 Black

专利名称(译)	液晶显示装置的驱动装置和驱动方法		
公开(公告)号	KR100859666B1	公开(公告)日	2008-09-22
申请号	KR1020020042973	申请日	2002-07-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON SUNYOUNG 권순영 KIM JONGDAE 김종대		
发明人	권순영 김종대		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2320/0247 G09G3/3688 G09G2310/027 G09G3/3611 G09G3/3614 G09G2310/0297 G09G2320/06 G09G3/3648		
其他公开文献	KR1020040009136A		
外部链接	Espacenet		

摘要(译)

本发明是一种液晶显示，以产生相同的极性反转信号，并提供给的间隔点版本方案的水平同步信号的数量施加到液晶面板无论后沿2的2点反转方法的数据极性更具体地说，涉及一种驱动装置及其驱动方法。和根据本发明的一个实施方式的液晶显示装置的液晶面板驱动装置包括多条数据线和栅极线被布置成矩阵形式，用于向数据线提供视频数据的数据驱动器，用于向栅极线提供栅极脉冲的栅极驱动器，以及用于控制数据驱动器和栅极驱动器的定时的定时控制器，根据水平同步信号的数量产生彼此不同的极性反转信号，将极性反转信号提供给数据驱动器，以及用于控制极性的定时控制部分。利用这种布置，本发明是建立在响应于组几次和最佳次极性反转信号来计数提供给供给至从数据驱动器不同的数据使能信号的后沿期间的水平同步信号的脉冲的数目。因此，可以通过具有精确2点的版本驱动方法来驱动要在液晶面板上详细显示的视频数据的极性。是的。

