



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월13일
(11) 등록번호 10-0828469
(24) 등록일자 2008년05월02일

(51) Int. Cl.
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01) H02M 3/06 (2006.01)
(21) 출원번호 10-2006-0105825
(22) 출원일자 2006년10월30일
심사청구일자 2006년10월30일
(65) 공개번호 10-2007-0046747
(43) 공개일자 2007년05월03일
(30) 우선권주장
JP-P-2005-00315616 2005년10월31일 일본(JP)
(56) 선행기술조사문헌
KR 10-2002-95169 A
KR 10-1991-13037 A
KR 10-2002-95163 A

(73) 특허권자
엔이씨 일렉트로닉스 가부시키키가이샤
일본 211-8668 가나가와켄 가와사끼시 나카하라쿠
시모누마베 1753
(72) 발명자
다카하시 유키오
일본 가나가와켄 가와사끼시 나카하라쿠 시모누마
베 1753 엔이씨일렉트로닉스 가부시키키가이샤 나이
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 18 항

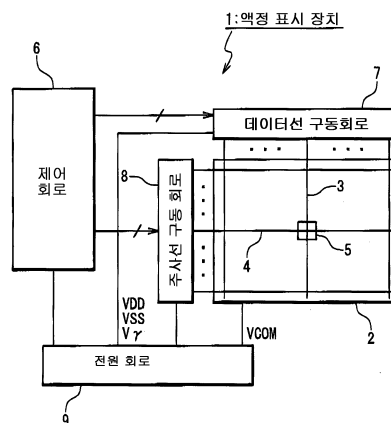
심사관 : 김세영

(54) 액정 표시 구동기, 및 액정 표시 구동기를 설치한 액정표시 장치

(57) 요약

액정 표시 구동기는 디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성되는 제 1 선택 회로; 및 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성되는 제 2 선택 회로를 포함한다. 제 1 선택 회로에서 포함된 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 제 2 선택 회로에서 포함된 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 작다. 또한, 제 1 MOS 트랜지스터의 오프셋 길이는 제 2 MOS 트랜지스터의 길이보다 더 짧다. 액정 표시 구동기는 제 1 전압 범위 및 제 2 전압 범위의 계조 전압들을 제 1 및 제 2 선택 회로들에 제공하도록 구성되는 전압 생성 회로를 더 포함한다. 제 1 및 제 2 선택 회로들 중 하나는 디지털 신호에 기초한 계조 전압들 중 하나를 출력한다.

대표도 - 도3



특허청구의 범위

청구항 1

디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성되는 제 1 선택 회로; 및
상기 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성되는 제 2 선택 회로를 포함하며,
상기 제 1 선택 회로에 포함된 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 상기 제 2 선택 회로에 포함된 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 작으며,
상기 제 1 MOS 트랜지스터의 오프셋 길이는 상기 제 2 MOS 트랜지스터의 오프셋 길이보다 짧은, 액정 표시 구동기.

청구항 2

제 1 항에 있어서,
상기 제 1 및 제 2 선택 회로들에 상기 제 1 전압 범위 및 상기 제 2 전압 범위의 계조 전압들을 제공하도록 구성된 전압 생성 회로를 더 포함하며,
상기 제 1 및 제 2 선택 회로들 중 하나는 상기 디지털 신호에 기초해서 상기 계조 전압들 중 하나를 출력하는, 액정 표시 구동기.

청구항 3

제 1 항 또는 제 2 항에 있어서,
동일한 전압이 상기 제 1 MOS 트랜지스터의 백 게이트 및 상기 제 2 MOS 트랜지스터의 백 게이트에 가해지며,
동일한 전압과 상기 제 1 전압 범위 사이의 차이는 동일한 전압과 상기 제 2 전압 범위 사이의 차이보다 더 작은, 액정 표시 구동기.

청구항 4

제 1 항 또는 제 2 항에 있어서,
상기 제 2 MOS 트랜지스터의 게이트 길이는 상기 제 1 MOS 트랜지스터의 게이트 길이보다 더 짧은, 액정 표시 구동기.

청구항 5

제 1 항 또는 제 2 항에 있어서,
상기 제 1 MOS 트랜지스터의 게이트 너비는 상기 제 2 MOS 트랜지스터의 게이트 너비보다 더 작은, 액정 표시 구동기.

청구항 6

제 1 항 또는 제 2 항에 있어서,
상기 제 1 MOS 트랜지스터 및 제 2 MOS 트랜지스터 각각은,
드리프트 영역을 위한 저농도 확산 레이어; 및
상기 백 게이트에 고정된 전압을 가하기 위해서 사용되는 접촉 확산 레이어를 포함하며,
상기 제 1 MOS 트랜지스터에서의 상기 접촉 확산 레이어와 상기 저농도 확산 레이어 사이의 최단거리가 상기 제 2 MOS 트랜지스터에서의 상기 접촉 확산 레이어와 상기 저농도 확산 레이어 사이의 최단거리보다 더 짧은, 액정 표시 구동기.

청구항 7

제 1 항 또는 제 2 항에 있어서,

전원 전압은 상기 제 1 MOS 트랜지스터의 백 게이트 및 상기 제 2 MOS 트랜지스터의 백 게이트에 가해지고,
상기 제 1 전압 범위의 전압은 상기 전원 전압보다 더 작으며,
상기 제 2 전압 범위의 전압은 상기 제 1 전압 범위의 전압보다 더 작은, 액정 표시 구동기.

청구항 8

제 7 항에 있어서,
상기 제 1 선택 회로 및 상기 제 2 선택 회로 각각은,
상기 제 1 전압 범위 및 상기 제 2 전압 범위 중 대응하는 것에 제공되는 단자; 및
소스/드레인 중 하나가 상기 단자에 접속되는 제 1 스테이지 MOS 트랜지스터를 포함하며,
상기 전원 전압이 상기 제 1 스테이지 MOS 트랜지스터의 백 게이트에 가해지며,
상기 제 1 스테이지 MOS 트랜지스터에 있어서, 상기 소스 및 드레인 중 상기 단자에 접속된 하나의 오프셋 길이는 다른 하나의 오프셋 길이보다 더 긴, 액정 표시 구동기.

청구항 9

제 8 항에 있어서,
상기 제 1 선택 회로 및 상기 제 2 선택 회로의 상기 다른 하나의 오프셋 길이들은, 각각, 상기 제 1 MOS 트랜지스터의 상기 오프셋 길이 및 상기 제 2 MOS 트랜지스터의 상기 오프셋 길이와 동일한, 액정 표시 구동기.

청구항 10

디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성된 제 1 선택 회로; 및
상기 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성된 제 2 선택 회로를 포함하며,
상기 제 1 선택 회로에서의 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 상기 제 2 선택 회로에서의 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 더 작으며,
상기 제 1 MOS 트랜지스터의 게이트는 상기 제 2 MOS 트랜지스터의 게이트 보다 더 작은, 액정 표시 구동기.

청구항 11

제 10 항에 있어서,
상기 제 1 전압 범위 및 상기 제 2 전압 범위의 계조 전압들을 상기 제 1 및 제 2 선택 회로들에 제공하도록 구성된 전압 생성 회로를 더 포함하며,
상기 제 1 및 제 2 선택 회로들 중 하나는 상기 디지털 신호에 기초해서 상기 계조 전압들 중 하나를 출력하는, 액정 표시 구동기.

청구항 12

제 10 항 또는 제 11 항에 있어서,
상기 제 1 MOS 트랜지스터에서는, 좁은 채널 효과 (narrow channel effect) 가 나타나는, 액정 표시 구동기.

청구항 13

디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성된 제 1 선택 회로; 및
상기 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성된 제 2 선택 회로를 포함하며,
상기 제 1 선택 회로에서의 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 상기 제 2 선택 회로에서의 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 더 작으며,
상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터 각각은,

드리프트 영역을 위한 저농도 확산 레이어; 및

상기 백 게이트에 고정된 전압을 가하도록 구성된 접촉 확산 레이어를 포함하며,

상기 제 1 MOS 트랜지스터에서의 상기 접촉 확산 레이어와 상기 저농도 확산 레이어 사이의 최단거리는 상기 제 2 MOS 트랜지스터에서의 상기 접촉 확산 레이어와 상기 저농도 확산 레이어 사이의 최단거리보다 더 짧은, 액정 표시 구동기.

청구항 14

제 13 항에 있어서,

상기 제 1 전압 범위 및 상기 제 2 전압 범위의 계조 전압들을 상기 제 1 및 제 2 선택 회로들에 제공하도록 구성되는 전압 생성 회로를 더 포함하며,

상기 제 1 및 제 2 선택 회로들 중 하나는 상기 디지털 신호에 기초해서 상기 계조 전압들 중 하나를 출력하는, 액정 표시 구동기.

청구항 15

제 13 항 또는 제 14 항에 있어서,

상기 디지털 신호에 기초해서 제 3 전압 범위로부터 전압을 선택하도록 구성되는 제 3 선택 회로; 및

상기 디지털 신호에 기초해서 제 4 전압 범위로부터 전압을 선택하도록 구성되는 제 4 선택 회로를 더 포함하며,

상기 제 3 선택 회로에서의 제 3 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 상기 제 4 선택 회로에서의 제 4 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 더 작으며,

상기 제 3 MOS 트랜지스터의 오프셋 길이는 상기 제 4 MOS 트랜지스터의 오프셋 길이보다 더 짧은, 액정 표시 구동기.

청구항 16

제 13 항 또는 제 14 항에 있어서,

상기 제 1 MOS 트랜지스터 및 제 2 MOS 트랜지스터는 P-채널 MOS 트랜지스터들이며,

상기 제 3 MOS 트랜지스터 및 상기 제 4 MOS 트랜지스터는 N-채널 MOS 트랜지스터들인, 액정 표시 구동기.

청구항 17

제 16 항에 있어서,

상기 제 1 전압 범위의 전압 및 상기 제 2 전압 범위의 전압은 공통 전압보다 더 크며,

상기 제 3 전압 범위의 전압 및 상기 제 4 전압 범위의 전압은 상기 공통 전압보다 더 작은, 액정 표시 구동기.

청구항 18

액정 표시 구동기; 및

복수의 픽셀들을 가진 액정 표시 패널을 포함하며,

상기 액정 표시 구동기는,

디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성되는 제 1 선택 회로;

상기 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성되는 제 2 선택 회로; 및

상기 제 1 전압 범위 및 상기 제 2 전압 범위의 계조 전압들을 상기 제 1 및 제 2 선택 회로들에 제공하도록 구성되는 전압 생성 회로를 포함하며,

상기 제 1 및 제 2 선택 회로들 중 하나는 상기 디지털 신호에 기초해서 계조 전압들 중 하나를 출력하며,

상기 액정 표시 구동기는 상기 복수의 픽셀들 중 어느 하나에 게조 전압을 가하며,

상기 제 1 선택 회로에 포함된 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 상기 제 2 선택 회로에 포함된 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 작으며,

상기 제 1 MOS 트랜지스터의 오프셋 길이는 상기 제 2 MOS 트랜지스터의 오프셋 길이보다 짧은, 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 입력 디지털 신호에 대응하는 전압을 출력하는 전압 선택 회로에 관한 것이다.
- <21> 최근에, 액정 텔레비전 및 액정 PC 모니터가 빠르게 확산되고 있다. 또한, 휴대폰의 더욱 향상된 기술과 함께, 넓은 스케일 및 높은 선명도를 가진 액정 표시 패널에 대한 수요가 증가되고 있다. 이러한 배경하에서, 액정 표시 패널을 구동시키는 구동기에 대한 시장이 빠르게 성장하고 있으며, 액정 표시 구동기의 생산 비용에 대한 절감이 더욱 요구된다.
- <22> 디지털/아날로그 (D/A) 변환 회로가 액정 표시 구동기에 설치된다. 이 D/A 변환 회로는 디지털 포맷의 이미지 데이터를 픽셀에 가해지는 아날로그 게조 전압으로 변환한다. 따라서, 이런 D/A 변환 회로는 이미지 데이터에 대응하는 게조 전압을 결정하기 위한 [게조 전압 결정 회로]로 불릴 수 있다.
- <23> 도 1 은 통상적인 게조 전압 결정 회로 (50) 의 구조를 도시한다. 예를 들면, 이런 게조 전압 결정 회로 (50) 는 6 비트 디지털 이미지 신호 D0 내지 D5에 기초해서 64 개의 게조 출력 전압들 (게조 전압들) V0 내지 V63 을 출력할 수 있다. 상세하게는, 게조 전압 결정 회로 (50) 는 게조 전압 생성 회로 (51) 및 게조 전압 선택 회로 (52) 를 가진다. 참조 전압들 Vref0 내지 Vref9 는 외부 전원으로부터 게조 전압 생성 회로 (51) 에 제공된다. 이런 게조 전압 생성 회로 (51) 는 64 개의 저항들 R1 내지 R64 로 구성된 저항 배열을 가진다. 입력 참조 전압들 Vref0 내지 Vref9 는 저항 배열에 의해서 적절하게 분할된다. 따라서, 게조 전압들 V0 내지 V63 스테이지들이 생성된다.
- <24> 한편, 게조 전압 선택 회로 (52) 는 디지털 이미지 신호들 D0 내지 D5 및 게조 전압들 V0 내지 V63 을 수신하고 디지털 이미지에 기초해서 게조 전압들 V0 내지 V63 중에서 하나의 게조 전압을 선택한다. 즉, 게조 전압 선택 회로 (52) 는 디지털 이미지 신호 D0 내지 D5 를 디코딩하는 역할을 수행한다. 통상적으로, 12 내지 18 볼트 이상의 브레이크다운 전압 (breakdown voltage) 이 액정 표시 구동기에 요구된다. 디코더로써 역할을 하는 게조 전압 선택 회로 (52) 는 매트릭스 형태의 레이아웃을 가지는 많은 수의 높은 브레이크다운 전압 MOS 트랜지스터들로 구성된다. 게조 전압 선택 회로 (52) 에 의해서 선택된 하나의 게조 전압은 출력 단자 OUT에서 출력되고 픽셀에 가해진다.
- <25> 도 2 는 액정의 출력 전압 (게조 전압) V 와 광 투과율 T 사이의 이상적 관계 ([V-T 특성]으로 불림) 를 도시한다. 도 2 에서 도시한 바와 같이, 이상적 V-T 특성은 비-선형적 곡선으로 표현된다. 게조 전압 생성 회로 (51) 에 제공되는 참조 전압들 Vref0 내지 Vref9를 조정하는 것에 의해서, 출력 전압을 보상하고 V-T 특성을 이상적 형태에 가깝게 만드는 것이 가능하다.
- <26> 액정 표시 구동기에 관계된 종래의 기술로써, 참조 전압 스위칭 회로가 일본 출원 공개 특허 출원 (JP-P2001-36407A) 에서 개시된다. 이런 참조 전압 스위칭 회로는 게조 전압 선택 회로 (52) 에 대응한 디지털 데이터 전압 디코딩 회로를 가진다. 디코딩 회로는, 도 1 에 도시된 바와 같이, 복수의 블록들 52-1 내지 52-I 로 분할된다. 그 후, 각각의 블록에서 포함된 MOS 트랜지스터의 웰 전압 (well voltage) 이 각각의 블록에 대해서 다르게 정해진다. 즉, MOS 트랜지스터의 백 게이트에 가해지는 전압은 각각의 블록에 대해서 다르다.
- <27> 또한, 일본 출원 공개 특허 출원 (JP-A-Heisei, 8-279564) 은 게조 전압 선택 회로 (52) 에 대응하는 전압 선택기 회로를 개시한다. 전압 선택기 회로는 선택 전압들을 출력하기 위한 복수의 MIS 트랜지스터들이 제공되고, 또한 도 1 에서 도시된 복수의 블록들로 분할된다. 그 후, MIS 트랜지스터의 채널 길이는 각각의 블록

에 대하여 다르게 설계된다. 상세하게는, 중간 선택 전압을 선택하는 것에 의해서 기판 바이어스 영향이 가해지는 MIS 트랜지스터의 채널 길이는, 가장 높거나 가장 낮은 선택 전압을 선택하는 것에 의해서 기판 바이어스 영향이 가해지지 않는 MIS 트랜지스터의 채널 길이보다 짧게 설계된다.

<28> 본 발명자는 다음 사항들에 중점을 둔다. 즉, 오프셋 게이트 구조를 가진 많은 수의 높은 브레이크다운 전압이 도 1 에 도시된 계조 전압 선택 회로 (52) 에서 사용된다. 높은 브레이크다운 전압 MOS 트랜지스터의 크기는 크고, 많은 수의 높은 브레이크다운 전압 MOS 트랜지스터들을 요구하는 계조 전압 선택 회로 (52) 의 면적은 매우 크게 된다. 이러한 사실은 액정 표시 구동기의 비용의 상승을 유발한다. 특히, TV에 대한 액정 표시 장치에서, 1,000,000,000 컬러를 표시할 수 있는 액정 표시 구동기가 보다 더 큰 스케일의 스크린 크기 및 보다 더 높은 이미지 품질 표시 성능을 달성하기 위해서 요구된다. 이러한 이유로, 1024 계조들 (10 비트들) 의 출력 전압을 다룰 수 있는 계조 전압 선택 회로 (52) 가 요구된다. 따라서, 소자들의 개수 증가에 의해서 초래되는 회로 면적의 확대는 더욱 심각해진다. 이것은 액정 표시 구동기의 비용의 더 많은 상승을 초래한다.

발명이 이루고자 하는 기술적 과제

<29> 따라서, 본 발명의 목적은 면적이 크게 감소될 수 있는 액정 구동기를 제공하는 것이다.

<30> 본 발명의 다른 목적은 다른 특별한 제조 과정을 요구하는 것 없이 액정 구동기의 면적이 크게 감소될 수 있는 액정 구동기를 제공하는 것이다.

발명의 구성 및 작용

<31> 본 발명의 일 태양에 따르면, 액정 표시 구동기는 디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성되는 제 1 선택 회로; 및 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성되는 제 2 선택 회로를 포함한다. 제 1 선택 회로에서 포함된 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 제 2 선택 회로에서 포함된 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 작다. 또한, 제 1 MOS 트랜지스터의 오프셋 길이는 제 2 MOS 트랜지스터의 길이보다 더 짧다.

<32> 여기에서, 액정 표시 구동기는 제 1 전압 범위 및 제 2 전압 범위의 계조 전압들을 제 1 및 제 2 선택 회로들에 제공하도록 구성된 전압 생성 회로를 더 포함할 수도 있다. 제 1 및 제 2 선택 회로들 중 하나는 디지털 신호에 기초해서 계조 전압들 중 하나를 출력한다.

<33> 또한, 제 1 MOS 트랜지스터의 백 게이트 및 제 2 MOS 트랜지스터의 백 게이트에 동일한 전압이 가해질 수도 있고, 제 1 전압 범위와 동일한 전압 사이의 차이는 제 2 전압 범위와 동일한 전압 사이의 차이보다 더 작을 수도 있다.

<34> 또한, 제 2 MOS 트랜지스터의 게이트 길이는 제 1 MOS 트랜지스터의 게이트 길이보다 더 짧을 수도 있다.

<35> 또한, 제 1 MOS 트랜지스터의 게이트 너비는 제 2 MOS 트랜지스터의 게이트 너비보다 더 작을 수도 있다.

<36> 또한, 각각의 제 1 MOS 트랜지스터 및 제 2 MOS 트랜지스터는 드리프트 영역 (drift region) 을 위한 저농도 확산 레이어 (low concentration diffusion layer) ; 및 고정된 전압을 백 게이트에 가하는 데 이용되는 접촉 확산 레이어 (contact diffusion layer) 를 포함할 수도 있다. 제 1 MOS 트랜지스터에서의 접촉 확산 레이어와 저농도 확산 레이어 사이의 가장 짧은 길이는 제 2 MOS 트랜지스터에서의 접촉 확산 레이어와 저농도 확산 레이어 사이의 가장 짧은 길이보다 더 짧을 수도 있다.

<37> 또한, 전원 전압이 제 1 MOS 트랜지스터의 백 게이트 및 제 2 MOS 트랜지스터의 백 게이트에 가해질 수도 있다. 제 1 전압 범위의 전압은 전원 전압보다 더 작을 수도 있고, 제 2 전압 범위의 전압은 제 1 전압 범위의 전압보다 더 작을 수도 있다.

<38> 이러한 경우에, 제 1 선택 회로 및 제 2 선택 회로의 각각은 제 1 전압 범위 및 제 2 전압 범위의 대응하는 것에 제공되는 단자; 및 소스/드레인의 하나가 이 단자에 접속된 제 1 스테이지 MOS 트랜지스터를 포함할 수도 있다. 전원 전압은 제 1 스테이지 MOS 트랜지스터의 백 게이트에 가해질 수도 있고, 단자에 접속된 드레인 및 소스 중 하나의 오프셋 길이는 제 1 스테이지 MOS 트랜지스터내의 다른 백 게이트의 오프셋 길이보다 더 길 수도 있다.

- <39> 또한, 제 1 선택 회로 및 제 2 선택 회로 내의 타 단면 상의 오프셋 길이들은, 각각, 제 1 MOS 트랜지스터의 오프셋 길이 및 제 2 MOS 트랜지스터의 오프셋 길이와 같을 수도 있다.
- <40> 본 발명의 다른 태양에 따르면, 액정 표시 구동기는 디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성된 제 1 선택 회로; 및 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성된 제 2 선택 회로를 포함한다. 제 1 선택 회로에서의 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 제 2 선택 회로에서의 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 더 작을 수 있으며, 제 1 MOS 트랜지스터의 게이트 너비는 제 2 MOS 트랜지스터의 게이트 너비보다 더 작다.
- <41> 여기에서, 액정 표시 구동기는 제 1 전압 범위 및 제 2 전압 범위의 계조 전압들을 제 1 및 제 2 선택 회로들에 제공하도록 구성되는 전압 생성 회로를 포함한다. 제 1 및 제 2 선택 회로들 중 하나는 디지털 신호에 기초해서 계조 전압들 중 하나를 출력할 수도 있다.
- <42> 또한, 제 1 MOS 트랜지스터에서, 좁은 채널 효과 (narrow channel effect) 가 나타난다.
- <43> 본 발명의 다른 태양에 따르면, 액정 표시 구동기는 디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성되는 제 1 선택 회로; 및 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성되는 제 2 선택 회로를 포함한다. 제 1 선택 회로에서의 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 제 2 선택 회로에서의 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 더 작다. 제 1 MOS 트랜지스터 및 제 2 MOS 트랜지스터 각각은 드리프트 영역을 위한 저농도 확산 레이어; 및 고정된 전압을 백 게이트에 가하기 위해서 구성되는 접촉 확산 레이어를 포함하며, 제 1 MOS 트랜지스터에서 접촉 확산 레이어와 저농도 확산 레이어 사이의 최단거리는 제 2 MOS 트랜지스터에서 접촉 확산 레이어와 저농도 확산 레이어 사이의 최단거리보다 더 짧다.
- <44> 또한, 액정 표시 구동기는 제 1 전압 범위 및 제 2 전압 범위의 계조 전압들을 제 1 및 제 2 선택 회로들에 제공하도록 구성되는 전압 생성 회로를 더 포함한다. 제 1 및 제 2 선택 회로들 중 하나는 디지털 신호에 기초해서 계조 전압들 중 하나를 출력할 수도 있다.
- <45> 또한, 액정 표시 구동기는 디지털 신호에 기초해서 제 3 전압 범위로부터 전압을 선택하도록 구성되는 제 3 선택 회로; 및 디지털 신호에 기초해서 제 4 전압 범위로부터 전압을 선택하도록 구성되는 제 4 선택 회로를 더 포함한다. 제 3 선택 회로에서의 제 3 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 제 4 선택 회로에서의 제 4 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압보다 더 작으며, 제 3 MOS 트랜지스터의 오프셋 길이는 제 4 MOS 트랜지스터의 오프셋 길이보다 더 짧다.
- <46> 여기에서, 제 1 MOS 트랜지스터 및 제 2 MOS 트랜지스터는 P-채널 MOS 트랜지스터들일 수도 있고, 제 3 MOS 트랜지스터 및 제 4 MOS 트랜지스터는 N-채널 MOS 트랜지스터일 수도 있다.
- <47> 또한, 제 1 전압 범위의 전압 및 제 2 전압 범위의 전압은 소정의 공통 전압보다 더 클 수도 있다. 제 3 전압 범위의 전압 및 제 4 전압 범위의 전압은 소정의 공통 전압보다 더 작을 수도 있다.
- <48> 본 발명의 다른 태양에서, 액정 표시 장치는 액정 표시 구동기; 및 복수의 픽셀들을 가진 액정 표시 패널을 포함한다. 액정 표시 구동기는 디지털 신호에 기초해서 제 1 전압 범위로부터 전압을 선택하도록 구성되는 제 1 선택 회로; 디지털 신호에 기초해서 제 2 전압 범위로부터 전압을 선택하도록 구성되는 제 2 선택 회로; 및 제 1 전압 범위 및 제 2 전압 범위의 계조 전압들을 제 1 및 제 2 선택 회로들에 제공하도록 구성되는 전압 생성 회로를 포함한다. 제 1 및 제 2 선택 회로들 중 하나는 디지털 신호에 기초해서 계조 전압들 중 하나를 출력하고, 액정 표시 구동기는 복수의 픽셀들 중 하나에 계조 전압을 가한다. 제 1 선택 회로에서 포함된 제 1 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에 가해지는 전압은 제 2 선택 회로에서 포함된 제 2 MOS 트랜지스터의 백 게이트와 확산 레이어 사이에서 가해지는 전압보다 작으며, 제 1 MOS 트랜지스터의 오프셋 길이는 제 2 MOS 트랜지스터의 오프셋 길이보다 더 짧다.
- <49> 이하에서, 본 발명의 일 실시형태에 따라서 전압 선택 회로가 수반된 도면들을 참조해서 자세히 설명될 것이다. 전압 선택 회로는 액정 표시 장치에서 사용된 계조 전압 선택 회로이다.
- <50> 도 3 은 본 발명의 일 실시형태에 따른 액정 표시 장치 (1) 의 구조를 도시하는 블록도이다. 액정 표시 장치 (1) 에는 매트릭스로 배열된 복수의 픽셀들 (5) 을 가진 액정 표시 패널 (2) 이 제공된다. 액정 표시 패널 (2) 상에서, 복수의 데이터선들 (3) 및 복수의 주사선들 (4) 이 서로 교차하도록 형성되며, 각각의 교차점에 픽셀 (5) 이 형성된다. 픽셀 (5) 은 TFT (박막 트랜지스터 : Thin Film Transistor), 액정 및 공통 전극을

가진다. TFT의 게이트 단자는 주사선 (4) 에 접속되고, TFT의 소스 단자 또는 드레인 단자는 데이터선 (3) 에 접속된다. 액정의 일 말단은 TFT의 소스 단자 또는 드레인 단자에 접속된다. 액정의 다른 말단은 일정한 공통 전압 VCOM이 가해지는 공통 전극에 접속된다.

- <51> 또한, 액정 표시 장치 (1) 는 제어 회로 (6), 데이터선 구동 회로 (7) 및 주사선 구동 회로 (8) 를 포함한다. 데이터선 구동 회로 (7) 는 복수의 데이터선들 (3) 을 구동하기 위한 구동기 (소스 구동기) 이다. 주사선 구동 회로 (8) 는 복수의 주사선들 (4) 을 구동하기 위한 구동기 (게이트 구동기) 이다. 제어 회로 (6) 는 주사선 제어 신호를 주사선 구동 회로 (8) 에 출력하고 표시되어야 할 이미지에 기초하여, 데이터선 구동 회로 (7) 에 데이터선 제어 회로 및 디지털 이미지 신호를 출력한다. 주사선 구동 회로 (8) 는 주사선 제어 신호에 따라서 복수의 주사선들 (4) 을 구동한다. 또한, 데이터 구동 회로 (7) 는 데이터선 제어 회로에 따라 디지털 이미지 신호에 기초해서 아날로그 계조 전압을 복수의 데이터선들 (3) 에 출력한다. 따라서, 이미지에 기초한 계조 전압 (픽셀 전압) 은 선택된 하나의 주사선 (4) 에 연결된 각각의 복수의 픽셀들 (5) 에 가해진다. 복수의 주사선들 (4) 은 연속적으로 구동되기 때문에, 이미지는 액정 표시 패널 (2) 상에 표시된다.
- <52> 또한, 액정 표시 장치 (1) 는 전원 회로 (9) 가 제공된다. 전원 회로 (9) 는 각각의 회로에 소정의 전압을 제공한다. 예를 들면, 전원 회로 (9) 는, 이하에서 설명될, 제 1 전압 VDD, 제 2 전압 VSS 및 참조 전압 V_r 등을 데이터 선 구동 회로 (7) 에 제공한다. 또한, 전원 회로 (9) 는 픽셀 (5) 의 공통 전극에 공통 전압 VCOM 을 제공한다.
- <53> 도 4 는 데이터선 구동 회로 (7) 의 구조를 도시하는 블록도이다. 데이터선 구동 회로 (7) 는 n 비트의 디지털 이미지 신호들 D0 내지 D(n-1)을 수신하고 이미지 신호들에 따라서 2^n 종류의 출력 전압들 V0 내지 $V(2^n-1)$ 를 출력한다. 예를 들면, 데이터선 구동 회로 (7) 는 6 비트의 디지털 이미지 신호들 D0 내지 D5 에 따라서 64 계조들의 출력 전압들 (계조 전압들) V0 내지 V63 을 출력한다.
- <54> 상세하게는, 데이터선 구동 회로 (7) 에는 계조 전압 생성 회로 (11) 및 계조 전압 선택 회로 (12) 가 제공된다. 참조 전압 V_r 은 전원 회로 (9) 로부터 계조 전압 생성 회로 (11) 에 제공된다. 참조 전압 V_r 은 복수의 참조 전압들 Vref0 내지 VrefM 을 포함할 수도 있다. 계조 전압 생성 회로 (11) 는 참조 전압 V_r 에 따라서 계조 전압들 V0 내지 $V(2^n-1)$ 를 생성하고 전압들을 계조 전압 선택 회로 (12) 에 제공한다. 계조 전압 선택 회로 (12) 는 계조 전압들 V0 내지 $V(2^n-1)$ 과 함께 계조 전압들 D0 내지 D(n-1)을 수신한다. 그 후, 계조 전압 선택 회로 (12) 는 수신된 디지털 이미지 신호들 D0 내지 D(n-1)에 기초해서 계조 전압들 V0 내지 $V(2^n-1)$ 중 하나를 선택한다. 즉, 계조 전압 선택 회로 (12) 는 디지털 이미지 신호들 D0 내지 D(n-1)을 디코딩하는 디코더이며, 이것은 또한 데이터선 구동 회로 (7) 에서의 D/A 변환 회로이다. 선택된 하나의 계조 전압은 출력 단자 OUT에서 출력되고 픽셀들 (5) 중 하나에 가해진다.
- <55> 본 발명에 따른 계조 전압 생성 회로 (11) 및 계조 전압 선택 회로 (12) 는 이하에서 더욱 자세히 설명될 것이다. 예로써, 디지털 이미지 신호에서의 비트수는 6 이며 64 계조들의 표시가 수행된다. 또한, 계조 전압 생성 회로 (11) 및 계조 선택 회로 (12) 는 전체적으로 [계조 전압 결정 회로]로 불려진다.
- <56> [제 1 실시형태]
- <57> 도 5 은 제 1 실시형태에 따른 계조 전압 결정 회로의 구조를 도시하는 회로도이다. 도 5 에서 도시한 바와 같이, 계조 전압 생성 회로 (11) 는 동일한 저항값을 가지는 64 개의 저항들 R1 내지 R64로 구성된 저항 배열을 포함한다. 저항들 R1 내지 R32는 직렬로 접속되고, 참조 전압들 Vref0 및 Vref4 는 전원 회로 (9) 로부터 제공되고, 각각, 전원 회로의 양쪽 말단에 가해진다. 참조 전압들 Vref1 내지 Vref3 은 저항들 사이에서 접속 지점들 (노드들)에서 적당한 위치들에 가해진다. 유사하게, 저항들 R33 내지 R64 는 직렬로 접속되고, 전원 회로 (9) 로부터 제공된 참조 전압들 Vref5 및 Vref9 은 전원 회로의 양쪽 말단에 가해진다. 참조 전압들 Vref6 내지 Vref8 은 저항들 사이에서 접속 지점들 (노드들) 에서 적당한 지점들에 가해진다.
- <58> 이러한 참조 전압들 Vref0 내지 Vref9 는 [제 1 전압 VDD $\geq$ Vref0 > Vref1 > ... > Vref9 $\geq$ 제 2 전압 VSS]의 관계를 만족시키도록 정해진다. 참조 전압들 Vref0 내지 Vref9 사이의 부분이 64 개의 저항들 R1 내지 R64 에 의해서 분할된다. 따라서, 64 종류의 전압들이 개별적인 64 개의 노드들에서 생성된다. 즉, 계조 전압 생성 회로 (11) 는 참조 전압들 Vref0 내지 Vref9 에 따라서 64 계조의 계조 전압들 V0 내지 V63 을 생

성할 수 있다. 또한, 이런 참조 전압들 Vref0 내지 Vref9 를 적절하게 조정하는 것에 의해, 바람직한 특성들을 획득하기 위해서 계조 전압들 V0 내지 V63 을 설정하는 것이 가능하다 (도 2를 참조). 계조 전압들 V0 내지 V63 이 계조 전압 선택 회로 (12)에 제공된다.

<59> 계조 전압 선택 회로 (12) 는 디지털 이미지 신호들 D0 내지 D5 에 기초해서 계조 전압들 중 하나를 선택하기 위한 디코더이다. 이러한 이유로, 계조 전압 선택 회로 (12) 는 도 5 에서 도시된 복수의 스테이지들에 접속된 복수의 MOS 트랜지스터들로 구성된다. 제 1 스테이지의 MOS 트랜지스터의 소스 또는 드레인은 계조 전압 생성 회로 (11) 에서의 임의의 노드에 접속된다. 또한, 디지털 이미지 신호들 D0 내지 D5 중 일부 또는 인버터를 통해서 획득된 반전 신호들 중 일부는 각각의 MOS 트랜지스터의 게이트에 제공된다. 이 구성에 의해, 디지털 이미지 신호들 D0 내지 D5 에 기초해서 하나의 계조 전압이 선택된다. 예를 들면, 도 5 에서 도시된 구성에서, 64 종류의 계조 전압들은 신호 D0 에 의해서 32 개의 종류로 국한되고, 계조 전압들 중 32 개의 종류들은 신호 D1 에 의해서 16 개의 종류로 국한되고, 하나의 계조 전압이 마지막으로 지정된다. 선택되고 지정된 하나의 계조 전압은 출력 단자 OUT 에서 출력된다.

<60> 이런 실시형태에서, 계조 전압 선택 회로 (12) 는 취급되는 전압 범위에 기초해서 복수의 [선택 회로 블록들 BL]으로 분류된다. 예를 들면, 도 5 에 도시된 바와 같이, 블록 BL-A에 포함된 MOS 트랜지스터 TA 는 Vref0 과 Vref1 사이의 전압 범위를 취급하고, 블록 BL-A는 디지털 이미지 신호들 D0 내지 D5에 기초해서 Vref0 과 Vref1 사이의 전압 범위에서 전압을 선택한다. 또한, 블록 BL-B에서 포함된 MOS 트랜지스터 TB는 Vref1과 Vref2 사이에서의 전압 범위를 취급하고, 블록 BL-B는 디지털 이미지 신호들 D0 내지 D5 에 기초해서 Vref1 과 Vref2 사이에서의 전압 범위로부터 전압을 선택한다. 유사하게, 개별적인 블록들 BL-C 내지 BL-F에 포함된 MOS 트랜지스터들 TC 내지 TF는, 각각, Vref3 과 Vref4 사이에서, Vref5 와 Vref6 사이에서, Vref7 과 Vref8 사이에서, 및 Vref8 과 Vref9 사이에서 전압 범위를 취급한다.

<61> 또한, 통상적인 액정 표시 장치에 있어서, 공통 전극에 가해진 공통 전압 VCOM과 관련해서 정극 및 부극 (positive and negative polarities) 을 가진 계조 전압이 종종 픽셀 (5) 에 가해진다. 마지막으로, 공통 전압 VCOM 은, 예를 들면, 참조 전압들 Vref4 와 Vref5 사이에 속하도록 설정될 수도 있다. 이 경우에서, 참조 전압들 Vref0 내지 Vref4 를 취급하는 블록들 BL-A 내지 BL-C 은 [정극측] 상에 블록 그룹 (13) 을 구성하는 것으로 말해진다. 한편, 참조 전압들 Vref5 내지 Vref9 를 다루는 블록들 BL-D 내지 BL-F 는 [부극측] 상에 블록 그룹 (14) 를 구성하는 것으로 말해진다.

<62> 정극측 블록 그룹 (13) 에서 포함된 MOS 트랜지스터 TA 내지 TC 는 P-채널 MOS 트랜지스터들이다. 한편, 부극측 블록 그룹 (14) 에서 포함된 MOS 트랜지스터들 TD 내지 TF 는 N-채널 MOS 트랜지스터들이다. 이 실시 형태에 따르면, 도 5 에 도시된 바와 같이, 제 1 전압 VDD 는 균일하게 P-채널 MOS 트랜지스터들 TA 내지 TC의 백 게이트들에 가해진다. 한편, 제 2 전압 VSS 은 N-채널 MOS 트랜지스터들 TD 내지 TF 의 백 게이트들에 균일하게 가해진다.

<63> 전술한 바와 같이 개별적 전압들 사이의 관계는 도 6 에서 요약된다. 참조 전압들 Vref0 내지 Vref9 는 [제 1 전압 $VDD \geq Vref0 > Vref1 > \dots > Vref9 \geq$ 제 2 전압 VSS]의 관계를 만족하기 위해서 설정된다. 제 1 전압 VDD 는 통상 전원 전압 VDD 이다. 제 2 전압 VSS 은 통상 접지 전압 GND 이다. 공통 전극의 공통 전압 VCOM 은 통상 $VDD/2$ 이다. Vref0 과 Vref1 사이의 전압 범위에서의 전압들은 전원 전압 VDD 보다 더 낮으며, Vref1 과 Vref2 사이의 전압 범위에서의 전압들은 Vref0 과 Vref1 사이의 전압 범위에서의 전압보다 더 낮다. Vref8 과 Vref9 사이의 전압 범위에서의 전압들은 접지 전압 VSS보다 더 높으며, Vref7 과 Vref8 사이의 전압 범위에서의 전압들은 Vref8 과 Vref9 사이의 전압 범위에서의 전압들보다 더 높다. Vref3 과 Vref4 사이의 전압 범위에서의 전압들은 공통 전압 VCOM 보다 더 높으며, Vref5 와 Vref6 사이의 전압 범위에서의 전압들은 공통 전압 VCOM 보다 더 낮다.

<64> 또한, 전원 전압 VDD 은 정극 상의 블록들 BL-A 내지 BL-C 에서 포함된 P-채널 MOS 트랜지스터들 TA 내지 TC의 백 게이트에 가해진다. 정상 동작 시간에서의 개별적 블록들에 의해서 취급되는 전압 범위들이 다르기 때문에, MOS 트랜지스터의 백 게이트와 확산 레이어들 (소스, 드레인) 사이에 가해지는 "최대 전압"은 각각의 블록에 대해서 다르다. 예를 들면, 개별적 전압 범위들의 값들이 동일하다면, 도 6 에 도시된 바와 같이, 블록 BL-A와 관련한 최대 전압은 $[VDD/8]$ 이다. 또한, 블록 BL-B와 관련한 최대 전압은 $[VDD/4]$ 이며, 블록 BL-C와 관련된 최대 전압은 $[VDD/2]$ 이다.

<65> 한편, 접지 전압 GSS는 부극 상의 블록들 BL-D 내지 BL-F 에서 포함된 N-채널 MOS 트랜지스터들의 백 게이트들

에 가해진다. 유사하게, BL-D와 관련된 최대 전압은 $[VDD/2]$ 이다. 또한, 블록 BL-E에 관련된 최대 전압은 $[VDD/4]$ 이며, 블록 BL-F에 관련된 최대 전압은 $[VDD/8]$ 이다.

<66> 이 최대 전압은 MOS 트랜지스터의 소스와 기판 사이에 가해지는 [기판 바이어스]에 대응하는 값이다. 본 실시형태에 따른 계조 전압 선택 회로 (12)는 기판 바이어스에 따라서 복수의 블록들 BL로 분류되는 것으로 말해질 수 있다. 또한, MOS 트랜지스터의 임계 전압 V_t 는 기판 바이어스의 함수로써 주어지며 기판 바이어스가 더 커짐에 따라, 임계 전압 V_t 가 증가되는 것으로 알려진다. 이것은 [기판 바이어스 효과 (백 게이트 효과)]로 불린다. 도 6에서 알 수 있듯이, 정극측에 대한 기판 바이어스 효과는 블록 BL-C에서 가장 크며 블록 BL-A에서 가장 작다. 한편, 부극측에 대한 기판 바이어스 효과는 블록 BL-D에서 가장 크며 블록 BL-F에서 가장 작다.

<67> 이하에서 설명되듯이, 본 실시형태에 따른 MOS 반도체들 TA 내지 TF 각각은, 상술한 최대 전압 (기판 바이어스), 기판 바이어스 효과 및 임계 전압등에 따라서, 최적의 구조 (오프셋 길이, 게이트 길이 및, 게이트 너비 등) 및 크기를 가지도록 설계되었다. 각각의 MOS 트랜지스터에 대한 최적의 구조 및 크기의 설계는 이하에서 상세히 설명될 것이다.

<68> 도 7 내지 9는, 각각, 부극측 블록 그룹 (14)에서 N-채널 MOS 트랜지스터 TD 내지 TF의 단면도를 도시한다. 다음의 설명과 유사한 설명이 정극측 블록 그룹 (13)에서의 P-채널 MOS 트랜지스터 TA 내지 TC의 단면 구조들에 적용될 수 있다. 따라서, 정극측에 대한 설명은 생략될 것이다. N-채널 MOS 트랜지스터 TD 내지 TF는 높은 브레이크다운 전압 CMOS 반도체 과정을 사용하는 것에 의해서 형성되고, 기본 구조들은 유사하다. 즉, 고전압 P 웰 (well) (101)은 P-타입 반도체 기판 (100)의 주표면부 상에 형성된다. 게이트 전극 (103)은 선택적으로 고전압 P 웰 (101)의 표면 상에서 고전압 산화막 (102)을 통하여 형성된다. 마스크로써 게이트 전극 (103)을 사용하는 공지된 확산 자기-정렬 기술에 의해서, 저농도의 N^- 타입 확산 레이어 (104) 및 N^- 타입 확산 레이어 (105)는 고전압 P 웰 (101)에서 형성된다. 또한, 드레인으로써 N^+ 타입 드레인 확산 레이어 (106)가 N^- 타입 확산 레이어 (104) 내부에 형성되며, 소스으로써 N^+ 타입 소스 확산 레이어 (107)가 N^- 타입 확산 레이어 (105) 내부에 형성된다. 소자 분리 구조 (109)가 개별적인 N-채널 MOS 트랜지스터들 및 백 게이트 접촉 확산 레이어 (108)를 분리하기 위해서 N^- 타입 확산 레이어들 (104, 105) 및 백 게이트 접촉 확산 레이어 (108)의 외부 주변 영역에서 형성된다. 또한, 백 게이트 접촉 확산 레이어 (108)은 백 게이트 전압을 고전압 P 웰 (101)에 가하기 위해서 고전압 P 웰 내부에 생성된다. 소자 분리 구조 (109)로써, 필드 산화막 및 STI (얕은 트렌치 소자 분리 : Shallow Trench Isolation)가 그 예가 된다.

<69> 게이트 전극 (103)은 N^+ 타입 드레인 확산 레이어 (106) 및 N^+ 타입 소스 확산 레이어 (107)로 겹쳐지지 않는다. 이러한 방식으로, 소스/드레인으로 겹쳐지지 않는 게이트 전극 MOS 반도체는 오프셋 게이트 MOS 트랜지스터로 불려진다. 오프셋 게이트 MOS 트랜지스터의 게이트 전극 (103)과 소스 또는 드레인 사이의 거리는 [오프셋 길이]로 불려진다. 특정 오프셋 길이 L_o 를 가진 오프셋 영역이 게이트 전극 (103)과 N^+ 타입 드레인 확산 레이어 또는 N^+ 타입 소스 확산 레이어 (107) 사이에 지정된다. N^- 타입 확산 레이어 (104) 및 저농도의 N^- 타입 확산 레이어 (105)는 드리프트 영역을 구성하며, 그것은 드레인과 백 게이트 사이 및 소스와 백 게이트 사이에 가해지는 전계를 완화시킨다. 이러한 전계 완화는 MOS 트랜지스터의 더욱 높은 브레이크다운 전압을 허용한다. 통상적인 높은 브레이크다운 전압 MOS 트랜지스터는 그러한 오프셋 게이트 구조들을 가진다.

<70> 도 10은 오프셋 길이 L_o 와 트랜지스터 브레이크다운 전압 (드레인과 백 게이트 사이 및 소스와 백 게이트 사이의 브레이크다운 전압들) 사이의 관계를 도시한다. 도 10으로부터 이해되듯이, 오프셋 길이 L_o 가 더 길어짐에 따라서, 트랜지스터 브레이크다운 전압이 더 높아지는 경향이 있다. 따라서, 높은 브레이크다운 전압의 MOS 트랜지스터가 요구된다면, 오프셋 길이 L_o 는 더 길어지도록 설계될 수도 있다. 반대로, 높은 브레이크다운 전압이 많이 요구되지 않는다면, 오프셋 길이 L_o 는 더 짧도록 설계될 수 있다.

<71> 상술한 바와 같이, 블록 BL-D에서 포함된 N-채널 MOS 트랜지스터 TD의 백 게이트와 소스/드레인 사이에 최대 전압이 가해지는 최대 전압은 $VDD/2$ 이다. N-채널 MOS 트랜지스터 TD의 오프셋 길이 L_{oD} 는 긴 치수, 예를 들면, 수 μm 를 가지도록 설계된다. 이 오프셋 길이 L_{oD} 는 게이트 길이 L_D 에 동등한 값이다. 또한, 도 7에서 도시된 바와 같이, 오프셋 영역은 게이트 전극 (103)과 소스/드레인 사이뿐만 아니라, 소스/드레인과 소

자 분리 구조 (109) 사이에도 제공된다. 이러한 이유로, 오프셋 영역은 N-채널 MOS 트랜지스터 TD의 2/3 또는 그 이상의 영역을 차지한다.

<72> 블록 BL-E에 포함된 N-채널 MOS 트랜지스터 TE에 관련된 최대 전압은 $V_{DD}/4$ 이다. 따라서, 도 7 및 도 8의 비교에서 알 수 있듯이, N-채널 MOS 트랜지스터 TE의 오프셋 길이 LoE 는 오프셋 길이 LoD 보다 더 짧도록 설계될 수 있다. 결과로써, N-채널 MOS 트랜지스터 TE의 불필요 부분은 제거되고, 그것에 의하여 블록 BL-E의 영역을 감소시킨다. 오프셋 영역은 N-채널 MOS 트랜지스터 TE의 약 1/2 영역을 차지한다.

<73> 블록 BL-F에서 포함된 N-채널 MOS 트랜지스터 TF에 관련된 최대 전압은 $V_{DD}/8$ 이다. 따라서, 도 8 및 도 9의 비교에서 알 수 있듯이, N-채널 MOS 트랜지스터 TF의 오프셋 길이 LoF 는 오프셋 길이 LoE 보다 더 짧도록 설계될 수 있다. 예를 들면, 오프셋 길이 LoR 가 대략 0이 될 수 있는 구조를 만드는 것이 가능하다. 결과로써, N-채널 트랜지스터 TF의 불필요 부분이 제거되고, 그것은 블록 BL-F의 면적을 크게 감소시킨다.

<74> 상술한 바와 같이, 본 실시형태에 따라서, MOS 트랜지스터의 오프셋 길이 Lo 는 확산 레이어와 백 게이트 사이에 가해진 최대 전압에 따라서 최적의 값을 가지도록 설계된다. 상술한 예들에서, N-채널 MOS 트랜지스터 TD, TE 및 TF는 $[LoD > LoE > LoF]$ 의 관계를 가지도록 설계된다. 따라서, 각각의 블록 BL의 크기는 가능한 많이 감소된다.

<75> 도 11은 MOS 트랜지스터의 임계 전압 V_t 와 게이트 길이 L 의 관계를 도시한다. 게이트 길이 (채널 길이)가 충분히 길다면, 임계 전압 V_t 는 게이트 길이 L 에 독립적인 상수이다. 그러나, 게이트 길이가 매우 짧다면, 따라서 게이트 길이 L 은 임계 전압 V_t 를 감소시킨다. 이 현상은 [짧은 채널 효과 (short channel effect)]로 불린다. 임계 전압 V_t 에서의 감소는, 전류가 항상 소스와 드레인 사이를 흐르게 되는, 펀치-쓰루 효과 (punch-through effect)를 초래한다. 따라서, 게이트 길이 L 은 통상 매우 짧게 만들어질 수 없다.

<76> 한편, 상술한 바와 같이, N-채널 MOS 트랜지스터 TD 내지 TF에 관한 최대 전압들, 즉 기판 바이어스들 V_{sub} 는 서로 다르며, 기판 바이어스 효과들로 인한 임계 전압들 V_t 의 "상향식 (Bottom-Up)" 또한 서로 다르다. 도 11에서 도시된 바와 같이, 기판 바이어스 효과는 N-채널 MOS 트랜지스터 TD에서 가장 크며 N-채널 MOS 트랜지스터 TF에서 가장 작다. N-채널 MOS 트랜지스터 TD의 임계 전압 V_t 는 비교적 높다. 따라서, 게이트 길이 LD 가 더 짧더라도, 펀치-쓰루 현상은 발생하기가 어렵다. 즉, 짧은 채널 효과에 의해서 초래된 임계 전압 V_t 의 감소를 가지고서 기판 바이어스 효과에 의해서 초래된 임계 전압 V_t 의 증가를 상쇄시키는 것이 가능하다.

<77> 본 실시형태에 따르면, N-채널 MOS 트랜지스터 TD의 게이트 길이 LD 는 가장 짧아지도록 설계되며, N-채널 트랜지스터 TF의 게이트 길이 LF 는 가장 길어지도록 설계된다. N-채널 MOS 트랜지스터 TE의 게이트 길이 LE 는 게이트 길이 LD 보다 더 길어지도록 설계되며 게이트 길이 LF 보다 더 짧아지도록 설계된다(도 7 내지 9 참조). 따라서, 불필요한 게이트 길이 L 이 제거되고, 그것에 의해서 각각의 MOS 트랜지스터의 크기를 적당하게 만든다.

<78> 도 12는 MOS 트랜지스터의 임계 전압 V_t 와 게이트 너비 W 사이의 관계를 도시한다. 도 12에 도시한 바와 같이, 게이트 너비 (채널 너비) W 가 작다면, 게이트 너비 W 의 감소는 따라서 임계 전압 V_t 를 증가시킨다. 이 현상은 [좁은 채널 효과]로 불린다. 통상의 MOS 트랜지스터에서, 게이트 너비 W 는 좁은 채널 효과가 나타나지 않도록 설계된다 ($W = W_{min}$).

<79> 이런 실시형태에서, 개별적인 N-채널 MOS 트랜지스터들의 게이트들에 가해지는 디지털 이미지 데이터 D0 내지 D5는 최대 위상의 전압 V_{DD} 를 가진다. 따라서, 임계 전압 V_t 에서의 미세한 상승이 회로 동작 동안에 허용 가능하다. 특히, 기판 바이어스 효과에 의해서 초래된 임계 전압 V_t 의 상승이 비교적 작기 때문에, 임계 전압 V_t 의 미세한 상승은 허용 가능하다. 따라서, N-채널 MOS 트랜지스터들 TE, TF의 게이트 너비들 WE , WF 는 W_{min} 보다 더 작아지도록 설계된다. 이 경우에서, 좁은 채널 효과는 N-채널 MOS 트랜지스터들 TE, TF에서 나타난다. N-채널 MOS 트랜지스터 TD의 게이트 너비 WD 는 대체로 W_{min} 과 같도록 설계된다. 이러한 방식으로, 불필요한 게이트 너비 W 가 제거되며, 그것에 의하여 각각의 MOS 트랜지스터의 크기를 적당하게 만든다.

<80> 다음으로, 저농도의 N⁺ 타입 확산 레이어 (104)와 백 게이트 접촉 확산 레이어 (108) 사이의 간격 (가장 짧은 길이) L_{pn} 이 설명될 것이다. 도 13은 간격 L_{pn} 과 트랜지스터 브레이크다운 전압 (P_N 접합 브레이크다운 전압) 사이의 관계를 도시한다. 도 13에서 알 수 있듯이, 간격 L_{pn} 이 더 길어짐에 따라서, 트랜지스터 브레이크다운 전압은 더 커지게 된다. 역으로 말하면, 높은 브레이크다운 전압이 요구되지 않는다면, 간격

Lpn은 짧은 것으로 설계될 수 있다. 낮은 브레이크다운 전압 상태에서, N⁻ 타입 확산 레이어 (104) 에서 P 웰 (101) 로 연장되는 공핍 레이어 (depletion layer) 의 확장이 작고, 그것에 의하여 리치-쓰루 현상 (reach-through 현상) (공핍층이 고농도 레이어에 도달하고 파괴되는 현상) 의 발생을 어렵게 만든다. 따라서, 간격 Lpn 은 짧아지도록 설계될 수 있다.

<81> 본 실시형태에 따라서, 블록 BL-F의 N-채널 MOS 트랜지스터 TF에서의 간격 LpnF 는 블록 BL-E의 N-채널 MOS 트랜지스터 TE에서의 간격 LpnE 보다 더 짧도록 설계된다. 또한, BL-E의 N-채널 MOS 트랜지스터 TE에서의 간격 LpnE 는 블록 BL-D의 N-채널 MOS 트랜지스터 TD에서의 간격 Lpn 보다 더 짧도록 설계된다. 따라서, 각각의 MOS 트랜지스터의 크기는 적당하게 만들어진다.

<82> 상술한 바와 같이, 본 실시형태에 따른 MOS 트랜지스터의 구조 (오프셋 길이 Lo, 게이트 길이 L, 게이트 너비 W 및 간격 Lp) 는 최대 전압, 기관 바이어스 효과 및 임계 전압등에 기초하여 최적화된다. 이 최적화를 통하여, 개별적 MOS 트랜지스터의 크기들 및 그것들 사이의 분리 거리는 최소 크기를 가진다. 결과적으로, 제조 전압 선택 회로 (12) 의 면적은 크게 감소한다. 또한, 반도체 칩의 크기가 크게 감소한다. 따라서, 액정 표시 구동기는 더 낮은 가격으로 제공될 수 있다.

<83> 또한, 본 실시형태에 따라서, 백 게이트에 가해지는 전압은, MOS 트랜지스터의 브레이크다운 전압을 감소시키기 위해서, 각각의 블록 BL에 대해서 제어되도록 요구되지 않는다. 동일한 전압 VDD 가 정극측 상의 P-채널 MOS 트랜지스터 TA 내지 TC의 백 게이트들에 균일하게 가해지며, 동일한 전압 VSS 가 부극측 상의 N-채널 MOS 트랜지스터들 TD 내지 TF의 백 게이트들에 균일하게 가해진다. 백 게이트 전압은 제어되도록 요구되지 않는다. 따라서, 제조 전압 선택 회로 (12)가 제조될 때, 특정한 확산 공정이 추가될 필요가 없다. 본 발명은 본 레이아웃 설계를 가능하게 함으로써 쉽게 달성될 수 있다.

<84> [제 2 실시형태]

<85> 도 14 는 액정 표시 장치에서 전원의 시동 순서 (sequence) 과정의 일 예를 도시한다. 이 예에서, 참조 전압 Vr (Vref0 내지 Vref9) 은 전원 전압 VDD의 시동 후에 발생된다. 즉, 전원 전압 VDD의 시동 직후에, 참조 전압들 Vr 은 여전히 0 이다. 도 5 에서 이미 도시된 바와 같이, 전원 전압 VDD는 정극측 상의 P-채널 MOS 트랜지스터들 TA 내지 TC의 백 게이트들에 가해진다. 따라서, 전원 전압 VDD의 시동 직후에, 최대 크기에 가까운 전원 전압 VDD가 제조 전압 생성 회로 (11) 에 직접 접속된 제 1 스테이지에서 P-채널 MOS 트랜지스터에 가해진다. 그러나, P-채널 MOS 트랜지스터들 TA 내지 TC의 브레이크다운 전압들은 VDD/2 또는 그 이하이다. 따라서, 이런 P-채널 MOS 트랜지스터들은 파괴되며, 제조 전압 선택 회로 (12) 가 파괴된다.

<86> 도 14 에서 도시된 시동 순서 과정이 이용되더라도 제 2 실시형태는 이러한 문제를 회피할 수 있는 기술을 제공한다.

<87> 도 15 는 제 2 실시형태에 따라서 제조 전압 결정 회로의 구조를 도시하는 회로도들을 도시한다. 제조 전압 결정 회로는 제조 전압 생성 회로 (21) 및 제조 전압 선택 회로 (22) 를 가진다. 제조 전압 생성 회로 (21) 의 구조는 제 1 실시형태에서의 제조 전압 생성 회로 (11) 의 구조와 유사하다. 제조 전압 선택 회로 (22) 에서의 MOS 트랜지스터들의 접속 구조는 또한 제 1 실시형태에서 제조 전압 선택 회로 (12)에서의 구조와 유사하다. 또한, 제조 전압 선택 회로 (22) 는 제 1 실시형태와 유사하게, 복수의 선택 회로 블록들 BL로 분류된다. 블록들 BL-A 내지 BL-C 들은 정극측 블록 그룹 (23) 을 구성한다. 블록들 BL-D 내지 BL-F는 부극측 블록 그룹 (24) 을 구성한다.

<88> 블록들 BL-A 내지 BL-F에서 포함된 MOS 트랜지스터들 TA 내지 TF의 구조들은 기본적으로, 각각, 제 1 실시형태에서의 구조들과 동일하다. 전원 전압 VDD 는 정극측상의 P-채널 MOS 트랜지스터들 TA 내지 TC 의 백 게이트들에 가해지며, 접지 전압 VSS는 부극측상의 N-채널 MOS 트랜지스터들 TD 내지 TF의 백 게이트들에 가해진다. 그러나, 본 실시형태에 따라서, 정극측상의 P-채널 MOS 트랜지스터들 중에서, 제조 전압 생성 회로 (21) 에 접속된 제 1 스테이지에서의 P-채널 MOS 트랜지스터들의 구조들 (본 명세서에서는 [제 1 스테이지 MOS 트랜지스터]라고 불림) 은 다른 구조들과 다르다.

<89> 블록 BL-A 는 P-채널 MOS 트랜지스터 TA 및 트랜지스터 TA와 다른 구조를 가진 제 1 스테이지 MOS 트랜지스터 그룹 TG-A 를 포함한다. 블록 BL-B 는 P-채널 MOS 트랜지스터 TB 및 트랜지스터 TB와는 다른 구조를 가진 제 1 스테이지 MOS 트랜지스터 그룹 TG-B 을 포함한다. 블록 BL-C 는 P-채널 MOS 트랜지스터 TC 및 트랜지스터 TC 와 다른 구조를 가지는 제 1 스테이지 MOS 트랜지스터 그룹 TG-C를 포함한다. 이러한 제 1 스테이

지 MOS 트랜지스터 그룹들 TG-A 내지 TG-C 는 다른 것들과는 다른 블록들을 구성하는 것으로 말해진다.

<90> 제 1 스테이지 MOS 트랜지스터 그룹 TG에서의 트랜지스터 각각의 소스 또는 드레인은 대응하는 계조 전압이 제공되는 입력 단자에 접속된다. 전원 전압 VDD의 시동 직후, 참조 전압 V_r , 즉, 계조 전압들 V_0 내지 V_{63} 은 0 이다. 따라서, 전원 전압 VDD 의 시동 직후, 전원 전압 VDD 가 제 1 스테이지 MOS 트랜지스터 TG의 백 게이트에 가해지고, 소스 또는 드레인은 대략 0 V 가 가해지는 스테이지가 된다.

<91> 도 16 은 본 실시형태에 따라서 제 1 스테이지 MOS 트랜지스터 TG의 단면 구조를 도시한다. 고전압 N 웰 (201) 이 P-타입 반도체 기판 (200)의 주표면부 상에 형성된다. 게이트 전극 (203) 은 고전압 N 웰 (201) 의 표면 상에 고전압 게이트 산화막 (202) 을 통하여 형성된다. 또한, P^- 타입 드레인 확산 레이어 (204) 및 저농도의 P^- 타입 확산 레이어 (205) 가 고전압 N 웰 (201) 내부에 형성된다. 또한, 드레인으로써 P^+ 타입 드레인 확산 레이어 (204) 가 P^- 타입 드레인 확산 레이어 (205) 내부에 형성된다. 소스으로써 P^+ 타입 소스 확산 레이어 (207) 가 P^- 타입 확산 레이어 (205) 내부에 형성된다. 또한, 백 게이트 접촉 확산 레이어 (208) 가 고전압 N 웰 (201) 에 백 게이트 전압을 가하기 위해서 고전압 N 웰 (201) 내부에 형성된다. 소자 분리 구조 (209) 는 개별적인 P-채널 MOS 트랜지스터들 및 백 게이트 접촉 확산 레이어 (208) 를 분리하기 위해서 P^- 타입 확산 레이어들 (204, 205) 및 백 게이트 확산 레이어 (208) 의 외부 주변 영역에 형성된다.

<92> 도 16 에서, 계조 전압이 제공되는 계조 전압 선택 회로 (22) 의 입력 단자 IN 이 P^+ 타입 드레인 확산 레이어 (206) 에 접속된다. P^+ 타입 드레인 확산 레이어 (206) 의 표면의 오프셋 길이는 $LoG(D)$ 로 불려진다. 한편, P^+ 타입 소스 확산 레이어 (207) 의 표면 상의 오프셋 길이는 $LoG(S)$ 로 불려진다. 상술한 바와 같이, 전원이 시동되었을 때, 고전압이 입력 단자 IN의 표면 상의 P^+ 타입 드레인 확산 레이어 (206) 에 가해진다. 이러한 이유로, 본 실시형태에 따르면, 오프셋 길이 $LoG(D)$ 는 오프셋 길이 $LoG(S)$ 보다 더 길도록 설계된다. 결과적으로, 오직 계조 전압 생성 회로 (21) 에 접속된 부분만이 "높은 브레이크다운 전압 구조"를 가진다. 따라서, 전원이 시동될 때 브레이크다운은 방지된다.

<93> 입력 단자 IN의 반대측 상의 오프셋 길이 $LoG(S)$ 에 관하여, 동일한 블록 BL에 포함된 다른 P-채널 MOS 트랜지스터의 오프셋 길이와 같도록 설계될 수도 있다. 즉, 제 1 스테이지 MOS 트랜지스터 TG-A의 오프셋 길이 $LoG(S)$ 는 P-채널 MOS 트랜지스터 TA의 오프셋 길이와 같을 수도 있다. 제 1 스테이지 MOS 트랜지스터의 오프셋 길이 $LoG(S)$ 는 P-채널 MOS 트랜지스터 TB 의 오프셋 길이와 같을 수도 있다. 제 1 스테이지 MOS 트랜지스터 TG-C의 오프셋 길이 $LoG(S)$ 가 P-채널 MOS 트랜지스터 TC의 오프셋 길이와 같을 수도 있다. 따라서, 트랜지스터들의 크기들이 감소된다.

<94> 본 실시형태에 따른 MOS 트랜지스터의 구조는 제 1 실시형태와 기본적으로 유사하고 최대 전압, 기판 바이어스 효과 및 임계 전압등의 기초하에서 최적화된다. 따라서, 제 1 실시형태에 유사한 효과가 획득된다. 그러나, 정극측 상의 P-채널 트랜지스터 그룹에서의 계조 전압 생성 회로 (21) 에 접속된 부분만이 통상의 "높은 브레이크다운 전압 구조"로 돌아온다. 따라서, 도 14 에서 도시된 시동 순서가 사용되더라도, 계조 전압 선택 회로 (22) 의 브레이크다운을 방지하는 추가적인 효과가 획득된다.

발명의 효과

<95> 본 발명에 따르면, 전압 선택 회로의 면적이 크게 감소하며, 반도체 칩의 크기가 또한 크게 감소된다. 따라서, 생산 가격이 감소된다. 또한 특별한 제조 과정이 요구되지 않는다. 따라서, 본 발명은 본 배치 설계를 가능하게 하는 것에 의해서 쉽게 달성될 수 있다.

도면의 간단한 설명

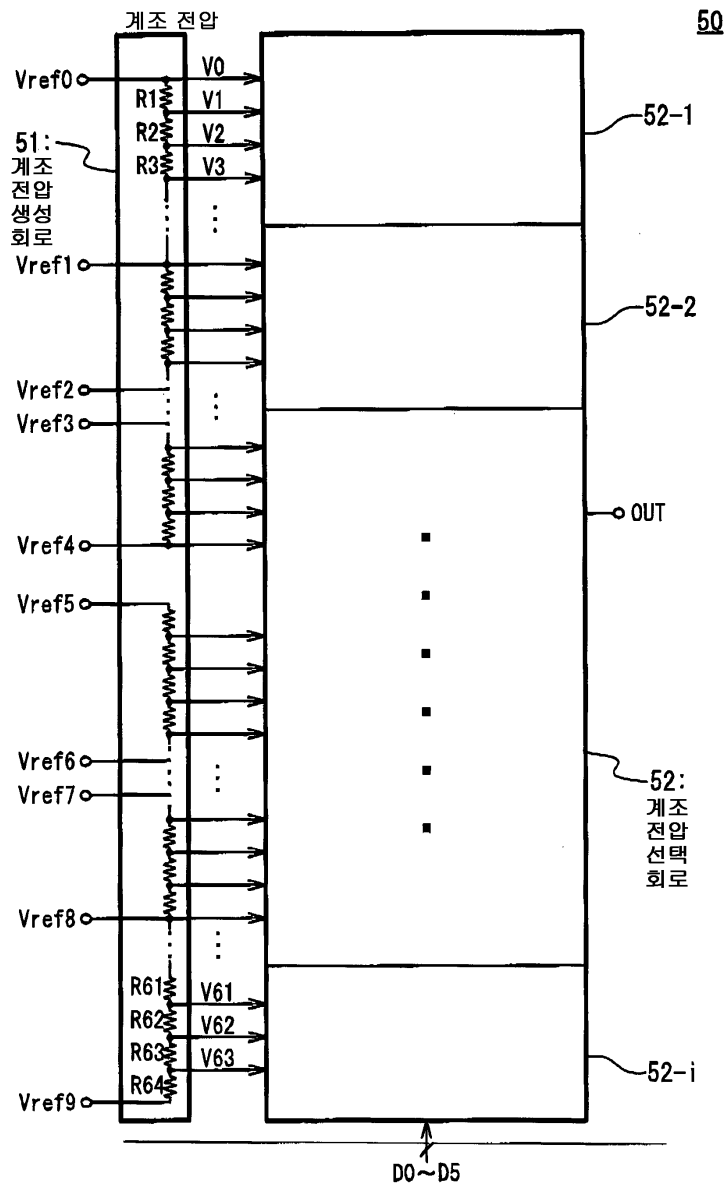
- <1> 도 1 은 종래의 계조 전압 결정 회로의 구조를 도시하는 회로 블록도.
- <2> 도 2 는 액정의 출력 전압 V와 광 투과율 T 사이의 관계를 그래프로 도시하는 도면.
- <3> 도 3 은 본 발명의 일 실시형태에 따른 액정 표시 장치의 구조를 도시하는 블록도.
- <4> 도 4 는 본 발명의 일 실시형태에 따른 데이터선 구동 회로의 구조를 도시하는 블록도.

- <5> 도 5 는 제 1 실시형태에 따른 계조 전압 결정 회로의 구조를 도시하는 회로도.
- <6> 도 6 은 전압의 관계를 도시하는 개념도.
- <7> 도 7 은 선택 회로 블록 BL-D에서 MOS 트랜지스터(TD)의 구조를 도시하는 단면도.
- <8> 도 8 은 선택 회로 블록 BL-E에서 MOS 트랜지스터(TE)의 구조를 도시하는 단면도.
- <9> 도 9 는 선택 회로 블록 BL-F에서 MOS 트랜지스터(TF)의 구조를 도시하는 단면도.
- <10> 도 10 은 MOS 트랜지스터의 브레이크다운 전압과 오프셋 길이 사이의 관계를 그래프로 도시하는 도면.
- <11> 도 11 은 MOS 트랜지스터의 게이트 길이 및 임계 전압을 그래프로 도시하는 도면.
- <12> 도 12 는 MOS 트랜지스터의 게이트 길이 및 임계 전압을 그래프로 도시하는 도면.
- <13> 도 13 은 MOS 트랜지스터의 드레인 - 백 게이트 거리와 브레이크다운 전압의 관계를 그래프로 도시하는 도면.
- <14> 도 14 는 전원의 시동 순서를 도시하는 개념도.
- <15> 도 15 는 제 2 실시형태에 따라서 계조 전압 결정 회로의 구조를 도시하는 회로도.
- <16> 도 16 은 제 2 실시형태에서 제 1 스테이지 MOS 트랜지스터의 구조를 도시하는 단면도.
- <17> *도면의 주요 부분에 대한 부호의 설명*
- <18> 1 : 액정 표시 장치 6 : 제어 회로
- <19> 7 : 데이터선 구동 회로 12 : 계조 전압 선택 회로

도면

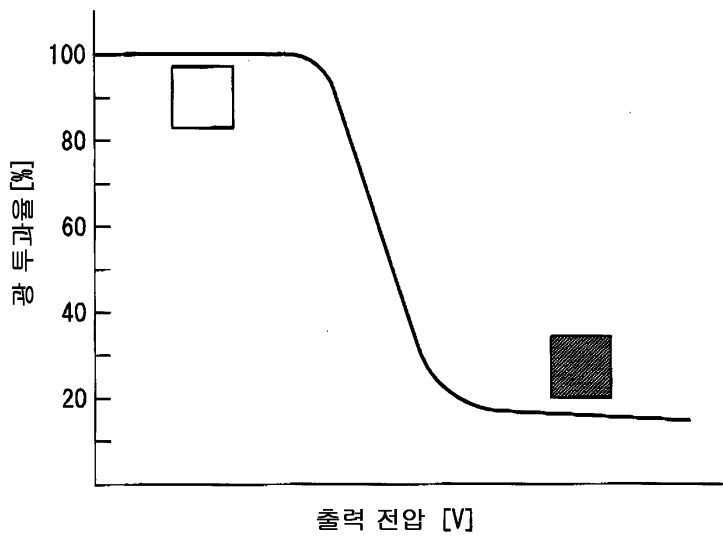
도면1

종래 기술

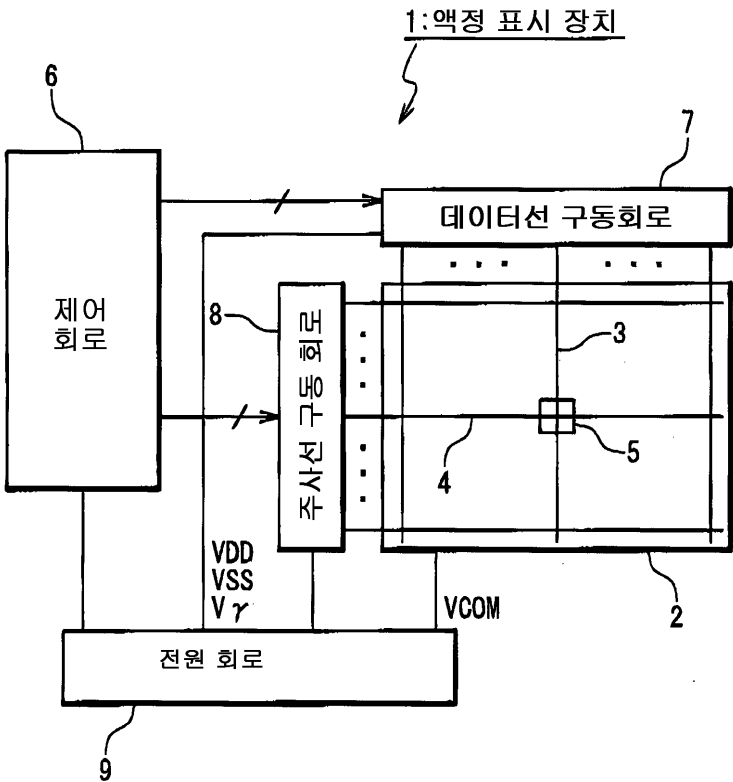


도면2

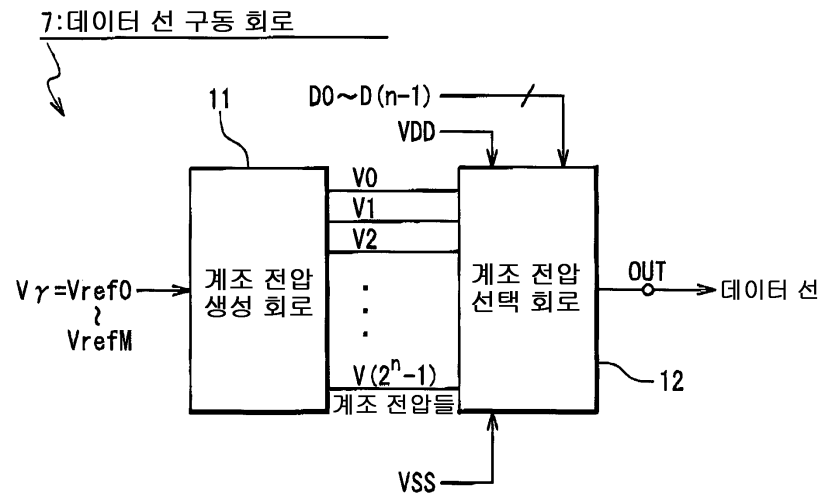
종래 기술



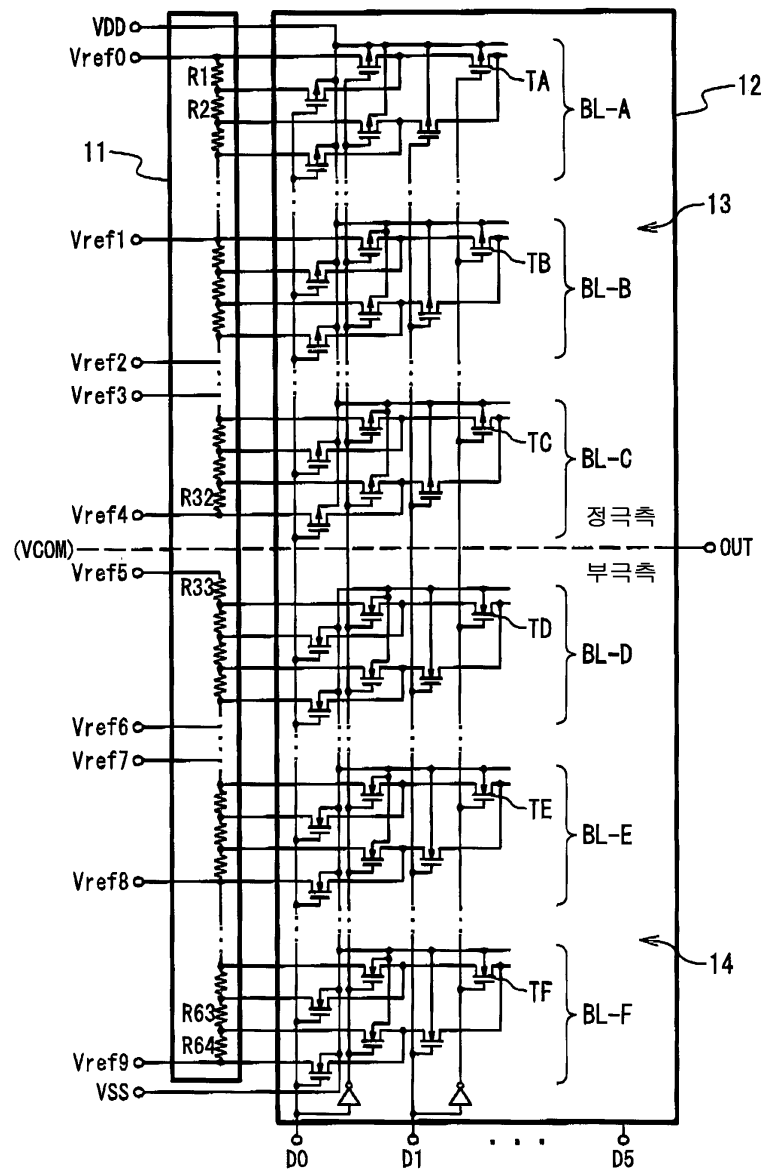
도면3



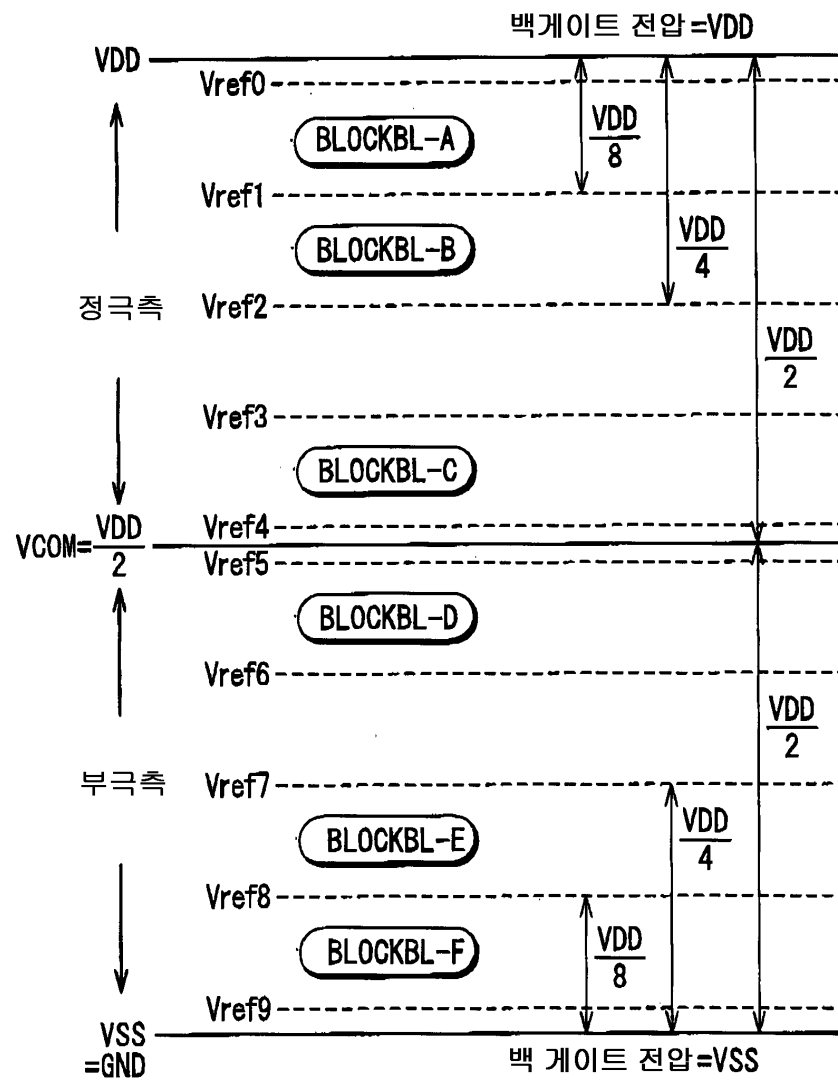
도면4



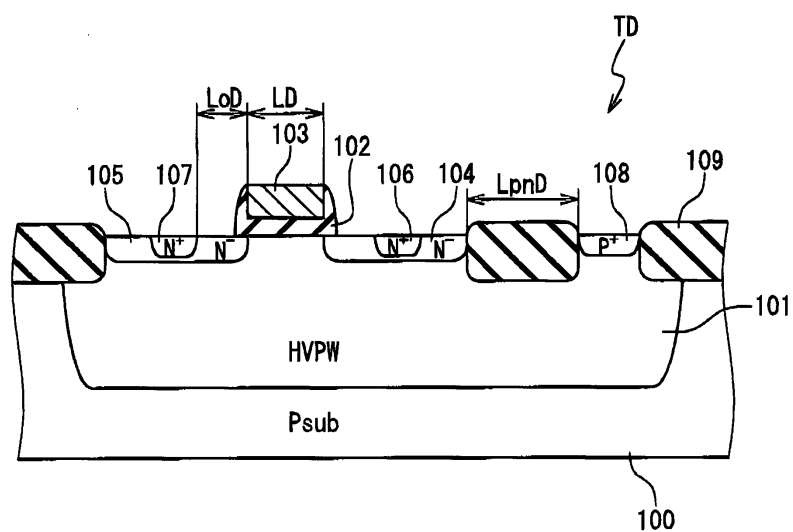
도면5



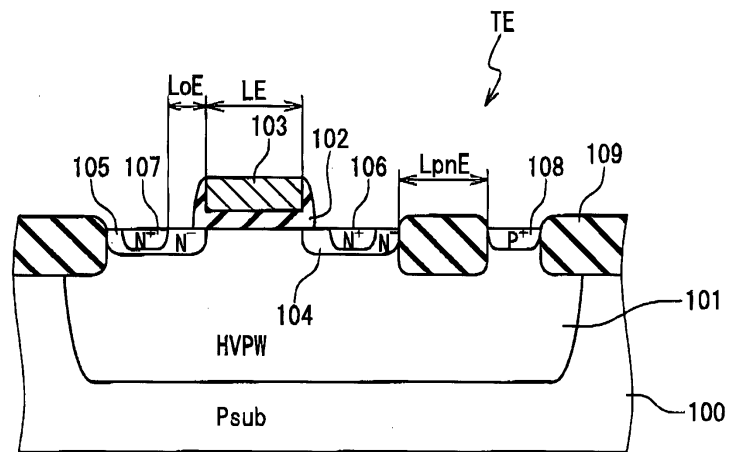
도면6



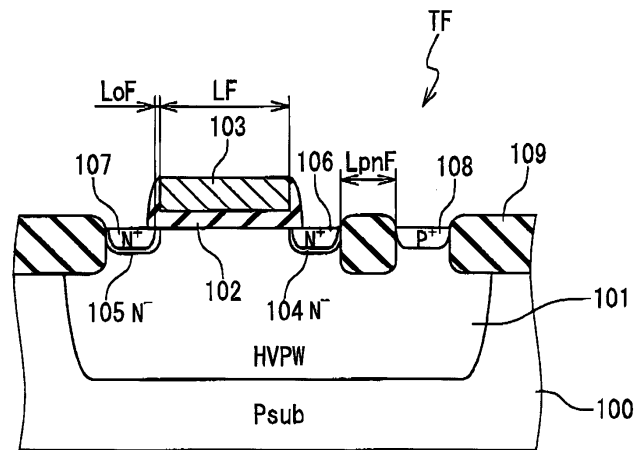
도면7



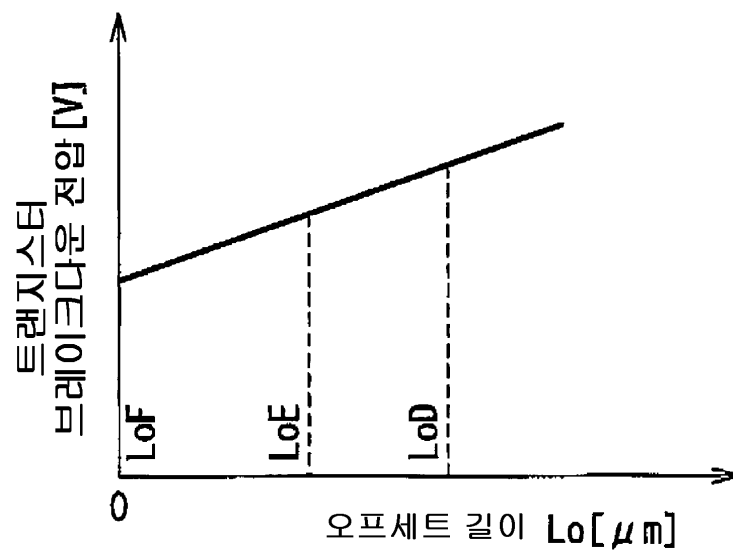
도면8



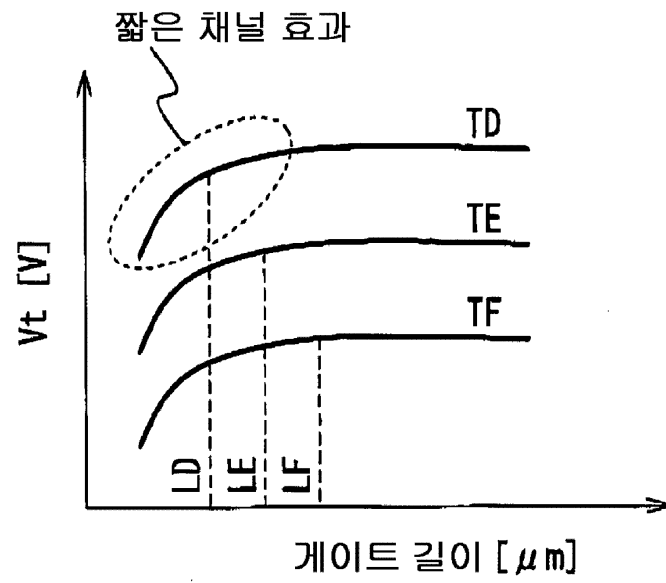
도면9



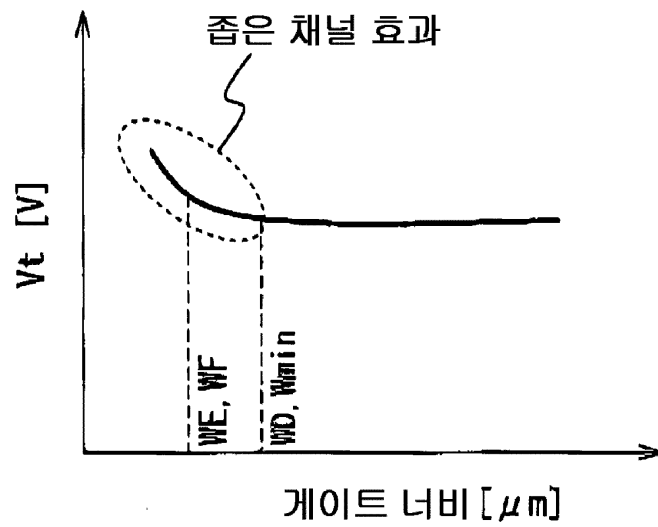
도면10



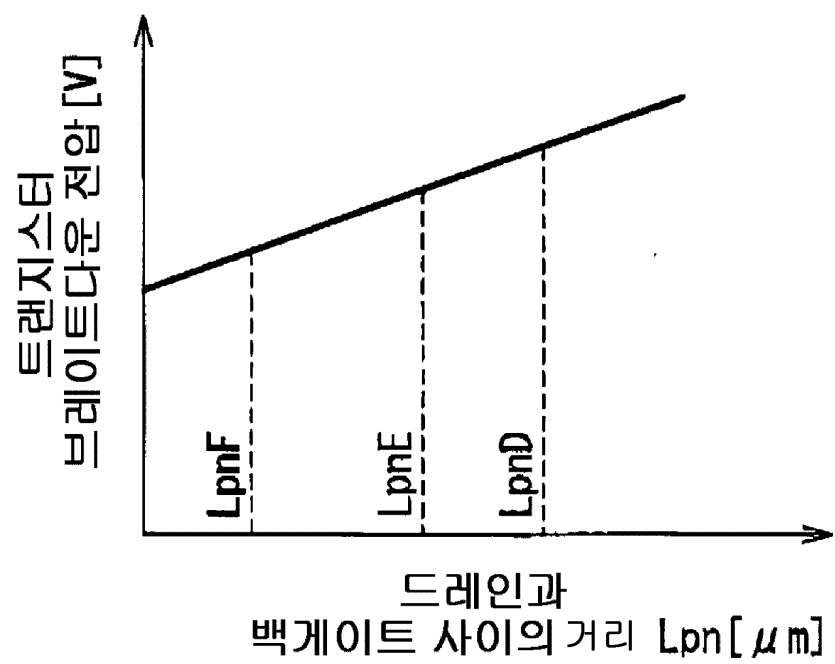
도면11



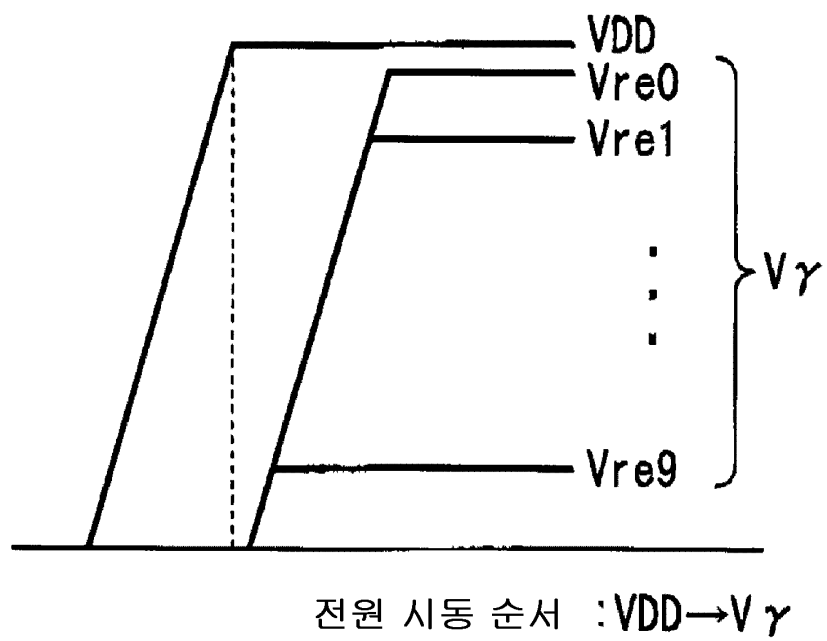
도면12



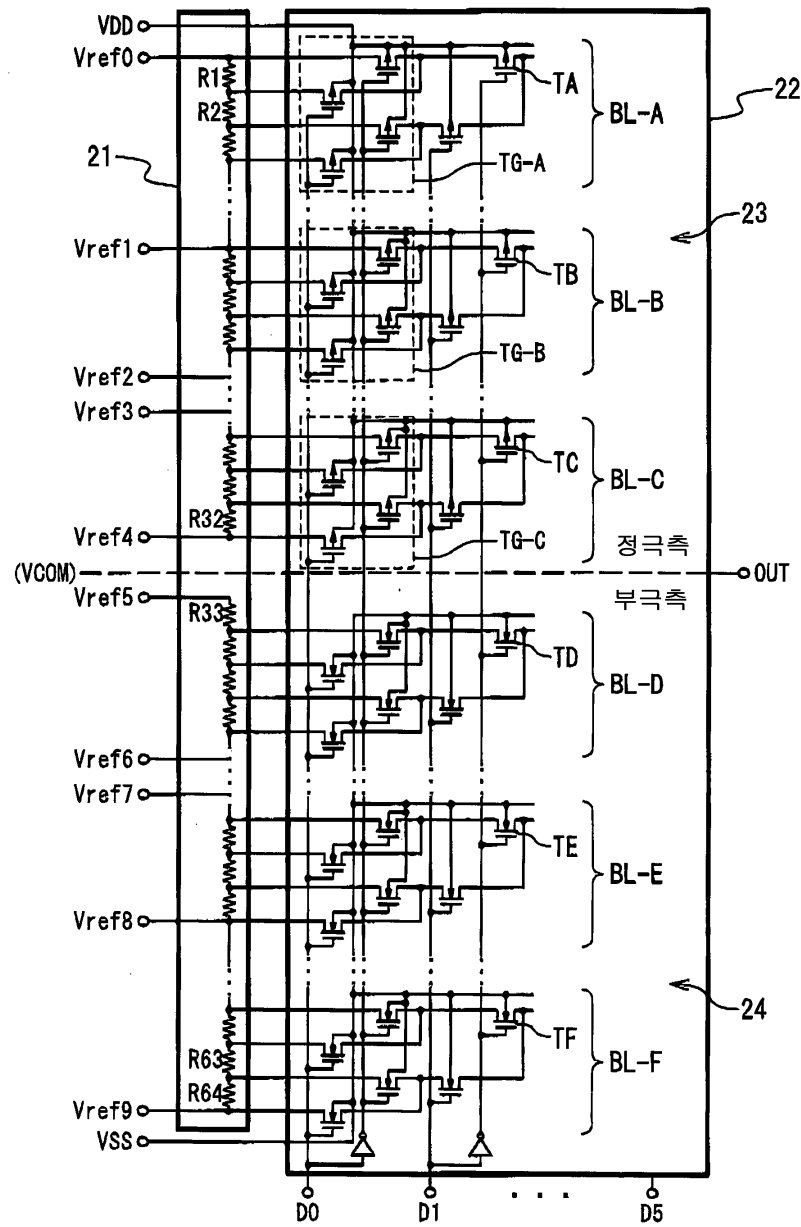
도면13



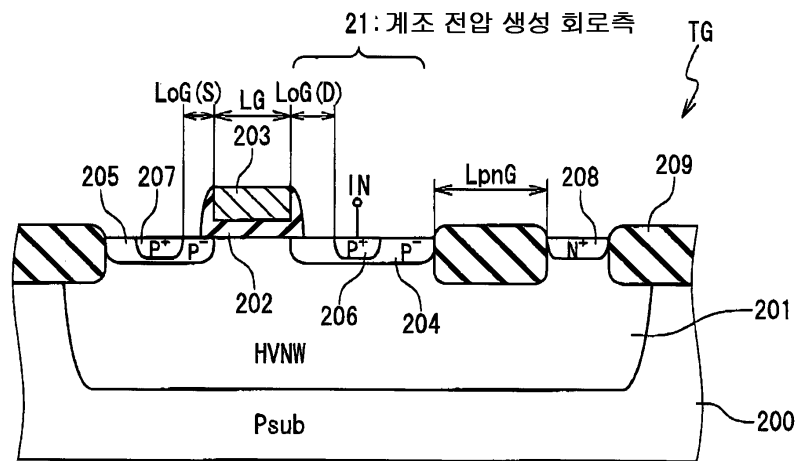
도면14



도면15



도면16



专利名称(译)	一种液晶显示驱动器，以及具有液晶显示驱动器的液晶显示装置		
公开(公告)号	KR100828469B1	公开(公告)日	2008-05-13
申请号	KR1020060105825	申请日	2006-10-30
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子株式会社		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	TAKAHASHI YUKIO		
发明人	TAKAHASHI, YUKIO		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H02M3/06		
CPC分类号	G09G2310/027 G09G3/3696 G09G3/3614		
代理人(译)	韩国专利公司		
优先权	2005315616 2005-10-31 JP		
其他公开文献	KR1020070046747A		
外部链接	Espacenet		

摘要(译)

液晶显示驱动器包括：第一选择电路，被配置为基于数字信号从第一电压范围中选择电压；以及第二选择电路，被配置为基于数字信号从第二电压范围中选择电压。在第一选择电路中包括的第一MOS晶体管的背栅和扩散层之间施加的电压小于在第二选择电路中包括的第二MOS晶体管的背栅和扩散层之间施加的电压。还有，我的一个MOS晶体管的偏移长度短于第二MOS晶体管的长度。LCD驱动器具有第一电压 并且电压产生电路被配置为向第一和第二选择电路提供范围和第二电压范围的灰度级电压。第一和第二选择电路之一基于数字信号输出一个灰度电压。

