



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년03월21일  
 (11) 등록번호 10-0815897  
 (24) 등록일자 2008년03월17일

(51) Int. Cl.  
**G09G 3/36** (2006.01)  
 (21) 출원번호 10-2001-0063207  
 (22) 출원일자 2001년10월13일  
 심사청구일자 2006년10월10일  
 (65) 공개번호 10-2003-0031281  
 (43) 공개일자 2003년04월21일  
 (56) 선행기술조사문헌  
 JP2000137207 A  
 JP2003114650 A  
 KR1020010016901 A  
 KR1020010100792 A

(73) 특허권자  
**엘지.필립스 엘시디 주식회사**  
 서울 영등포구 여의도동 20번지  
 (72) 발명자  
**이석우**  
 경상북도구미시진평동642-3번지  
**최수경**  
 경상북도구미시진평동642-3번지  
 (74) 대리인  
**김용인, 박영복**

전체 청구항 수 : 총 11 항

심사관 : 김세영

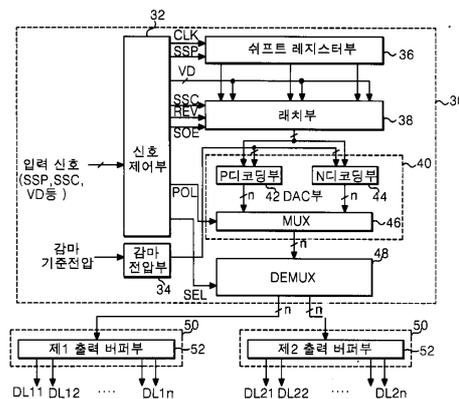
**(54) 액정표시장치의 데이터 구동 장치 및 방법**

**(57) 요약**

본 발명은 디지털-아날로그 변환부와 출력버퍼부를 분리하여 집적화함으로써 테이프 캐리어 패키지의 불량에 따른 손실을 현저하게 줄일 수 있고, 디지털-아날로그 변환부를 시분할 구동함으로써 디지털-아날로그 변환기능을 하는 집적회로의 수를 줄일 수 있게 하는 액정표시장치의 데이터 구동 장치 및 방법에 관한 것이다.

본 발명은 입력된 화소신호를 신호완충시켜 n(n은 정수)개씩의 데이터라인들로 출력하는 출력버퍼 집적회로들과; 적어도 2개의 출력버퍼 집적회로들의 입력단에 공통으로 접속되고 입력된 n개씩의 화소데이터를 아날로그형태인 화소신호로 변환하여 적어도 2개의 출력버퍼 집적회로들에 선택적으로 출력하는 디지털-아날로그 변환 집적회로들과; 디지털-아날로그 변환 집적회로들 각각을 제어함과 아울러 그들 각각에 공급할 화소데이터를 n개씩의 화소데이터로 구성되는 적어도 2개의 구간으로 시분할하여 공급하는 타이밍 제어부를 구비한다.

**대표도 - 도3**



## 특허청구의 범위

### 청구항 1

입력된 화소신호를 신호완충시켜  $n$ ( $n$ 은 정수)개씩의 데이터라인들로 출력하는 출력버퍼 집적회로들과;

적어도 2개의 상기 출력버퍼 집적회로들의 입력단에 공통으로 접속되고 입력된  $n$ 개씩의 화소데이터를 아날로그 형태인 상기 화소신호로 변환하여 상기 적어도 2개의 출력버퍼 집적회로들에 선택적으로 출력하는 디지털-아날로그 변환 집적회로들과;

상기 디지털-아날로그 변환 집적회로들 각각을 제어함과 아울러 그들 각각에 공급할 화소데이터를 상기  $n$ 개씩의 화소데이터로 구성되는 적어도 2개의 구간으로 시분할하여 공급하는 타이밍 제어부를 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

### 청구항 2

제 1 항에 있어서,

상기 디지털-아날로그 변환 집적회로는 상기 타이밍 제어부에 접속되는 인쇄회로기판 상에 실장되고,

상기 출력버퍼 집적회로는 상기 인쇄회로기판과 상기 데이터라인들이 배치된 액정패널 사이에 전기적으로 접속되어진 테이프 캐리어 패키지 상에 실장된 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

### 청구항 3

제 1 항에 있어서,

상기 디지털-아날로그 변환 집적회로 각각은

상기 타이밍제어부의 제어에 응답하여 샘플링신호를 순차적으로 출력하는 쉬프트 레지스터부와;

상기 타이밍제어부의 제어와 상기 샘플링신호에 응답하여 상기 타이밍제어부로부터 입력되는  $n$ 개의 화소데이터들을 순차적으로 래치하고 동시에 출력하는 래치부와;

입력 감마전압을 이용하여 상기  $n$ 개의 화소데이터를 정극성 및 부극성 화소신호로 변환하고, 상기 타이밍제어부의 극성제어신호에 응답하는 상기  $n$ 개의 화소신호를 출력하는 디지털-아날로그 변환부와;

상기 타이밍제어부의 선택제어신호에 응답하여 상기 디지털-아날로그 변환부로부터의  $n$ 개의 화소신호를 상기 적어도 2개의 출력버퍼들에 선택적으로 출력하는 디멀티플렉서를 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

### 청구항 4

제 3 항에 있어서,

상기 디지털-아날로그 변환 집적회로 각각은

상기 타이밍제어부로부터의 각종 제어신호들과 화소데이터를 중계하여 상기 쉬프트 레지스터부, 래치부, 디지털-아날로그 변환부 및 디멀티플렉서로 공급하는 신호제어부와;

입력 감마 기준전압을 세분화하여 상기 감마전압을 발생하는 감마 전압부를 추가로 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

### 청구항 5

제 1 항에 있어서,

상기 타이밍제어부로부터 상기 디지털-아날로그 변환 집적회로들에 공급되는 제어신호들과 화소데이터의 주파수가 적어도 2배 이상 증가된 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

### 청구항 6

제 3 항에 있어서,

상기 타이밍제어부는 상기 래치부의 출력을 제어하는 출력인에이블신호의 주기마다 상기 선택제어신호의 논리상태가 반전되게 하여 상기 n개의 화소신호가 상기 적어도 2개의 출력버퍼 집적회로에 순차적으로 공급되게 하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**청구항 7**

액정패널에 배치된 데이터라인들을 구동하기 위한 데이터 구동 장치의 구동 방법에 있어서,  
 상기 데이터 구동 장치는 n(n은 정수)개씩의 데이터라인들에 접속되어진 출력버퍼 집적회로들과, 적어도 2개의 출력버퍼 집적회로 입력단에 공통 접속된 디지털-아날로그 변환 집적회로들로 구성되고,  
 상기 디지털-아날로그 변환 집적회로들 각각에 공급될 화소데이터를 상기 n개씩의 화소데이터로 구성되는 적어도 2개의 구간으로 시분할하여 공급하는 단계와;  
 상기 n개씩의 화소데이터를 아날로그형태인 화소신호로 변환하는 단계와;  
 변환된 상기 n개씩의 화소신호를 상기 적어도 2개의 출력버퍼 집적회로들에 선택적으로 공급하여 상기 데이터라인들에 공급되게 하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

**청구항 8**

제 7 항에 있어서,  
 상기 화소신호로 변환하는 단계는  
 순차 샘플링신호를 발생하는 단계와;  
 상기 샘플링신호에 응답하여 상기 n개의 화소데이터를 순차적으로 샘플링하고 래치한 후 동시에 출력하는 단계와;  
 상기 n개의 화소데이터를 감마전압을 이용하여 정극성 및 부극성 화소신호로 변환하는 단계와;  
 상기 정극성 및 부극성 화소신호 중 어느 하나를 선택하여 상기 n개의 화소신호를 출력하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

**청구항 9**

삭제

**청구항 10**

다수개의 화소신호들을 신호완충시켜 다수개의 데이터라인들로 출력하기 위한 다수개의 출력버퍼 집적회로들과;  
 적어도 2개의 상기 출력버퍼 집적회로들의 입력단에 공통으로 접속되어 입력된 다수개의 화소데이터를 아날로그 화소신호로 변환하고 시분할하여 상기 적어도 2개의 출력버퍼 집적회로들로 출력하기 위한 디지털-아날로그 변환 집적회로들을 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**청구항 11**

제 10 항에 있어서,  
 상기 다수개의 디지털-아날로그 변환 집적회로들을 제어하고 상기 화소데이터들이 상기 다수개의 데이터라인들에 순차적으로 공급되도록 적어도 2개의 구간으로 시분할하여 공급하는 타이밍 제어수단을 추가로 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**청구항 12**

다수개의 데이터 라인에 접속된 적어도 2개의 출력 버퍼 집적 회로들과, 상기 적어도 2개의 출력 버퍼 집적 회로 입력단에 공통 접속된 디지털 -아날로그 변환 집적 회로들로 구성되는 액정 표시 장치의 데이터 구동 방법에 있어서,  
 상기 디지털-아날로그 변환 집적 회로가 입력된 다수개의 화소 데이터를 아날로그 화소 신호로 변환하고, 상기 변환된 화소 신호를 시분할하여 상기 적어도 2개의 출력 버퍼 집적 회로들에 출력하는 단계와;

상기 적어도 2개의 출력 버퍼 집적 회로가 상기 화소 신호들을 신호 완충시켜 상기 다수개의 데이터 라인들에 출력하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <15> 본 발명은 액정표시장치에 관한 것으로, 특히 디지털-아날로그 변환부와 출력버퍼부를 분리하여 집적화함으로써 테이프 캐리어 패키지의 불량에 따른 손실을 현저하게 줄일 수 있게 하는 액정표시장치의 데이터 구동 장치 및 방법에 관한 것이다. 또한, 본 발명은 디지털-아날로그 변환부를 시분할 구동함으로써 디지털-아날로그 변환기능을 하는 집적회로의 수를 줄일 수 있게 하는 액정표시장치의 데이터 구동 장치 및 방법에 관한 것이다.
- <16> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다. 액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다. 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 공통전극을 구동하기 위한 공통전압 발생부를 구비한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 게이트신호가 공급될 때마다 데이터라인들 각각에 화소신호를 공급한다. 공통전압 발생부는 공통전극에 공통전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다. 데이터 드라이버와 게이트 드라이버는 집적회로(Integrated Circuit; 이하, IC라 함) 칩(Chip)으로 제작되어 테이프 캐리어 패키지(Tape Carrier Package; 이하, TCP라 함) 상에 실장되며 주로 탭(TAB; Tape Automated Bonding) 방식으로 액정패널에 접속된다.
- <17> 도 1은 종래 액정표시장치의 데이터 구동블록을 개략적으로 도시한 것으로, 데이터 구동블록은 TCP(6)를 통해 액정패널(2)과 접속되어진 데이터 드라이브 IC들(4)과; TCP(6)를 통해 데이터 드라이브 IC들(4)과 접속되어진 데이터 인쇄회로기판(Printed Circuit Board; 이하, PCB라 함)(8)을 구비한다.
- <18> 데이터 PCB(8)는 타이밍 제어부(도시하지 않음)로부터 공급되는 각종 제어신호들 및 데이터 신호들과 파워부(도시하지 않음)로부터의 구동전압신호들을 입력하여 데이터 구동 IC들(4)로 중계하는 역할을 한다. TCP(6)는 액정패널(2)의 상단부에 마련된 데이터 패드들과 전기적으로 접속됨과 아울러 데이터 PCB(8)에 마련된 출력 패드들과 전기적으로 접속된다. 데이터 드라이브 IC들(4)은 디지털 신호인 화소데이터를 아날로그 신호인 화소신호로 변환하여 액정패널(2) 상의 데이터라인들에 공급한다.
- <19> 이를 위하여, 데이터 드라이브 IC들(4) 각각은 도 2에 도시된 바와 같이 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(14)와, 샘플링신호에 응답하여 화소데이터(VD)를 순차적으로 래치하여 동시에 출력하는 래치부(16)와, 래치부(16)로부터의 화소데이터(VD)를 화소신호로 변환하는 디지털-아날로그 변환부(이하, DAC부라 함)(18)와, DAC(18)로부터의 화소신호를 완충하여 출력하는 출력 버퍼부(26)를 구비한다. 또한, 데이터 드라이브 IC(4)는 타이밍 제어부(도시하지 않음)로부터 공급되는 각종 제어신호들과 화소데이터(VD)를 중계하는 신호 제어부(10)와, DAC부(18)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(12)를 추가로 구비한다. 이러한 구성을 가지는 데이터 드라이브 IC들(4) 각각은 n개씩의 데이터라인들(D1 내지 Dn)을 구동하게 된다.
- <20> 신호제어부(10)는 타이밍 제어부로부터의 각종 제어신호들(SSP, SSC, SOE, REV, POL 등)과 화소데이터(VD)를 해당 구성요소들로 출력되게 제어한다.
- <21> 감마전압부(12)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로

세분화하여 출력한다.

- <22> 쉬프트 레지스터부(14)에 포함된 쉬프트 레지스터들은 신호제어부(10)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다.
- <23> 래치부(16)에 포함된 n개의 래치들은 쉬프트 레지스터부(14)의 샘플링신호에 응답하여 신호 제어부(10)로부터의 화소데이터(VD)를 순차적으로 샘플링하여 래치하게 된다. 이때, 래치들은 신호 제어부(10)로부터 공급되는 소스 샘플링 클럭신호(SSC)의 라이징 또는 폴링 에지에서 화소데이터(VD)를 샘플링하게 된다. 이어서, n개의 래치들은 신호 제어부(10)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 래치된 화소데이터들(VD)을 동시에 출력한다. 이 경우, 래치부(16)는 데이터반전 선택신호(REV)에 응답하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)들은 복원시켜 출력하게 된다. 이는 타이밍 제어부에서 데이터전송시 전자기적 간섭(EMI)을 최소화하기 위하여 트랜지션되는 비트수가 기준치를 넘어서는 화소데이터(VD)들은 트랜지션 비트수가 줄어들게끔 변조하여 공급하기 때문이다.
- <24> DAC부(18)는 래치부(16)로부터의 화소데이터(VD)를 동시에 정극성 및 부극성 화소신호로 변환하여 출력하게 된다. 이를 위하여, DAC부(18)는 래치부(16)에 공통 접속된 P(Positive) 디코딩부(20) 및 N(Negative) 디코딩부(22)와, P 디코딩부(20) 및 N 디코딩부(22)의 출력신호를 선택하기 위한 멀티플렉서(MUX; 24)를 구비한다.
- <25> P 디코딩부(20)에 포함되는 n개의 P 디코더들은 래치부(16)로부터 동시에 입력되는 n개의 화소데이터들을 감마 전압부(12)로부터의 정극성 감마전압들을 이용하여 정극성 화소신호로 변환하게 된다. N 디코딩부(22)에 포함되는 n개의 N 디코더들은 래치부(16)로부터 동시에 입력되는 n개의 화소데이터들을 감마 전압부(12)로부터의 부극성 감마전압들을 이용하여 부극성 화소신호로 변환하게 된다. 멀티플렉서(24)는 신호제어부(10)로부터의 극성 제어신호(POL)에 응답하여 P 디코더(20)로부터의 정극성 화소신호 또는 N 디코더(22)로부터의 부극성 화소신호를 선택하여 출력하게 된다.
- <26> 출력버퍼부(26)에 포함되는 n개의 출력버퍼들은 n개의 데이터라인들(D1 내지 Dn)들에 직렬로 각각 접속되어진 전압추종기(Voltage follower) 등으로 구성된다. 이러한 출력버퍼들은 DAC부(18)로부터의 화소신호들을 신호완충하여 데이터라인들(D1 내지 Dn)에 공급하게 된다.
- <27> 이와 같이, 종래의 데이터 드라이브 IC들(4) 각각은 n개의 데이터라인들(D1 내지 Dn)을 구동하기 위하여 n개씩의 래치들과 2n개의 디코더들을 구비해야만 한다. 이 결과, 종래의 데이터 드라이브 IC들(4)은 그 구성이 복잡하고 제조단가가 상대적으로 높은 단점을 가진다.
- <28> 또한, 종래의 데이터 드라이브 IC들(4) 각각은 도 1에 도시된 바와 같이 하나의 칩 형태로 TCP(6)에 부착되어 액정패널(2)과 데이터 PCB(8)와 접촉된다. 여기서, TCP(6)는 단선, 단락 등과 같은 불량율이 상대적으로 높다. 이에 따라, TCP(6)에 불량률이 발생하는 경우 그 TCP(6) 상에 실장된 고가의 데이터 드라이브 IC(4)도 같이 사용할 수 없게 되므로 경제적인 손실이 크다는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <29> 따라서, 본 발명의 목적은 DAC부와 출력버퍼부를 분리하여 집적화함으로써 TCP 불량에 의한 손실을 최소화할 수 있는 액정표시장치의 데이터 구동 장치 및 방법을 제공하는 것이다.
- <30> 본 발명의 다른 목적은 DAC부를 시분할 구동함으로써 DAC IC의 수를 줄여 제조단가를 낮출 수 있는 액정표시장치의 데이터 구동 장치 및 방법을 제공하는 것이다.

**발명의 구성 및 작용**

- <31> 상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 액정표시장치의 데이터 구동 장치는 입력된 화소신호를 신호완충시켜 n개씩의 데이터라인들로 출력하는 출력버퍼 집적회로들과; 적어도 2개의 출력버퍼 집적회로들의 입력단에 공통으로 접속되고 입력된 n개씩의 화소데이터를 아날로그형태인 화소신호로 변환하여 적어도 2개의 출력버퍼 집적회로들에 선택적으로 출력하는 디지털-아날로그 변환 집적회로들과; 디지털-아날로그 변환 집적회로들 각각을 제어함과 아울러 그들 각각에 공급할 화소데이터를 n개씩의 화소데이터로 구성되는 적어도 2개의 구간으로 시분할하여 공급하는 타이밍 제어부를 구비한다.

- <32> 여기서, 상기 디지털-아날로그 변환 집적회로는 타이밍 제어부에 접속되는 인쇄회로기판 상에 실장되고, 출력버퍼 집적회로는 인쇄회로기판과 데이터라인들이 배치된 액정패널 사이에 전기적으로 접속되어진 테이프 캐리어 패키지 상에 실장된 것을 특징으로 한다.
- <33> 그리고, 상기 상기 디지털-아날로그 변환 집적회로 각각은 타이밍제어부의 제어에 응답하여 샘플링신호를 순차적으로 출력하는 쉬프트 레지스터부와; 타이밍제어부의 제어와 샘플링신호에 응답하여 타이밍제어부로부터 입력되는 n개의 화소데이터들을 순차적으로 래치하고 동시에 출력하는 래치부와; 입력 감마전압을 이용하여 n개의 화소데이터를 정극성 및 부극성 화소신호로 변환하고, 타이밍제어부의 극성제어신호에 응답하는 상기 n개의 화소신호를 출력하는 디지털-아날로그 변환부와; 타이밍제어부의 선택제어신호에 응답하여 디지털-아날로그 변환부로부터의 n개의 화소신호를 적어도 2개의 출력버퍼들에 선택적으로 출력하는 디멀티플렉서를 구비하는 것을 특징으로 한다.
- <34> 또한, 상기 디지털-아날로그 변환 집적회로 각각은 타이밍제어부로부터의 각종 제어신호들과 화소데이터를 중계하여 쉬프트 레지스터부, 래치부, 디지털-아날로그 변환부 및 디멀티플렉서로 공급하는 신호제어부와; 입력 감마 기준전압을 세분화하여 감마전압을 발생하는 감마 전압부를 추가로 구비하는 것을 특징으로 한다.
- <35> 본 발명에 따른 액정표시장치의 데이터 구동 장치에서는 타이밍제어부로부터 디지털-아날로그 변환 집적회로들에 공급되는 제어신호들과 화소데이터의 주파수가 적어도 2배 이상 증가된 것을 특징으로 한다.
- <36> 특히, 상기 타이밍제어부는 래치부의 출력을 제어하는 출력인에이블신호의 주기마다 선택제어신호의 논리상태가 반전되게 하여 n개의 화소신호가 적어도 2개의 출력버퍼 집적회로에 순차적으로 공급되게 하는 것을 특징으로 한다.
- <37> 본 발명의 한 특징에 따른 액정표시장치의 데이터 구동 방법은 액정패널에 배치된 데이터라인들을 구동하기 위한 데이터 구동 장치의 구동 방법에 있어서, 데이터 구동 장치가 n개씩의 데이터라인들에 접속되어진 출력버퍼 집적회로들과, 적어도 2개의 출력버퍼 집적회로 입력단에 공통 접속된 디지털-아날로그 변환 집적회로들로 구성되고, 디지털-아날로그 변환 집적회로들 각각에 공급될 화소데이터를 n개씩의 화소데이터로 구성되는 적어도 2개의 구간으로 시분할하여 공급하는 단계와; n개씩의 화소데이터를 아날로그형태인 화소신호로 변환하는 단계와; 변환된 n개씩의 화소신호를 적어도 2개의 출력버퍼 집적회로들에 선택적으로 공급하여 데이터라인들에 공급되게 하는 단계를 포함한다.
- <38> 여기서, 상기 화소신호로 변환하는 단계는 순차 샘플링신호를 발생하는 단계와; 샘플링신호에 응답하여 n개의 화소데이터를 순차적으로 샘플링하고 래치한 후 동시에 출력하는 단계와; n개의 화소데이터를 감마전압을 이용하여 정극성 및 부극성 화소신호로 변환하는 단계와; 정극성 및 부극성 화소신호 중 어느 하나를 선택하여 n개의 화소신호를 출력하는 단계를 포함한다.
- <39> 이 경우, 상기 화소데이터의 샘플링 속도 및 상기 화소신호로의 변환 속도가 적어도 2배 증가된 것을 특징으로 한다.
- <40> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <41> 이하, 도 3 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <42> 도 3은 본 발명의 실시 예에 따른 액정표시장치의 데이터 구동장치의 구성을 도시한 블록도이다. 도 3에 도시된 데이터 구동장치는 크게 DAC 기능을 하는 DAC 수단과 출력 버퍼링 기능을 하는 버퍼링 수단으로 분리되어 별도의 칩으로 집적화된다. 다시 말하여 데이터 구동장치는 DAC IC(30)와 출력버퍼 IC(50)로 분리되어 구성된다. 특히, 하나의 DAC IC(30)에는 적어도 2개의 출력버퍼 IC(50)가 공통으로 접속되어 구동될 수 있게끔 DAC IC(30)는 적어도 2개의 구간으로 시분할되어 DAC 기능을 수행하게 된다. 여기서의 하나의 DAC IC(30)에 2개의 출력버퍼 IC(50)가 공통으로 접속된 경우를 예로 들어 설명하기로 한다.
- <43> DAC IC(30)는 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(36)와, 샘플링신호에 응답하여 화소데이터(VD)를 순차적으로 래치하여 동시에 출력하는 래치부(38)와, 래치부(38)로부터의 화소데이터(VD)를 화소신호로 변환하는 DAC부(40)와, DAC(40)로부터의 화소신호를 2개의 출력버퍼 IC(50)에 순차적으로 공급하는 디멀티플렉서(DEMUX; 48)를 구비한다. 또한, DAC IC(30)는 타이밍 제어부(도시하지 않음)로부터 공급되는 각종 제어신호들과 화소데이터(VD)를 중계하는 신호 제어부(32)와, DAC부(40)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(34)를 추가로 구비한다. 이러한 구성을 가지는 DAC IC(30)는 시분할 구동되어 2n개의

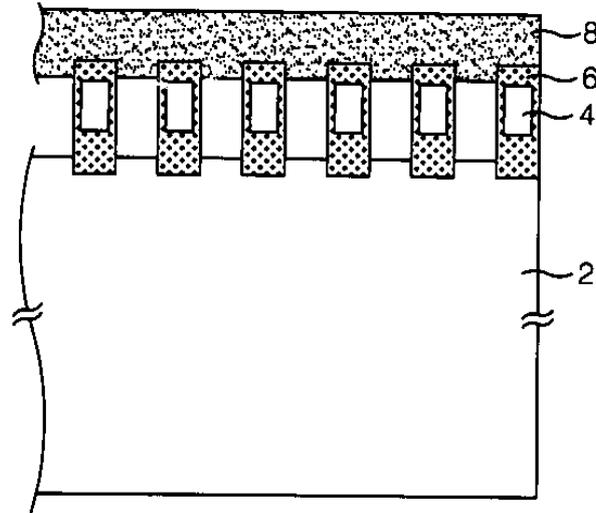
데이터라인들(DL11 내지 DL1n, DL21 내지 DL2n)에 공급되어질 화소신호를 n개씩 순차적으로 출력하게 된다. 이렇게 DAC IC(30)가 종래의 데이터 드라이브 IC에 비하여 2배가 되는 데이터라인들을 구동하기 위하여 구동신호들은 종래의 2배가 되는 주파수를 가지게 된다.

- <44> 신호제어부(32)는 타이밍 제어부로부터의 각종 제어신호들(CLK, SSP, SSC, SOE, REV, POL 등)과 화소데이터(V D)를 해당 구성요소들로 출력되게 제어한다. 이 경우, 타이밍 제어부는 신호제어부(32)를 통해 공급되는 각종 제어신호들(CLK, SSP, SSC, SOE, REV, POL 등) 및 화소데이터(VD)가 종래 대비 2배의 주파수를 가지게 한다. 특히, 타이밍제어부는 2n개의 데이터라인들(DL11 내지 DL1n, DL21 내지 DL2n)에 해당되는 2n개의 화소데이터 (VD)를 2개의 구간으로 시분할하여 n개씩 순차적으로 공급되게 한다.
- <45> 감마 전압부(34)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.
- <46> 쉬프트 레지스터부(36)에 포함되는 쉬프트 레지스터들은 신호제어부(32)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다. 이 경우, 쉬프트 레지스터부(36)는 주파수가 2배로 증가된 소스 스타트 펄스(SSP)와 소스 샘플링 클럭신호(SSC)에 응답하여 종래의 2배 속도로 샘플링신호를 출력하게 된다.
- <47> 래치부(38)에 포함되는 n개의 래치들은 쉬프트 레지스터부(36)의 샘플링신호에 응답하여 신호 제어부(32)로부터의 화소데이터(VD)를 순차적으로 샘플링하여 래치하게 된다. 이때, 래치들은 신호 제어부(32)로부터 공급되는 소스 샘플링 클럭신호(SSC)의 라이징 또는 폴링 에지에서 화소데이터(VD)를 샘플링하게 된다. 이어서, 래치들은 신호 제어부(32)로부터 공급되는 소스 출력 인에이블신호(SOE)에 응답하여 래치된 화소데이터들(VD)을 동시에 출력한다. 이 경우, 래치들은 데이터반전 선택신호(REV)에 응답하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)들은 복원시켜 출력하게 된다. 이는 타이밍 제어부에서 데이터전송시 전자기적 간섭(EMI)을 최소화하기 위하여 트랜지션되는 비트수가 기준치를 넘어서는 화소데이터(VD)들은 트랜지션 비트수가 줄어들게끔 변조하여 공급하기 때문이다. 여기서, 래치부(38)에 공급되는 소스 샘플링 클럭신호(SSC)와 소스 출력 인에이블 신호(SOE)는 도 4a 및 도 4b에 "NSSC"와 "NSOE"로 도시한 바와 같이 도 2에 도시된 종래의 쉬프트 레지스터부 (14)와 래치부(16)에 공급되는 "SSC" 및 "SOE"와 대비하여 2배의 주파수를 가지고 공급된다.
- <48> DAC부(40)는 래치부(38)로부터의 화소데이터를 동시에 정극성 및 부극성 화소신호로 변환하여 출력하게 된다. 이를 위하여, DAC부(40)는 래치부(38)에 공통 접속된 P(Positive) 디코딩부(42) 및 N(Negative) 디코딩부(44)와, P 디코딩부(42) 및 N 디코딩부(44)의 출력신호를 선택하기 위한 멀티플렉서(MUX; 46)를 구비한다.
- <49> P 디코딩부(42)에 포함되는 n개의 P 디코더들은 래치부(38)로부터 동시에 입력되는 n개의 화소데이터들을 감마 전압부(34)로부터의 정극성 감마전압들을 이용하여 정극성 화소신호로 변환하게 된다. N 디코딩부(44)에 포함되는 n개의 N 디코더들은 래치부(38)로부터 동시에 입력되는 n개의 화소데이터들을 감마 전압부(34)로부터의 부 극성 감마전압들을 이용하여 부극성 화소신호로 변환하게 된다. 멀티플렉서(46)는 신호제어부(32)로부터의 극 성제어신호(POL)에 응답하여 P 디코더(42)로부터의 정극성 화소신호 또는 N 디코더(44)로부터의 부극성 화소신 호를 선택하여 n개씩 출력하게 된다. 이러한 구성을 가지는 DAC부(40)는 종래의 DAC부(18)와 대비하여 2배의 속도로 n개씩의 화소데이터를 화소신호로 변환함으로써 2n개의 화소데이터를 화소신호로 변환할 수 있게 된다.
- <50> 디멀티플렉서(48)는 멀티플렉서(46)로부터 입력되는 n개의 화소신호를 도 4c에 도시된 바와 같이 신호 제어부 (32)로부터 입력되는 선택제어신호(SEL)에 응답하여 제1 출력버퍼 IC(50) 또는 제2 출력버퍼 IC(50)에 출력하게 된다. 선택제어신호(SEL)는 래치부(38)에 공급되는 소스출력인에이블신호(SOE)의 한주기마다 논리값이 반전됨 으으로써 n개씩의 화소신호가 제1 출력버퍼 IC(50)와 제2 출력버퍼 IC(50)에 순차적으로 출력되게 한다.
- <51> 제1 및 제2 출력버퍼 IC(50) 각각은 DAC IC(30)로부터의 화소신호를 완충하여 n개씩의 데이터라인들(DL11 내지 DL1n 또는 DL21 내지 DL2n)로 출력하는 출력 버퍼부(52)를 구비한다. 각 출력버퍼부(52)에 포함되어진 n개의 출력버퍼들은 n개의 데이터라인들(DL11 내지 D1n 또는 DL21 내지 DL2n)들에 직렬로 각각 접속되어진 전압추종기 (Voltage follower) 등으로 구성된다. 이러한 출력버퍼들은 DAC IC부(30)로부터의 화소신호들을 신호완충하여 데이터라인들(DL11 내지 D1n 또는 DL21 내지 DL2n)에 공급하게 된다.
- <52> 이러한 구성을 가지는 본 발명의 실시 예에 따른 DAC IC(30)는 도 5에 도시된 바와 같이 데이터 PCB(68) 상에, 출력버퍼 IC(50)는 TCP(66) 상에 분리되어 실장되어진다. 데이터 PCB(68)는 타이밍 제어부(도시하지 않음)로부 터 공급되는 각종 제어신호들과 데이터 신호들을 DAC IC들(30)로 전송함과 아울러, DAC IC(30)로부터의 화소신 호들을 TCP(66)를 경유하여 출력버퍼 IC들(50)로 전송하는 역할을 한다. TCP(66)는 액정패널(62)의 상단부에

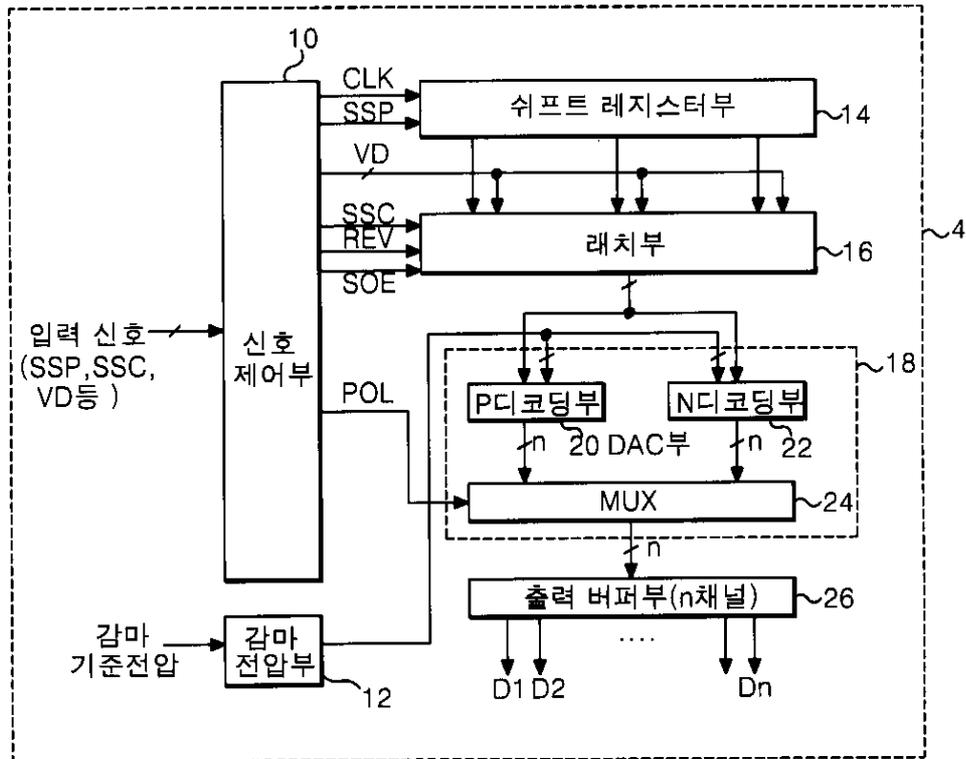


도면

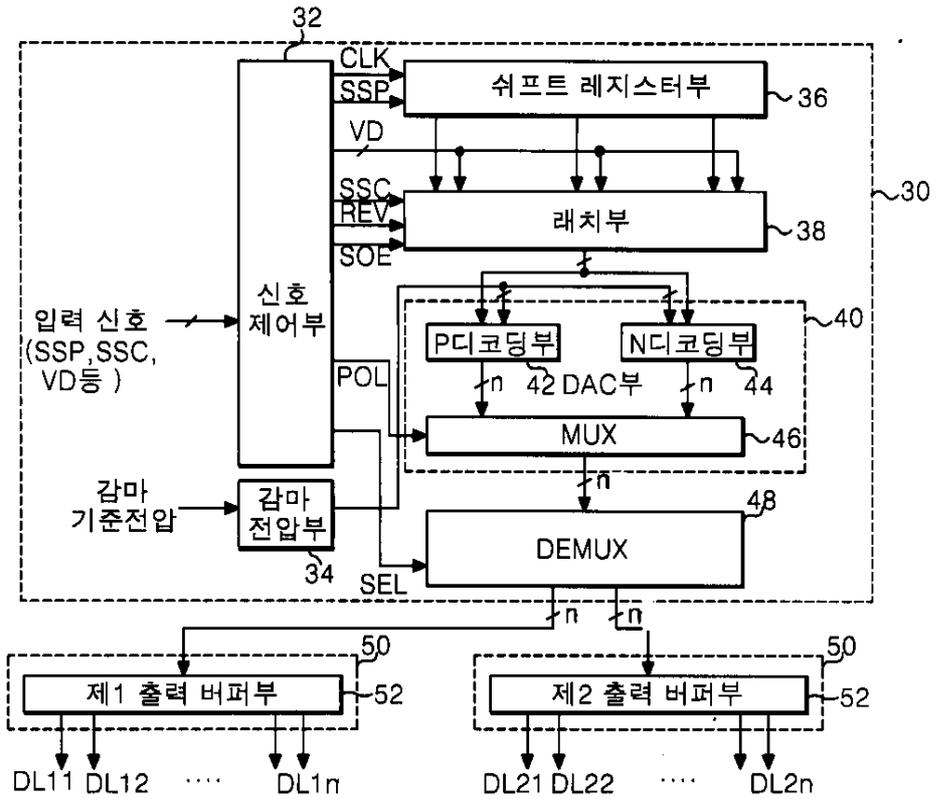
도면1



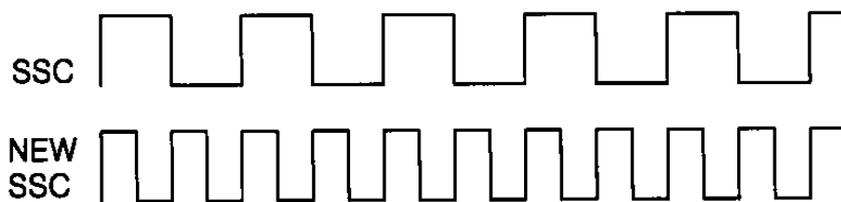
도면2



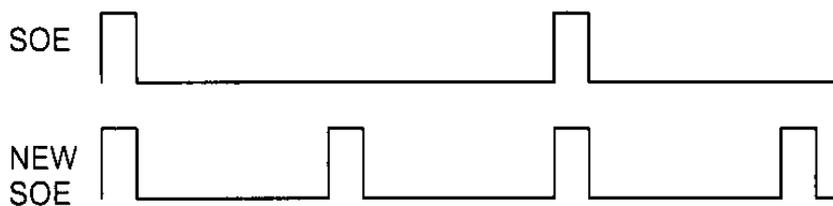
도면3



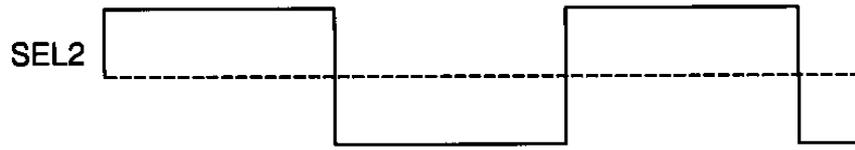
도면4a



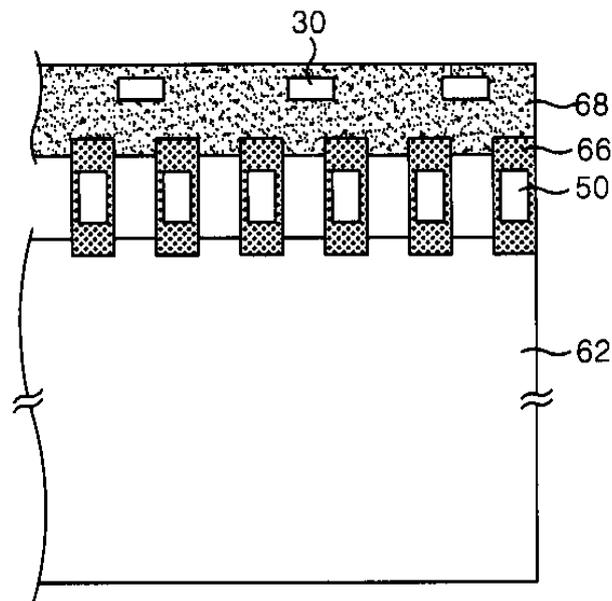
도면4b



도면4c



도면5



专利名称(译)	用于驱动液晶显示装置的装置和方法		
公开(公告)号	<a href="#">KR100815897B1</a>	公开(公告)日	2008-03-21
申请号	KR1020010063207	申请日	2001-10-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SEOKWOO 이석우 CHOI SUKYUNG 최수경		
发明人	이석우 최수경		
IPC分类号	G09G3/36 G02F1/1345 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G2310/027 G09G3/2011 G09G3/3614 G09G2310/0297		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020030031281A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种用于液晶显示器的数据驱动设备，包括：多个输出缓冲器集成电路，用于缓冲多个像素信号并将所述多个像素信号输出到多条数据线；以及多个数模转换器集成电路，其每个均共同连接至多个输出缓冲器集成电路中的至少两个的输入端子，用于将输入像素数据转换为多个像素信号并选择性地输出多个像素信号至至少两个输出缓冲器集成电路；以及定时控制装置，用于控制多个数模转换器集成电路，并且将像素数据进行时分到至少两个区域中，以将像素数据顺序地提供给多条数据线。

