



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월14일
(11) 등록번호 10-0803184
(24) 등록일자 2008년02월04일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2003-0001298

(22) 출원일자 2003년01월09일

심사청구일자 2007년03월30일

(65) 공개번호 10-2003-0065321

(43) 공개일자 2003년08월06일

(30) 우선권주장

JP-P-2002-00019518 2002년01월29일 일본(JP)

(56) 선행기술조사문헌

US 5,712,652 A

US 5,990,857 A

US 6,344,843 A

US 6,380,918 A

(73) 특허권자

후지쯔 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라쿠 가미고
다나카 4초메 1-1

(72) 발명자

구마가이마사오

일본가나가와켄가와사키시나카하라쿠가미고다나카
4-1-1후지쯔가부시끼가이샤나미

후쿠다히데토

일본가나가와켄가와사키시나카하라쿠가미고다나카
4-1-1후지쯔가부시끼가이샤나미

우도신야

일본가나가와켄가와사키시나카하라쿠가미고다나카
4-1-1후지쯔가부시끼가이샤나미

(74) 대리인

송승필, 신정건

전체 청구항 수 : 총 8 항

심사관 : 김세영

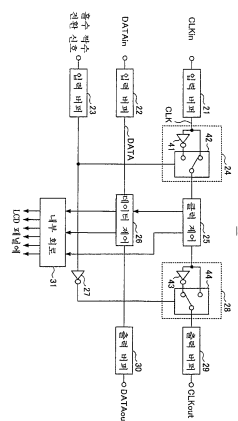
(54) 집적회로, 액정 표시 장치 및 신호 전송 시스템

(57) 요약

본 발명은 듀티비의 오차가 축적되지 않는 LCD 데이터 드라이버 및 그러한 LCD 데이터 드라이버를 이용한 액정 패널을 제공하는 것을 목적으로 한다.

LCD 데이터 드라이버 회로는, 외부로부터 공급되는 입력 신호를 제 1 입력 신호로 하고, 전환 신호가 제 1 상태일 때에 제 1 입력 신호를 반전하여 출력하고 전환 신호가 제 2 상태일 때에 제 1 입력 신호를 그대로 출력하는 제 1 신호 반전 전환 회로와, 제 1 신호 반전 전환 회로의 출력에 기초하여 신호 처리를 하는 신호 처리 회로와, 신호 처리 회로를 그대로 통과하는 제 1 신호 반전 전환 회로의 출력을 제 2 입력 신호로 하여, 전환 신호가 제 2 상태일 때에 제 2 입력 신호를 반전하여 출력하고 전환 신호가 제 1 상태일 때에 제 2 입력 신호를 그대로 출력하는 제 2 신호 반전 전환 회로를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

제 1 입력 신호를 수신하기 위한 제 1 입력 노드와, 출력 신호를 출력하기 위한 제 1 출력 노드를 구비하며, 전환 신호가 제 1 상태일 때에 상기 제 1 출력 노드에서 상기 제 1 입력 신호의 반전을 출력하고, 상기 전환 신호가 제 2 상태일 때에 상기 제 1 출력 노드에서 상기 제 1 입력 신호를 논리 반전 없이 출력하도록 구성되는 제 1 신호 반전 전환 회로와,

상기 제 1 신호 반전 전환 회로의 출력 신호에 기초하여 신호 처리를 하는 신호 처리 회로와,

상기 제 1 신호 반전 전환 회로의 출력 신호를 제 2 입력 신호로서 수신하기 위한 제 2 입력 노드와, 출력 신호를 출력하기 위한 제 2 출력 노드를 구비하며, 상기 전환 신호가 제 2 상태일 때에 상기 제 2 출력 노드에서 상기 제 2 입력 신호의 반전을 출력하고, 상기 전환 신호가 제 1 상태일 때에 상기 제 2 출력 노드에서 상기 제 2 입력 신호를 논리 반전 없이 출력하도록 구성되는 제 2 신호 반전 전환 회로

를 포함하는 것을 특징으로 하는 집적회로.

청구항 2

제 1항에 있어서, 상기 제 1 입력 신호는 클록 신호이고, 상기 신호 처리 회로는,

상기 제 1 신호 반전 전환 회로의 출력에 기초하여 타이밍 제어 신호를 생성하는 클록 제어 회로와,

외부로부터 공급되는 데이터 신호를 상기 타이밍 제어 신호에 따라 취득하는 데이터 제어 회로를 포함하는 것을 특징으로 하는 집적회로.

청구항 3

제 2항에 있어서, 상기 신호 처리 회로는 상기 데이터 제어 회로가 취득한 데이터 신호에 기초하여 액정 표시 패널을 구동하기 위한 구동 신호를 생성하여 출력하는 회로를 더 포함하는 것을 특징으로 하는 집적회로.

청구항 4

제 2항에 있어서,

외부로부터 공급되는 신호를 제 1 입력 데이터 신호로서 수신한 다음, 상기 전환 신호가 제 1 상태일 때에 상기 제 1 입력 데이터 신호를 논리 반전하여 상기 데이터 제어 회로에 출력하고, 상기 전환 신호가 제 2 상태일 때에 상기 제 1 입력 데이터 신호를 논리 반전 없이 상기 데이터 제어 회로에 출력하는 제 3 신호 반전 전환 회로와,

상기 제 3 신호 반전 전환 회로의 출력을 제 2 입력 데이터 신호로서 수신한 다음, 상기 전환 신호가 제 2 상태일 때에 상기 제 2 입력 데이터 신호를 논리 반전하여 출력하고, 상기 전환 신호가 제 1 상태일 때에 상기 제 2 입력 데이터 신호를 논리 반전 없이 출력하는 제 4 신호 반전 전환 회로

를 더 포함하는 것을 특징으로 하는 집적회로.

청구항 5

삭제

청구항 6

액정 표시 장치에 있어서,

액정 표시 패널과,

상기 액정 표시 패널의 게이트 버스 라인을 구동하는 게이트 드라이버와,

캐스캐이드 접속되며, 상기 액정 표시 패널의 데이터 버스 라인을 구동하는 복수의 데이터 드라이버를 포함하고,

상기 복수의 데이터 드라이버의 각각은 전단으로부터 공급되는 신호를 수신하고 그 신호를 논리 반전하여 다음 단계에 전달하며,

상기 복수의 데이터 드라이버의 각각은,

제 1 입력 신호를 수신하기 위한 제 1 입력 노드와, 출력 신호를 출력하기 위한 제 1 출력 노드를 구비하며, 전환 신호가 제 1 상태일 때에 상기 제 1 출력 노드에서 상기 제 1 입력 신호의 반전을 출력하고, 상기 전환 신호가 제 2 상태일 때에 상기 제 1 출력 노드에서 상기 제 1 입력 신호를 논리 반전 없이 출력하도록 구성되는 제 1 신호 반전 전환 회로와,

상기 제 1 신호 반전 전환 회로의 출력 신호에 기초하여 신호 처리를 하는 신호 처리 회로와,

상기 제 1 신호 반전 전환 회로의 출력 신호를 제 2 입력 신호로서 수신하기 위한 제 2 입력 노드와, 출력 신호를 출력하기 위한 제 2 출력 노드를 구비하며, 상기 전환 신호가 제 2 상태일 때에 상기 제 2 출력 노드에서 상기 제 2 입력 신호의 반전을 출력하고, 상기 전환 신호가 제 1 상태일 때에 상기 제 2 출력 노드에서 상기 제 2 입력 신호를 논리 반전 없이 출력하도록 구성되는 제 2 신호 반전 전환 회로

를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제 6항에 있어서,

상기 복수의 데이터 드라이버 중 홀수 번째에 배치되는 데이터 드라이버는 상기 제 2 상태의 전환 신호를 수신하고, 상기 복수의 데이터 드라이버 중 짝수 번째에 배치되는 데이터 드라이버는 상기 제 1 상태의 전환 신호를 수신하는 것을 특징으로 하는 액정 표시 장치.

청구항 8

삭제

청구항 9

신호 전송 시스템에 있어서,

캐스케이드 접속된 복수의 집적회로

를 포함하고,

상기 복수의 집적회로의 각각은 전단으로부터 공급되는 신호를 수신하고 그 신호를 논리 반전하여 다음 단계에 전달하며,

상기 복수의 집적회로의 각각은,

제 1 입력 신호를 수신하기 위한 제 1 입력 노드와, 출력 신호를 출력하기 위한 제 1 출력 노드를 구비하며, 전환 신호가 제 1 상태일 때에 상기 제 1 출력 노드에서 상기 제 1 입력 신호의 반전을 출력하고, 상기 전환 신호가 제 2 상태일 때에 상기 제 1 출력 노드에서 상기 제 1 입력 신호를 논리 반전 없이 출력하도록 구성되는 제 1 신호 반전 전환 회로와,

상기 제 1 신호 반전 전환 회로의 출력 신호에 기초하여 신호 처리를 하는 신호 처리 회로와,

상기 제 1 신호 반전 전환 회로의 출력 신호를 제 2 입력 신호로서 수신하기 위한 제 2 입력 노드와, 출력 신호를 출력하기 위한 제 2 출력 노드를 구비하며, 상기 전환 신호가 제 2 상태일 때에 상기 제 2 출력 노드에서 상기 제 2 입력 신호의 반전을 출력하고, 상기 전환 신호가 제 1 상태일 때에 상기 제 2 출력 노드에서 상기 제 2 입력 신호를 논리 반전 없이 출력하도록 구성되는 제 2 신호 반전 전환 회로

를 포함하는 것을 특징으로 하는 신호 전송 시스템.

청구항 10

제 9항에 있어서,

상기 복수의 집적회로 중 홀수 번째에 배치되는 집적회로는 상기 제 2 상태의 전환 신호를 수신하고, 상기 복수

의 집적회로 중 짝수 번째에 배치되는 집적회로는 상기 제 1 상태의 전환 신호를 수신하는 것을 특징으로 하는 신호 전송 시스템.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 액정 패널을 구동하는 드라이버 IC(integrated circuit)에 관한 것으로, 자세하게는 표시 데이터에 기초하여 액정 패널의 데이터 버스 라인을 구동하는 LCD (Liquid Crystal Display) 데이터 드라이버에 관한 것이다.
- <22> 액정 패널(panel)에서는, 트랜지스터를 포함한 화소가 종횡으로 배치되고, 가로 방향으로 뻗은 게이트 버스 라인(bus line)이 각 화소의 트랜지스터의 게이트에 접속되고, 세로 방향으로 뻗은 데이터 버스 라인이 트랜지스터를 개재하여 각 화소의 콘덴서에 접속된다. 액정 패널에 데이터 표시할 때에는, 게이트 드라이버에 의해 게이트 버스 라인을 1 라인씩 순차 구동하여 1 라인분의 트랜지스터를 도통 상태로 하고, 도통된 트랜지스터를 개재하여 데이터 드라이버로부터 각 화소에 가로 1 라인분의 데이터를 일제히 기입한다.
- <23> 종래의 일반적인 구성에서는, LCD 데이터 드라이버는 표시 데이터 신호나 클록 신호등을 전파하는 버스에 공통으로 접속된다. 이러한 구성에서는, 신호 배선이 서로 교차하기 때문에, 실장시의 기관의 층수가 많아져 버린다고 하는 문제가 있다. 그래서, 기관의 층수를 줄이기 위해서, LCD 데이터 드라이버를 캐스케이드 접속하고, 각 LCD 데이터 드라이버로부터의 출력을 다음 단의 LCD 데이터 드라이버에 공급하는 방식이 이용된다.
- <24> 캐스케이드(cascade) 접속 구성은, LCD 데이터 드라이버를 직렬로 접속하는 형태이기 때문에, 실장시의 신호 배선이 교차하는 일 없이 기관의 층수를 줄일 수 있다. 이에 의해 기관을 낮은 비용으로 제조하는 것이 가능하게 된다.

발명이 이루고자 하는 기술적 과제

- <25> LCD 데이터 드라이버를 캐스케이드 접속한 경우, 어떤 드라이버 소자(device)에 신호가 입력되면, 출력 버퍼를 개재하여 다음 단의 드라이버 소자에 그 신호가 공급된다. 이 때, 버퍼에 있어서의 신호 상승의 신호 지연과 신호 하강의 신호 지연에는 제조 공정에 기인하는 차이가 있고, 입력되는 신호와 출력되는 신호에서는 듀티비(duty ratio)가 약간 다르게 되어 버린다.
- <26> 동일 지연 특성을 갖는 LCD 데이터 드라이버를 캐스케이드 접속한 경우, 신호가 각 LCD 데이터 드라이버를 통과할 때마다 듀티비의 오차가 축적되고, 다단의 드라이버를 통과한 후에는 무시할 수 없을 정도의 듀티비의 오차가 생기는 경우가 있다. 예를 들면, SXGA의 LCD 패널에서는, 10개의 LCD 데이터 드라이버가 캐스케이드 접속되어 있고, 누적되는 듀티비의 오차에 의해 신호가 정상적인 형으로 전파되지 않을 가능성이 있다.
- <27> 이상을 감안한 본 발명은, 듀티비의 오차가 축적되지 않는 LCD 데이터 드라이버 및 그러한 LCD 데이터 드라이버를 이용한 액정 패널을 제공하는 것을 목적으로 한다.
- <28> 본 발명에 의한 집적회로는, 외부로부터 공급되는 입력 신호를 제 1 입력 신호로 하고, 전환 신호가 제 1 상태일 때에 이 제 1 입력 신호를 반전하여 출력하고 이 전환 신호가 제 2 상태일 때에 이 제 1 입력 신호를 그대로 출력하는 제 1 신호 반전 전환 회로와, 이 제 1 신호 반전 전환 회로의 출력에 기초하여 신호 처리를 하는 신호 처리 회로와, 이 신호 처리 회로를 그대로 통과하는 이 제 1 신호 반전 전환 회로의 출력을 제 2 입력 신호로 하여, 이 전환 신호가 이 제 2 상태일 때에 이 제 2 입력 신호를 반전하여 출력하고 이 전환 신호가 이 제 1 상태일 때에 이 제 2 입력 신호를 그대로 출력하는 제 2 신호 반전 전환 회로를 포함하는 것을 특징으로 한다.
- <29> 상기의 회로 구성을 갖는 본 발명의 데이터 드라이버에 있어서, 출력 신호의 논리를 입력 신호의 논리로 반전시킴으로써, 신호 상승의 지연과 신호 하강의 지연의 시간차에 의해 생기는 듀티비의 오차를 상쇄할 수 있다. 따라서, 데이터 드라이버 IC를 다단 캐스케이드 접속한 경우이어도, 신호 전파에 의해 듀티비의 오차가 축적되는 것을 막는 것이 가능하게 된다. 또, 이 논리 반전 처리를 전환 신호에 의해 내부 신호 처리의 전단 혹은 후단에서 선택적으로 실행함으로써 내부 신호 처리에 사용하는 신호가 정규의 논리이도록 제어하는 것이 가능하게 된

다.

- <30> 또, 본 발명에 의한 액정 표시 장치는, 액정 패널과, 이 액정 패널의 게이트 버스 라인을 구동하는 게이트 드라이버와, 이 액정 패널의 데이터 버스 라인을 구동하는 캐스캐이드 접속된 복수의 데이터 드라이버를 포함하고, 이 복수의 데이터 드라이버의 각각은 전단으로부터의 신호를 반전하여 다음 단에 전달하는 구성을 갖는 것을 특징으로 한다.
- <31> 또, 본 발명에 의한 신호 전송 시스템은, 캐스캐이드 접속된 복수의 집적회로를 포함하고, 이 복수의 집적회로의 각각은 전단으로부터의 신호를 반전하여 다음 단에 전달하는 구성을 갖는 것을 특징으로 한다.
- <32> 상기의 액정 표시 장치 및 신호 전송 시스템에 있어서, 출력 신호의 논리를 입력 신호의 논리로 반전시킴으로써, 신호 상승의 지연과 신호 하강의 지연의 시간차에 의해 생기는 듀티비의 오차를 상쇄할 수 있다. 따라서, 다단 캐스캐이드 접속한 경우이어도, 신호 전파에 의해 듀티비의 오차가 축적되는 것을 막는 것이 가능하게 된다.

발명의 구성 및 작용

- <33> 이하, 본 발명의 실시예를 첨부 도면을 이용하여 상세하게 설명한다.
- <34> 도 1은 본 발명을 적용한 액정 표시 장치의 구성의 일례를 나타내는 도이다.
- <35> 도 1의 액정 표시 장치는, LCD 패널(10), 제어 회로(11), 게이트 드라이버(12) 및 복수의 캐스캐이드 접속된 데이터 드라이버 IC(13)를 포함한다.
- <36> LCD 패널(10)에는, 도시되지 않는 트랜지스터를 포함한 화소가 종횡으로 배치되고, 게이트 드라이버(12)로부터 가로 방향으로 뻗은 게이트 버스 라인이 각 화소의 트랜지스터의 게이트에 접속되고, 데이터 드라이버 IC(13)로부터 세로 방향으로 뻗은 데이터 버스 라인이 트랜지스터를 개재하여 각 화소의 콘덴서에 접속된다. LCD 패널(10)로 데이터 표시할 때에는, 게이트 드라이버(12)에 의해 게이트 버스 라인을 1 라인씩 순차 구동하여 1 라인분의 트랜지스터를 도통 상태로 하고, 도통된 트랜지스터를 개재하여, 데이터 드라이버 IC(13)로부터 각 화소에 가로 1 라인분의 데이터를 일제히 기입한다.
- <37> 제어 회로(11)는, 게이트 드라이버(12)와 데이터 드라이버 IC(13)를 제어하여, LCD 패널(10)에 대한 데이터 표시를 행하기 위한 회로이다. 이 제어 회로(11)는, 데이터 드라이버 IC(13)에 대해 클럭 신호, 데이터 신호 및 각종 제어 신호를 공급함과 동시에, 게이트 드라이버(12)에 대해 클럭 신호 및 각종 제어 신호를 공급한다.
- <38> 본 발명의 액정 표시 장치에 있어서, 데이터 드라이버 IC(13)는 도 1에 나타내듯이 캐스캐이드 접속된다. 선두의 데이터 드라이버 IC(13)에 공급되는 신호는, 이 데이터 드라이버 IC(13)를 개재하여 다음 단의 데이터 드라이버 IC(13)에 공급되고, 이후 순차 각 단의 데이터 드라이버 IC(13)로부터 다음 단의 데이터 드라이버 IC(13)로 신호가 공급된다.
- <39> 본 발명에 있어서는, 각 데이터 드라이버 IC(13)에 있어서 신호의 논리를 반전하는 구성으로 되어 있다. 도 1에 있어서, 신호의 논리가 반전되는 모습을 데이터 드라이버 IC(13) 간을 접속하는 신호선(15)에 대해 모식적으로 나타낸다. 이와 같이, 각 데이터 드라이버 IC(13)에 있어서 신호의 논리를 반전함으로써, 신호 상승의 지연과 신호 하강의 지연의 시간차에 의해 생기는 듀티비의 오차를 상쇄할 수 있다. 따라서, 데이터 드라이버 IC(13)를 다단 캐스캐이드 접속한 경우이어도, 신호 전파에 의해 듀티비의 오차가 축적되는 것을 막는 것이 가능하게 된다.
- <40> 도 2는 데이터 드라이버 IC(13)의 구성의 일례를 나타내는 도이다.
- <41> 도 2의 데이터 드라이버 IC(13)는, 입력 버퍼(21 내지 23), 신호 반전 전환 회로(24), 클럭 제어 회로(25), 데이터 제어 회로(26), 인버터(27), 신호 반전 전환 회로(28), 출력 버퍼(29 및 30) 및 내부 회로(31)를 포함한다.
- <42> 도 2의 예에서는, 클럭 신호 CLK만을 논리 반전하는 구성으로 되어 있다. 신호 반전 전환 회로(24) 및 신호 반전 전환 회로(28)의 어느 한쪽에 있어서, 클럭 신호 CLK를 반전한다. 신호 반전 전환 회로(24) 및 신호 반전 전환 회로(28)의 어느 쪽에 있어서 반전 처리를 실행할 것인가는 홀수 짝수 전환 신호에 의해 결정한다. 캐스캐이드 접속된 복수의 데이터 드라이버 IC(13) 중에서, 홀수 번째의 데이터 드라이버 IC(13)에는, 예를 들면 논리 로우(LOW)의 홀수 짝수 전환 신호가 공급되고, 짝수 번째의 데이터 드라이버 IC(13)에는, 예를 들면 논리 하이(HIGH)의 홀수 짝수 전환 신호가 공급된다. 도 1에 예시되듯이, 이 홀수 짝수 전환 신호로서 홀수 번째의 데이

터 드라이버 IC(13)에는 기판으로부터 접지 전위 GND를 공급하고, 짝수 번째의 데이터 드라이버 IC(13)에는 기판으로부터 전원 전위 VDD를 공급해도 좋다.

- <43> 입력되는 클록 신호 CLKin가 정규의 논리에 대해서 반전되어 있는 논리인 경우에는, 신호 반전 전환 회로(24)에서 논리를 반전시킴으로서, 클록 제어 회로(25)에 있어서 사용하는 클록 신호 CLK가 정규의 논리로 되도록 한다. 이 경우 신호 반전 전환 회로(28)에 있어서 논리 반전하는 일 없이, 다음 단으로 출력하는 클록 신호 CLKout를 입력 클록 신호 CLKin과 역의 논리로 한다.
- <44> 입력되는 클록 신호 CLKin가 정규의 논리인 경우에는, 신호 반전 전환 회로(24)에서는 논리를 반전하지 않고 클록 제어 회로(25)에 있어서 사용하는 클록 신호 CLK가 정규의 논리로 되도록 한다. 이 경우 신호 반전 전환 회로(28)에 있어서 논리를 반전하고, 다음 단으로 출력하는 클록 신호 CLKout를 입력 클록 신호 CLKin과 역의 논리로 한다.
- <45> 이하, 도 2의 데이터 드라이버 IC(13)의 동작을 상세하게 설명한다.
- <46> 입력 버퍼(21)에는 전단의 데이터 드라이버 IC(13)로부터 클록 신호 CLKin가 입력된다. 단지 해당 데이터 드라이버 IC(13)가 선두의 위치에 있으면, 클록 신호 CLKin는, 도 1의 제어 회로(11)로부터 공급되게 된다. 입력 버퍼(21)는 클록 신호 CLK를 신호 반전 전환 회로(24)에 공급한다. 신호 반전 전환 회로(24)에는 또한 입력 버퍼(23)를 개재하여 홀수 짝수 전환 신호가 공급된다.
- <47> 신호 반전 전환 회로(24)는, 인버터(41) 및 스위치(42)를 포함하고, 홀수 짝수 전환 신호에 따라 스위치(42)의 접속처를 전환함으로써, 클록 신호 CLK 혹은 인버터(41)의 출력인 클록 신호 CLK의 반전 신호를 선택하고, 선택된 신호를 클록 제어 회로(25)에 공급한다. 클록 제어 회로(25)는 공급되는 클록 신호 CLK에 기초하여 타이밍 제어 신호를 생성하여 데이터 제어 회로(26) 및 내부 회로(31)에 공급한다.
- <48> 입력 버퍼(22)는, 도 1의 제어 회로(11) 혹은 전단의 데이터 드라이버 IC(13)로부터 데이터 신호 DATAin를 받아 데이터 신호 DATA를 데이터 제어 회로(26)에 공급한다. 데이터 제어 회로(26)는 클록 제어 회로(25)로부터의 타이밍 제어 신호에 따라 입력 버퍼(22)로부터 순차 공급되는 각 화소의 데이터 신호 DATA를 내부의 레지스터 회로에 저장한다. 이와 같이 하여, 1 수평 주기분의 표시 데이터 중에서 해당 데이터 드라이버 IC(13)가 표시하는 분의 표시 데이터가 내부 레지스터에 저장된다.
- <49> 데이터 제어 회로(26)에 저장된 표시 데이터는 내부 회로(31)로 공급된다. 내부 회로(31)는 래치(latch) 회로, 계조(階調) 전압 발생 회로, 출력 버퍼 회로 등을 포함한다. 이 내부 회로(31)는 클록 제어 회로(25)로부터 공급되는 타이밍 제어 신호에 기초하여 데이터 제어 회로(26)로부터 공급되는 표시 데이터를 래치 회로에 래치 한다. 래치 회로에 저장되어 있는 표시 데이터는 계조 전압 발생 회로에 공급된다. 계조 전압 발생 회로에는 각 데이터 라인에 대응하여 DA(Digital to Analog) 변환 회로가 설치되고 있고, 이 DA 변환 회로에서 입력 표시 데이터를 DA 변환하고 아날로그 계조 신호로서 출력한다. 출력 버퍼 회로는 계조 전압 발생 회로로부터 각 데이터 라인마다 아날로그 계조 신호를 받고, 받은 아날로그 계조 신호를 데이터 라인을 구동하는 데이터 라인 구동 신호로 하여 LCD 패널(10)(도 1)로 출력한다.
- <50> 클록 제어 회로(25)는 신호 반전 전환 회로(24)로부터 받은 클록 신호 CLK 혹은 그의 반전 신호를 그대로 신호 반전 전환 회로(28)에 공급한다. 신호 반전 전환 회로(28)에는 또한 입력 버퍼(23) 및 인버터(27)를 개재하여 홀수 짝수 전환 신호의 반전 신호가 공급된다. 신호 반전 전환 회로(28)는 인버터(43) 및 스위치(44)를 포함하고, 홀수 짝수 전환 신호의 반전 신호에 따라 스위치(44)의 접속처를 전환함으로써, 클록 제어 회로(25)의 출력 혹은 클록 제어 회로(25)의 출력의 반전 신호를 선택하고, 선택된 신호를 출력 버퍼(29)에 공급한다. 출력 버퍼(29)는 공급된 신호를 클록 신호 CLKout로 하여 다음 단의 데이터 드라이버 IC(13)로 출력한다.
- <51> 데이터 제어 회로(26)를 통과하는 데이터 신호 DATA는 출력 버퍼(30)를 개재하여 데이터 신호 DATAout로서 다음 단의 데이터 드라이버 IC(13)로 출력된다.
- <52> 도 3은 짝수 번째 위치 및 홀수 번째 위치에 있어서의 신호 반전 처리의 차이를 나타내는 도이다.
- <53> 도 3a에는 홀수 단에 배치되는 데이터 드라이버 IC(13)에 있어서의 신호 전파 경로를 나타낸다. 또, 도 3b에는 짝수 단에 배치되는 데이터 드라이버 IC(13)에 있어서의 신호 전파 경로를 나타낸다. 또한, 도 3에 있어서는, 클록 신호의 신호 전파 경로만을 나타내고, 데이터 신호 관련 회로는 도시를 생략하고 있다.
- <54> 홀수 단에 배치되는 데이터 드라이버 IC(13)에 있어서는, 입력 신호의 논리는 정규의 것이므로, 도 3a에 나타내듯이, 신호 반전 전환 회로(24)에서는 논리 반전하지 않고, 신호 반전 전환 회로(28)에서 논리 반전을 한다. 이

에 의해, 클록 제어 회로(25)에 있어서의 신호 제어는 정규의 논리의 신호를 이용하여 실행함과 동시에, 입력 버퍼(21)에의 입력 신호와 출력 버퍼(29)로부터의 출력 신호의 논리를 반전할 수 있다.

- <55> 또, 짝수 단에 배치되는 데이터 드라이버 IC(13)에 있어서는, 입력 신호의 논리는 정규의 논리와는 반전한 것이므로, 도 3b에 나타내듯이, 신호 반전 전환 회로(24)에서 논리를 반전시키고, 신호 반전 전환 회로(28)에서는 논리를 반전하지 않는다. 이에 의해, 클록 제어 회로(25)에 있어서의 신호 제어는 정규의 논리의 신호를 이용하여 실행함과 동시에 입력 버퍼(21)에의 입력 신호와 출력 버퍼(29)로부터의 출력 신호의 논리를 반전할 수 있다.
- <56> 도 4는 다단 접속한 데이터 드라이버 IC에 클록 신호를 전파시켰을 때의 듀티비의 오차를 나타내는 도이다.
- <57> 도 4a에는 종래의 데이터 드라이버 IC를 다단 접속한 경우의 제 1 단의 입력 클록 신호 및 각 단 데이터 드라이버 IC의 출력 클록 신호를 나타낸다. 또 도 4b에는 본 발명의 데이터 드라이버 IC(13)를 다단 접속한 경우의 제 1 단의 입력 클록 신호 및 각 단 데이터 드라이버 IC(13)의 출력 클록 신호를 나타낸다. 도 4a 및 (b) 모두 신호 상승의 지연 시간에 대해 신호 하강의 지연 시간이 큰 출력 버퍼를 사용한 경우를 나타낸다. 즉, 각 단의 데이터 드라이버 IC에 있어서 입력 클록 신호의 펄스 폭에 대해서 출력 클록 신호의 펄스 폭은 약간 퍼지게 된다.
- <58> 도 4a에 나타내듯이, 종래의 데이터 드라이버 IC를 다단 접속한 경우에는 각 단에 있어서 듀티비의 오차가 축적되어 간다. 이 때문에, 최종단의 데이터 드라이버 IC의 출력은 듀티비가 50%인 초단에의 입력 클록 신호와는 완전히 다른 파형으로 되어 있다.
- <59> 이에 대해 본 발명의 데이터 드라이버 IC(13)를 다단 접속한 경우에는, 도 4b에 나타내듯이, 각 단에 있어서 듀티비의 오차가 상쇄되므로, 오차가 축적되지 않는다. 따라서, 최종단의 데이터 드라이버 IC의 출력이어도, 듀티비가 50%인 초단에의 입력 클록 신호에 가까운 파형을 유지할 수 있다.
- <60> 이와 같이, 본 발명의 데이터 드라이버 IC(13)에 있어서는, 출력 신호의 논리를 입력 신호의 논리로 반전시킴으로써, 신호 상승의 지연과 신호 하강의 지연의 시간차에 의해 생기는 듀티비의 오차를 상쇄할 수 있다. 따라서, 데이터 드라이버 IC(13)를 다단 캐스케이드 접속한 경우이어도, 신호 전파에 의해 듀티비의 오차가 축적되는 것을 막는 것이 가능하게 된다. 또, 이 논리 반전 처리를 홀수 짝수 전환 신호에 의해 내부 신호 처리의 전단 혹은 후단에서 선택적으로 실행함으로써, 내부 신호 처리에 사용하는 신호가 정규의 논리이도록 제어하는 것이 가능하게 된다.
- <61> 도 5는 데이터 드라이버 IC의 구성의 다른 일례를 나타내는 도이다.
- <62> 도 5의 데이터 드라이버 IC(13A)는, 도 2의 데이터 드라이버 IC(13)에 대해, 신호 반전 전환 회로(32) 및 신호 반전 전환 회로(33)가 데이터 신호 DATA의 반전 처리를 위해서 새롭게 설치되고 있는 점이 다르다. 그 외의 구성은 도 2의 데이터 드라이버 IC(13)와 같다.
- <63> 도 5의 예에서는, 클록 신호 CLK 뿐만이 아니고 데이터 신호 DATA도 논리 반전하는 구성으로 되어 있다. 신호 반전 전환 회로(32) 및 신호 반전 전환 회로(33)의 어느 한쪽에 있어서, 데이터 신호 DATA를 반전한다. 신호 반전 전환 회로(32) 및 신호 반전 전환 회로(33)의 어느 쪽에 있어서 반전 처리를 실행할 것인가는 홀수 짝수 전환 신호에 의해 결정한다. 캐스케이드 접속되는 복수의 데이터 드라이버 IC(13A) 중에서, 짝수 번째의 데이터 드라이버 IC(13A)에는, 예를 들면 논리 하이(HIGH)의 홀수 짝수 전환 신호가 공급되고, 홀수 번째의 데이터 드라이버 IC(13A)에는, 예를 들면 논리 로우(LOW)의 홀수 짝수 전환 신호가 공급된다.
- <64> 입력되는 데이터 신호 DATAin가 정규의 논리에 대해서 반전되어 있는 논리인 경우에는, 신호 반전 전환 회로(32)에서 논리를 반전시킴으로써, 데이터 제어 회로(26)에 있어서 사용하는 데이터 신호 DATA가 정규의 논리로 되도록 한다. 이 경우 신호 반전 전환 회로(33)에 있어서 논리를 반전하는 일 없이, 다음 단으로 출력하는 데이터 신호 DATAout를 입력 데이터 신호 DATAin과 역의 논리로 한다.
- <65> 입력되는 데이터 신호 DATAin가 정규의 논리인 경우에는, 신호 반전 전환 회로(32)에서는 논리를 반전하지 않고 데이터 제어 회로(26)에 있어서 사용하는 데이터 신호 DATA가 정규의 논리로 되도록 한다. 이 경우 신호 반전 전환 회로(33)에 있어서 논리를 반전하고, 다음 단으로 출력하는 데이터 신호 DATAout를 입력 데이터 신호 DATAin과 역의 논리로 한다.
- <66> 데이터 신호 DATA의 논리 반전 처리를 하는 이외에 도 5의 데이터 드라이버 IC(13A)의 동작은 도 2의 데이터 드

라이버 IC(13)의 동작과 같으므로 상세한 동작 설명은 생략한다.

- <67> 이와 같이 하여 도 5의 데이터 드라이버 IC(13A)에 있어서는, 클럭 신호 CLK 및 데이터 신호 DATA의 양쪽에 대해서, 출력 신호의 논리를 입력 신호의 논리로 반전시킴으로써, 신호 상승의 지연과 신호 하강의 지연의 시간차에 의해 생기는 듀티비의 오차를 상쇄할 수 있다. 따라서, 데이터 드라이버 IC(13A)를 다단 캐스캐이드 접속한 경우이어도, 신호 전파에 의해 듀티비의 오차가 축적되는 것을 막는 것이 가능하게 된다. 또, 이 논리 반전 처리를 홀수 짝수 전환 신호에 의해 내부 신호 처리의 전단 혹은 후단에서 실행함으로써 내부 신호 처리에 사용하는 신호가 정규의 논리이도록 제어하는 것이 가능하게 된다.
- <68> 도 6은 본 발명에 의한 신호 반전 전환 회로의 실시예를 나타내는 도이다. 도 6에 나타난 신호 반전 전환 회로를 도 2의 신호 반전 전환 회로(24) 및 신호 반전 전환 회로(28), 또 도 5의 신호 반전 전환 회로(32) 및 신호 반전 전환 회로(33)로서 사용해도 좋다.
- <69> 도 6의 신호 반전 전환 회로는 인버터(51 및 52)와 트랜스퍼 게이트(transfer gate)(53 및 54)를 포함한다. 홀수 짝수 전환 신호(또는, 그의 반전 신호)가 논리 하이(HIGH)일 때에 트랜스퍼 게이트(54)가 도통하고, 홀수 짝수 전환 신호(또는, 그의 반전 신호)가 논리 로우(LOW)일 때에 트랜스퍼 게이트(53)가 도통한다. 트랜스퍼 게이트(54)가 도통하는 경우에는, 입력 신호 IN이 그대로 트랜스퍼 게이트(54)를 통과하여 출력 신호 OUT로서 출력된다. 트랜스퍼 게이트(53)가 도통하는 경우에는, 입력 신호 IN가 인버터(51)를 개재하여 반전되어 트랜스퍼 게이트(53)를 통과하여 출력 신호 OUT로서 출력된다.
- <70> 도 7은 본 발명에 의한 신호 반전 전환 회로의 다른 실시예를 나타내는 도이다. 도 7에 나타난 신호 반전 전환 회로를 도 2의 신호 반전 전환 회로(24) 및 신호 반전 전환 회로(28), 또 도 5의 신호 반전 전환 회로(32) 및 신호 반전 전환 회로(33)로서 사용해도 좋다.
- <71> 도 7의 신호 반전 전환 회로는 인버터(61 및 62)와 NAND 회로(63 내지 65) 포함한다. 홀수 짝수 전환 신호(또는, 그의 반전 신호)가 논리 하이(HIGH)일 때에는, 입력 신호 IN가 NAND 회로(64)에 의해 반전되고, 그 후 NAND 회로(65)에 의해 또한 반전된다. 따라서, 이 경우에는 입력 신호 IN와 같은 논리의 출력 신호 OUT가 출력된다. 또 홀수 짝수 전환 신호(또는, 그의 반전 신호)가 논리 로우(LOW)일 때에는, 인버터(61)의 출력인 입력 신호 IN의 반전 신호가 NAND 회로(63)에 의해 반전되고, 그 후 NAND 회로(65)에 의해 또한 반전된다. 따라서, 이 경우에는 입력 신호 IN와 반전 논리의 출력 신호 OUT가 출력된다.
- <72> 이와 같이, 본 발명에서 사용하는 신호 반전 전환 회로는 트랜스퍼 게이트에 의한 선택 회로나 조합 논리 회로를 이용하여 용이하게 실현할 수 있다.
- <73> 또한, 본 발명에 의한 캐스캐이드 접속간의 신호 전송에 있어서의 신호 논리 반전은 액정 표시 장치의 데이터 드라이버에만 적용이 한정되는 것은 아니다. 본 발명에 의한 신호 논리 반전 처리는, 복수의 소자를 캐스캐이드 접속하여 신호를 차례차례 다음 단으로 전송해 가는 시스템 전반에 적용가능하고, 이러한 시스템에 있어서 듀티비의 오차가 각 단으로 축적되어 가는 것을 막을 수 있다. 또, 그러한 시스템에 있어서 사용하는 소자로서, 도 3에 나타내듯이 입력측과 출력측에 2개의 신호 반전 전환 회로를 갖추고, 이에 의해 신호 반전 처리를 하는 구성의 소자를 사용할 수 있다.
- <74> 이상, 본 발명을 실시예에 기초하여 설명했지만 본 발명은 상기 실시예로 한정되는 것은 아니고 특허 청구의 범위에 기재의 범위 내에서 여러 가지 변형이 가능하다.

발명의 효과

- <75> 본 발명에 의한 데이터 드라이버 IC에 있어서는, 출력 신호의 논리를 입력 신호의 논리로 반전시킴으로써, 신호 상승의 지연과 신호 하강의 지연의 시간차에 의해 생기는 듀티비의 오차를 상쇄할 수 있다. 따라서, 데이터 드라이버 IC를 다단 캐스캐이드 접속한 경우이어도, 신호 전파에 의해 듀티비의 오차가 축적되는 것을 막는 것이 가능하게 된다.
- <76> 또, 이 논리 반전 처리를 전환 신호에 의해 내부 신호 처리의 전단 혹은 후단에서 선택적으로 실행함으로써 내부 신호 처리에 사용하는 신호가 정규의 논리이도록 제어하는 것이 가능하게 된다.

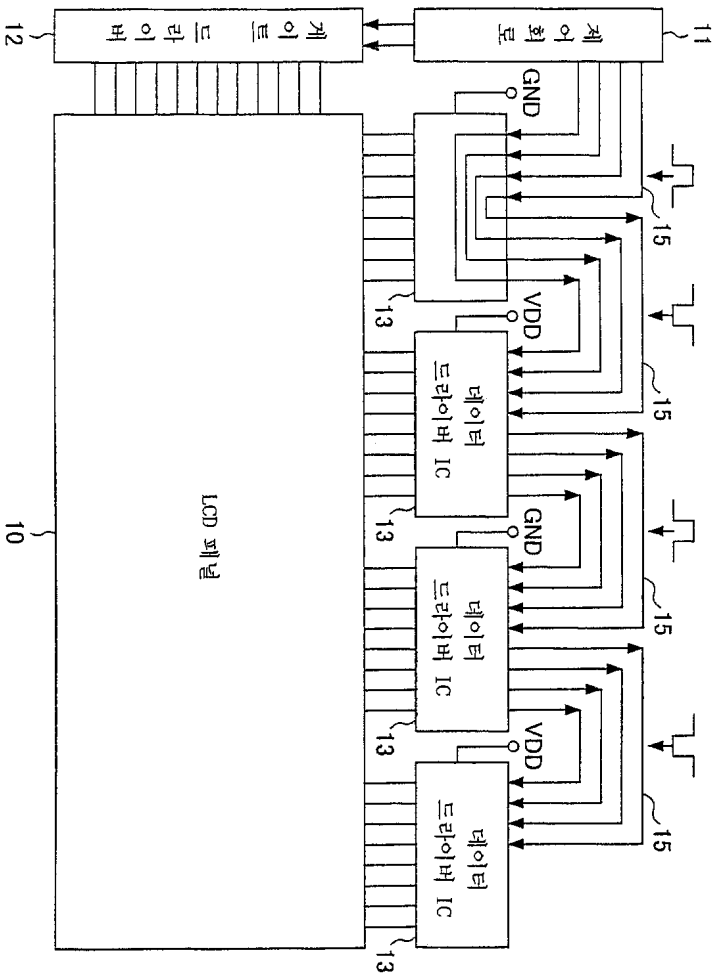
도면의 간단한 설명

- <1> 도 1은 본 발명을 적용한 액정 표시 장치의 구성의 일례를 나타내는 도이다.

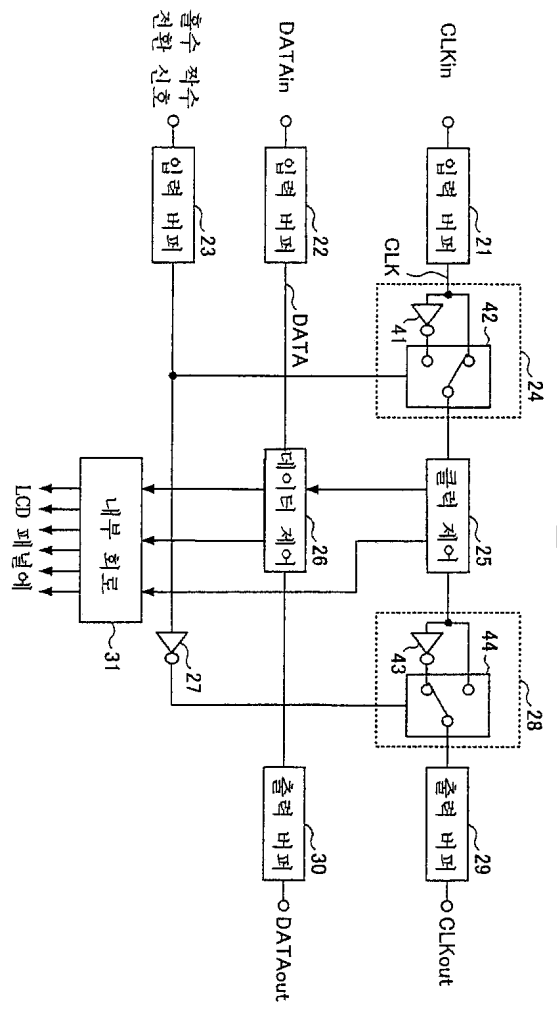
- <2> 도 2는 데이터 드라이버 IC(13)의 구성의 일례를 나타내는 도이다.
- <3> 도 3은 짝수 번째 위치 및 홀수 번째 위치에 있어서의 신호 반전 처리의 차이를 나타내는 도이다.
- <4> 도 4는 다단 접속한 데이터 드라이버 IC에 클록 신호를 전파시켰을 때의 듀티비의 오차를 나타내는 도이다.
- <5> 도 5는 데이터 드라이버 IC의 구성의 다른 일례를 나타내는 도이다.
- <6> 도 6은 본 발명에 의한 신호 반전 전환 회로의 실시예를 나타내는 도이다.
- <7> 도 7은 본 발명에 의한 신호 반전 전환 회로의 다른 실시예를 나타내는 도이다.
- <8> <도면의 주요 부분에 대한 부호의 설명>
- <9> 10 : LCD 패널
- <10> 11 : 제어 회로
- <11> 12 : 게이트 드라이버(gate driver)
- <12> 13 : 데이터 드라이버 IC(data driver integrated circuit)
- <13> 21, 22, 23 : 입력 버퍼(input buffer)
- <14> 24 : 신호 반전 전환 회로
- <15> 25 : 클록(clock) 제어 회로
- <16> 26 : 데이터 제어 회로
- <17> 27 : 인버터(inverter)
- <18> 28 : 신호 반전 전환 회로
- <19> 29, 30 : 출력 버퍼
- <20> 31 : 내부 회로

도면

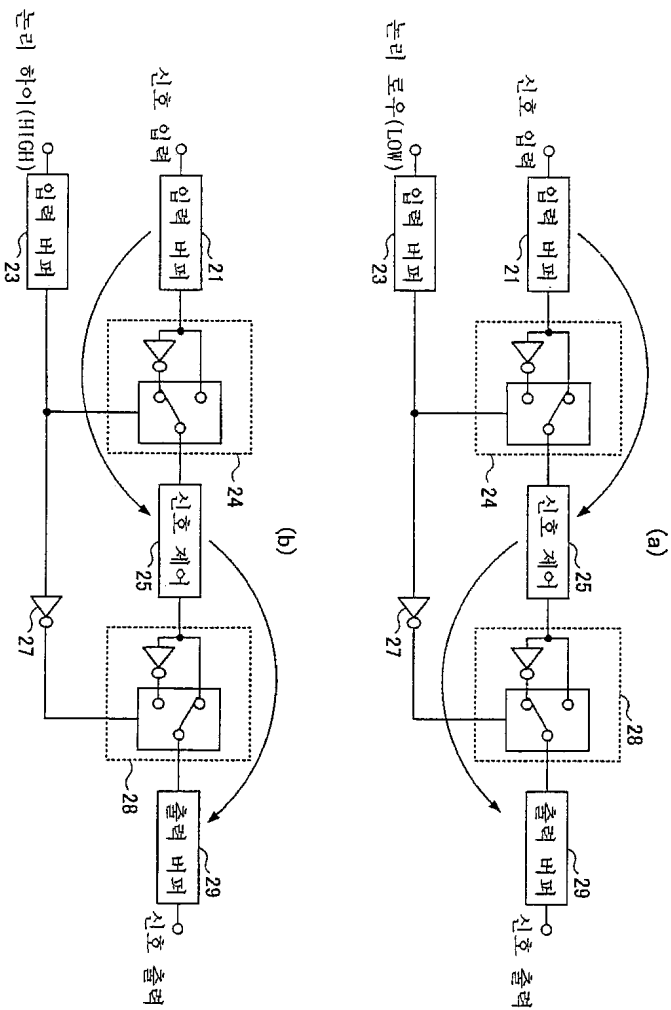
도면1



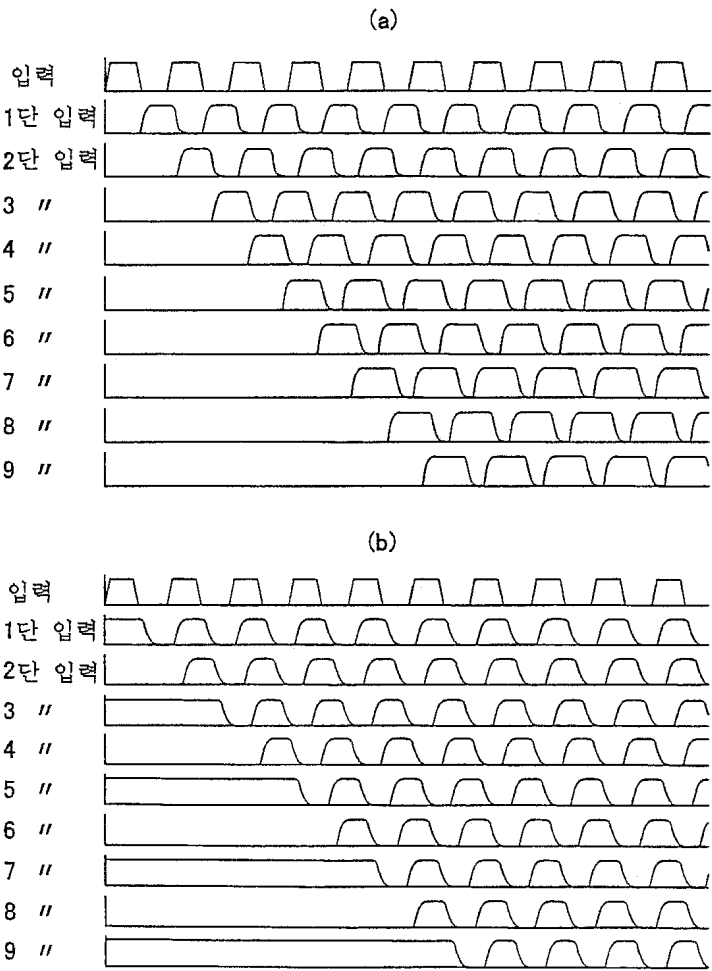
도면2



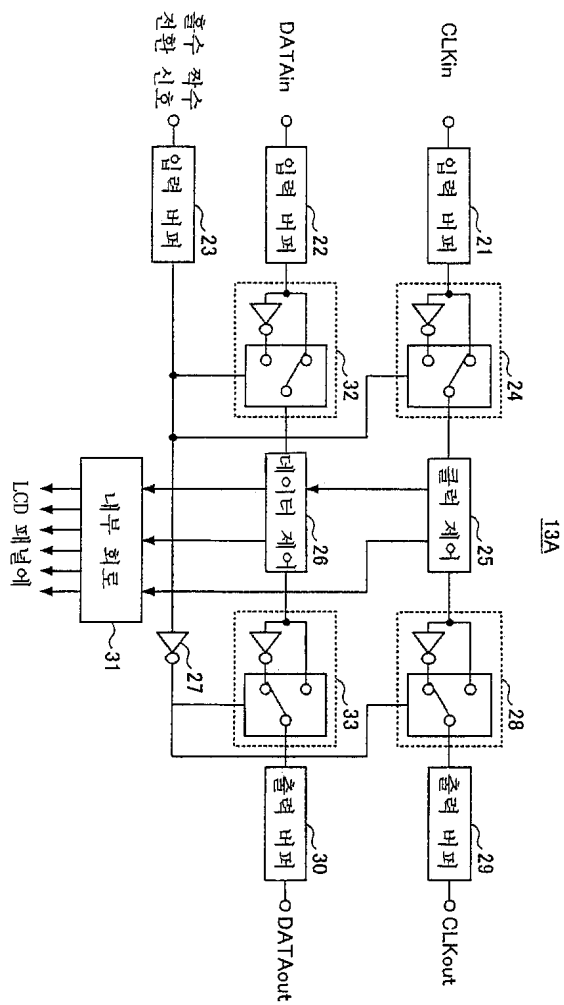
도면3



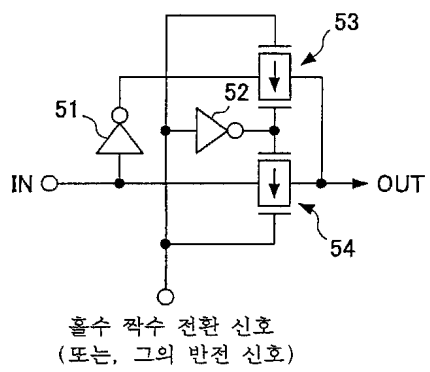
도면4



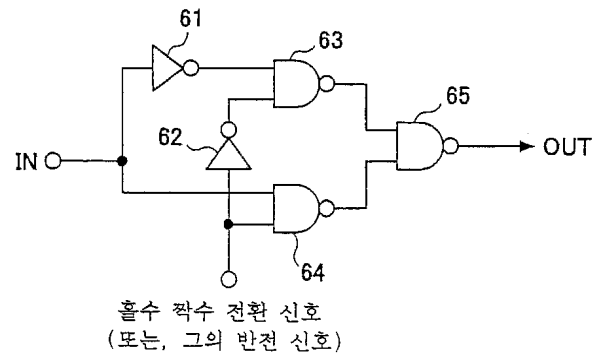
도면5



도면6



도면7



专利名称(译)	集成电路，液晶显示器和信号传输系统		
公开(公告)号	KR100803184B1	公开(公告)日	2008-02-14
申请号	KR1020030001298	申请日	2003-01-09
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士sikki有限公司		
当前申请(专利权)人(译)	富士sikki有限公司		
[标]发明人	KUMAGAI MASAO 구마가이마사오 FUKUDA HIDETO 후쿠다히데토 UDO SHINYA 우도신야		
发明人	구마가이마사오 후쿠다히데토 우도신야		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688		
代理人(译)	SHIN JUNG KUN		
优先权	2002019518 2002-01-29 JP		
其他公开文献	KR1020030065321A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供使用LCD数据驱动器和这种LCD数据驱动器的液晶面板，其中不累积占空比的误差。LCD数据驱动电路包括第二信号反转切换电路，其具有从外部提供的输入信号作为第一输入信号，并打印出第一信号反转切换电路的输出，当切换信号为第一输入信号时反转第一输入信号当转换信号是第二状态时，输出第一输入信号的状态和输出等，以及通过信号处理电路的第一信号反转开关电路，该信号处理电路基于第一信号反转开关的输出进行信号处理电路和信号处理电路到第二输入信号，当转换信号是第二状态时它反转第二输入信号，并且当转换信号是第一状态时输出等输出第二输入信号。占空比，液晶显示驱动器，液晶面板，级联连接，栅极驱动器。

