



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/1333 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월29일 10-0675398 2007년01월22일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0005376 2000년02월03일 2005년02월03일	(65) 공개번호 (43) 공개일자	10-2000-0057912 2000년09월25일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장	11-028116 11-219570	1999년02월05일 1999년08월03일	일본(JP) 일본(JP)
------------	------------------------	----------------------------	------------------

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
 일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 사토히데오
 일본국 이바라키켄 히타치시 다이하라쵸3-5-5

 미카미요시로
 일본국 이바라키켄 히타치오타시 하타쵸1966-1

 가게야마히로시
 일본국 이바라키켄 히타치시 스에히로쵸3-10-12도자와료

 나가노다카히로
 일본국 이바라키켄 히타치시 가네사와쵸7-10-10

 아오노요시노리
 일본국 이바라키켄 히타치시 히가시가네사와쵸5-20-1

 미야자와도시오
 일본국 지바켄 지마시 미도리쿠시이나자키쵸931

(74) 대리인 특허법인 화우
 한규환

(56) 선행기술조사문헌
JP10260661 A *
* 심사관에 의하여 인용된 문헌

심사관 : 한상수

전체 청구항 수 : 총 21 항

(54) 구동회로 일체형 액정표시장치

(57) 요약

본 발명은 구동회로 일체형 액정표시장치의 회로점유면적을 저감하는 것을 목적으로 하고 있고, 구동회로 일체형으로 대형사이즈의 액정표시장치를 제공하는 것을 목적으로 한다. 본 발명은 양극, 음극의 DA 변환수단(320, 340)을 한쌍으로 하여 복수쌍의 DA 변환수단으로 디지털표시데이터를 아날로그전압으로 변환하고, 샘플수단(360)으로 상기 아날로그전압을 샘플링하는 신호회로에 있어서, 상기 DA 변환수단을 계조전압군으로부터 상기 디지털표시데이터에 따른 전압을 선택하는 방식으로 하고, 상기 계조전압군을 복수의 단자군으로부터 공급하였다. 또 본 발명은 신호회로를 복수의 전압을 발생하는 계조전압발생수단과, 상기 계조전압발생수단에서 발생한 전압중에서 표시데이터에 따른 전압을 복수의 전압선택스위치로 선택하는 전압선택수단과, 상기 표시데이터를 입력하여 상기 전압선택수단을 제어하는 제어수단과 상기 전압선택수단의 출력전압을 소정의 타이밍으로 샘플링하는 샘플수단으로 구성하고, 상기 제어수단이 적어도 복수의 상기 선택스위치를 도통상태로 하여 신호선을 충전하는 제 1 상태와, 상기 제 1 상태보다도 적은 수의 상기 선택스위치를 도통상태로 하는 제 2 상태로 하도록 구성하였다.

대표도

도 1

특허청구의 범위

청구항 1.

주사선과 신호선의 교차점에 설치한 스위칭소자와, 상기 주사선의 전압을 제어하는 주사회로와, 상기 신호선의 전압을 제어하는 신호회로를 형성한 제 1 기판과, 한쪽 면에 투명전극을 형성한 제 2 기판과, 상기 제 1 기판과 상기 제 2 기판에 액정을 끼워 유지한 액정표시장치에 있어서,

상기 신호회로는 복수의 계조전압과 디지털표시데이터가 상기 액정표시장치 밖으로부터 입력되고, 입력된 상기 디지털표시데이터를 아날로그전압으로 변환하는 복수의 DA 변환회로와, 상기 복수의 DA 변환회로로부터 출력되는 복수의 상기 아날로그전압을 소정의 타이밍으로 샘플링하는 샘플회로를 가지고,

상기 계조전압은 상기 액정표시장치 밖으로부터 DA 변환회로마다 설치된 단자를 거쳐 공급되고, 상기 DA 변환회로의 전류가 공통하여 흐르는 부분의 배선은 구동회로 일체 표시패널의 밖에 배치하는 것을 특징으로 한 구동회로 일체형 액정표시장치.

청구항 2.

제 1항에 있어서,

상기 계조전압을 공급하는 상기 단자를 상기 복수의 DA 변환회로와 같은 수로 한 것을 특징으로 하는 구동회로 일체형 액정표시장치.

청구항 3.

제 1항에 있어서,

상기 계조전압을 입력하여 입력된 상기 계조전압보다 낮은 계조전압을 발생하는 계조전압발생회로를, 각 DA 변환회로마다 설치한 것을 특징으로 하는 구동회로 일체형 액정표시장치.

청구항 4.

제 3항에 있어서,

상기 계조전압발생회로로서 저항스트링스를 사용한 것을 특징으로 하는 구동회로 일체형 액정표시장치.

청구항 5.

제 4항에 있어서,

상기 저항스트링스의 배치는 상기 DA 변환수단을 구성하는 선택스위치의 배치와 병행으로 한 것을 특징으로 하는 구동회로 일체형 액정표시장치.

청구항 6.

제 1항에 있어서,

상기 복수의 DA 변환회로는, 양극의 아날로그전압을 발생하는 양극의 DA 변환회로와, 음극의 아날로그전압을 발생하는 음극의 DA 변환회로를 1세트의 DA 변환회로로하고, 복수세트의 DA 변환회로로 구성되어 있는 것을 특징으로 하는 구동회로 일체형 액정표시장치.

청구항 7.

제 6항에 있어서,

3세트의 상기 DA 변환회로를 1단위로 하여 구성하고, 복수의 단위로 나눔과 동시에, 상기 샘플회로를 상기 DA 변환회로의 세트에 대응하여 설치한 것을 특징으로 하는 구동회로 일체형 액정표시장치.

청구항 8.

제 6항에 있어서,

상기 샘플회로에 상기 양극의 아날로그전압에 접속한 제 1 스위치와 상기 음극의 아날로그전압에 접속한 제 2 스위치를 설치하고, 상기 제 1, 제 2 스위치를 소정의 타이밍으로 교대로 제어하는 것을 특징으로 구동회로 일체형 액정표시장치.

청구항 9.

제 8항에 있어서,

상기 제 1 스위치에 P형 TFT를, 상기 제 2 스위치에 N형 TFT를 사용한 것을 특징으로 하는 구동회로 일체형 액정표시장치.

청구항 10.

제 9항에 있어서,

상기 제 1 스위치에 P형 TFT를, 상기 제 2 스위치에 N형 TFT를 사용한 것을 특징으로 하는 구동회로 일체형 액정표시장치.

청구항 11.

주사선과 신호선의 교차점에 설치한 스위칭소자와, 상기 주사선의 전압을 제어하는 주사회로와, 상기 신호선의 전압을 제어하는 신호회로를 형성한 제 1 기판과, 한쪽 면에 투명전극을 형성한 제 2 기판과, 상기 제 1 기판과 상기 제 2 기판에 액정을 끼워유지한 액정표시장치에 있어서,

상기 신호회로를 복수의 전압을 발생하는 계조전압발생수단과, 상기 계조전압발생수단에서 발생한 전압중에서 표시데이터에 따른 전압을 선택하는 전압선택수단과, 상기 표시데이터를 입력하여 상기 전압선택수단을 제어하는 제어수단과, 상기 전압선택수단의 출력전압을 소정의 타이밍으로 샘플링하는 샘플수단으로 구성하고,

상기 제어수단은 적어도 복수의 상기 선택스위치를 도통상태로 하여 상기 신호선을 구동하는 제 1 상태와, 상기 제 1 상태보다도 적은 수의 상기 선택스위치를 도통상태로 하여 상기 신호선을 구동하는 제 2 상태를 취하는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 11항에 있어서,

상기 제어수단은 도통상태로 하는 상기 선택스위치의 수를 상기 제 1 상태가 2이상이고, 상기 제 2 상태가 1로 한 것을 특징으로 하는 액정표시장치.

청구항 13.

제 12항에 있어서,

상기 제어수단은 상기 선택스위치를 M개, N 세트로 나누어(N, M은 2이상의 정수), 상기 제 1 상태에서 도통상태로 하는 상기 선택스위치를, 상기 제 2 상태에서 도통상태로 하는 상기 선택스위치가 포함되는 세트로 하는 것을 특징으로 하는 액정표시장치.

청구항 14.

제 12항에 있어서,

상기 제 1 상태에서 상기 선택스위치를 도통상태로 하여 선택하는 상기 계조전압의 평균을 상기 제 2 상태에서 상기 선택스위치를 도통상태로 하여 선택하는 상기 계조전압과 대략 같게 한 것을 특징으로 하는 액정표시장치.

청구항 15.

제 13항에 있어서,

상기 제어수단은 상기 제 1 상태에서 도통상태로 하는 선택스위치의 수(M)를 2의 n승(n은 자연수)으로 한 것을 특징으로 하는 액정표시장치.

청구항 16.

제 15항에 있어서,

상기 제어수단을 상기 표시데이터(j 비트)와 그 논리부정을 입력하여, j 비트를 2의 j승으로 디코드하는 디코더로 구성하고, 상기 표시데이터의 하위 n 비트 ($1 \leq n < j$)의 상기 표시데이터와 그 논리부정을 각각 제어신호(T1)와 논리합을 취하고, 상기 논리합의 출력을 상기 디코더에 입력하는 것을 특징으로 하는 액정표시장치.

청구항 17.

제 16항에 있어서,

상기 제 1 상태에서 도통상태로 하는 상기 선택스위치의 수가 홀수인 것을 특징으로 하는 액정표시장치.

청구항 18.

제 17항에 있어서,

상기 제 1 상태에서 도통상태로 하는 상기 선택스위치를 상기 제 2 상태에서 도통상태로 하는 상기 선택스위치와, 상기 제 2 상태에서 도통상태로 하는 상기 선택스위치보다도 높은 전압을 선택하는 상기 선택스위치와, 상기 제 2 상태에서 도통상태로 하는 상기 선택스위치보다도 낮은 전압을 선택하는 상기 선택스위치로 한 것을 특징으로 하는 액정표시장치.

청구항 19.

제 17항에 있어서,

상기 제 1 상태에서 도통상태로 하는 상기 선택스위치가 인접되어 있는 것을 특징으로 하는 액정표시장치.

청구항 20.

제 19항에 있어서,

상기 제 1 상태에서 도통상태로 하는 상기 선택스위치의 수가 3인 것을 특징으로 하는 액정표시장치.

청구항 21.

제 20항에 있어서,

상기 제어회로에 상기 표시데이터(j 비트)를 2의 j 승으로 디코드하는 디코더와, 2입력 논리곱회로와, 3입력 논리합회로로 구성하고, 상기 논리곱회로의 입력을 상기 디코더의 각 출력과 상기 제어신호(T1)로 하고, 상기 논리합회로의 입력을 상기 디코더의 각 출력과 인접하는 2개의 상기 논리곱회로의 출력으로 한 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 방식의 액정 표시 장치의 구동 회로에 관한 것으로, 특히 구동 회로를 액티브 매트릭스 기판과 동일한 기판으로 형성한 액정 표시 장치에 관한 것이다.

액티브 매트릭스 방식의 액정 표시 장치는 서로 직교하여 배치하는 복수의 신호선과 주사선의 교차점에 트랜지스터를 형성한 표시부와, 복수의 신호선과 주사선의 전압을 제어하는 구동 회로부로 구성된다. 이 표시부에 사용하는 트랜지스터는 아몰퍼스 실리콘(a-Si:amorphous-Silicon), 박막 트랜지스터(TFT:Thin-Film Transistor) 다결정 실리콘(p-Si:poly-Silicon) TFT, 단결정 실리콘의 MOS(Metal-Oxide Semiconductor) 트랜지스터 등의 종류가 있다. 여기서 a-Si TFT는 유리 기판에 형성되고, 그 구동 회로는 단결정 실리콘의 집적 회로가 외부 부착된다. p-Si TFT는 석영 기판에 형성하는 고온 p-Si TFT와 유리 기판에 형성하는 저온 p-Si TFT가 있으며, 어느 것이나 그 구동 회로는 단결정 실리콘의 MOS 트랜지스터와 함께 표시부와 동일한 기판에 형성된다. 또 유리 기판에 형성하는 아몰퍼스 실리콘 TFT와 저온 p-Si TFT는 대형 사이즈까지 실현할 수 있으며, 석영 기판과 단결정 실리콘 기판을 사용하는 것은 중, 소형의 사이즈로 한정된다.

이와 같은 액티브 매트릭스 방식의 액정 표시 장치의 구성 및 동작을 더욱 상세하게 설명한다.

표시부의 트랜지스터는 게이트를 주사선에, 드레인을 신호선에, 소스를 표시 전극에 접속하고 있다. 이 표시 전극에 대하여 일면에 투명 전극을 형성한 대향 기판을 설치하고, 액정은 이 표시 전극과 대향 기판의 사이에 끼워 유지된다. 통상, 표시 전극에는 유지 용량을 접속하기 때문에, 소스 전극에는 유지 용량과 액정 용량이 병렬로 접속된다. 여기서 게이트 전극이 선택 상태로 되면 트랜지스터는 도통하여, 신호선의 영상 신호를 액정 용량 및 유지 용량에 입력한다. 게이트 전극이 비선택 상태로 되면 트랜지스터는 하이 임피던스가 되어 액정 용량에 입력된 영상 신호를 유지한다.

구동 회로부는 주사선의 전압을 제어하는 주사 회로와, 신호선의 전압을 제어하는 신호 회로로 구성되어 있다. 주사 회로는 각 주사선에 1프레임 시간마다 1회 주사 펄스를 인가한다. 통상 이 펄스의 타이밍은 패널의 상측으로부터 하측을 향하여 순서대로 어긋나 있다. 1프레임의 시간으로서는 1/60초가 흔히 사용된다. 대표적인 화소 구성인 1024×768도트의 패널에서는, 1프레임 시간에 768회의 주사가 행하여지기 때문에, 주사 펄스의 시간 폭은 약 20 μ s가 된다. 이 주사 회로에는 통상 시프트 레지스터가 사용되며, 이 시프트 레지스터의 동작 속도는 약 50kHz이다.

한편, 신호 회로는 주사 펄스가 인가되는 1행분의 화소에 대응하는 액정 구동 전압을 각 신호선에 인가한다. 주사 펄스가 인가된 선택 화소에서는 주사선에 접속된 트랜지스터의 게이트 전극의 전압이 높아져 트랜지스터가 온 상태로 된다. 이때 액정 구동 전압은 신호선으로부터 트랜지스터의 드레인, 소스 사이를 경유하여 액정에 인가되어 액정 용량과 유지 용량을 합친 화소 용량을 충전한다. 이 동작을 반복함으로써, 패널 전면의 화소 용량에는 프레임 시간마다 반복하여 영상 신호에 대응한 전압이 액정에 인가된다.

이 신호 회로는 입력하는 영상 신호에 따라 아날로그 방식과 디지털 방식이 있다. 아날로그 방식의 경우, 신호선을 구동하는 신호 회로는 시프트 레지스터와 샘플·홀드 회로로 구성된다. 시프트 레지스터는 각 화소에 대응하는 샘플·홀드 회로의 타이밍을 발생한다. 샘플·홀드 회로에서는 이 타이밍으로 각 화소에 대응하는 영상 신호를 샘플링하여, 각 신호선에 액정 구동 전압을 공급한다. 이 구동 방법은 타이밍을 발생하는 시프트 레지스터와 영상 신호를 샘플링하는 샘플·홀드 회로를 간단한 회로로 구성할 수 있기 때문에, 주로 구동 회로 일체형의 액정 표시 패널에 사용된다.

상기 화소 구성의 경우, 신호 회로의 시프트 레지스터는 주사 회로의 주사 펄스의 시간 폭으로 1024의 타이밍을 발생한다. 이 때문에 이 시프트 레지스터의 타이밍의 시간 간격은 20 ns 이하로 되고, 이 시프트 레지스터는 50 MHz 이상의 동작 속도가 필요하게 된다. 샘플·홀드 회로에는 이와 같이 짧은 시간 타이밍으로 영상 신호를 샘플링할 것이 요구된다. 구동 회로 일체형의 액정 표시 장치에서는 영상 신호를 복수로 나누어 입력함으로써 샘플링의 시간을 길게 하는 방법이 취해지고 있다. 이 때문에 고속의 영상 신호를 샘플링에 의하여 복수의 영상 신호로 분할함과 동시에, 분할한 신호를 증폭하여 교류화를 행하는 신호 변환 회로가 필요하게 된다.

한편, 디지털 방식의 경우, 신호선을 구동하는 신호 회로는 시프트 레지스터, 2단 래치 회로, 디지털 아날로그 변환 회로(이하 DA 변환 회로)로 구성된다. 디지털 신호로 순차 입력되는 영상 신호는 시프트 레지스터와 2단 래치 회로에 의하여 각 신호선에 대응하는 래치 회로에 저장된다. DA 변환 회로는 이 데이터를 아날로그 전압으로 변환하여, 각 신호선에 액정 구동 전압을 공급한다.

본 방식의 래치회로 및 DA 변환회로의 비트수는 표시하는 계조로 결정되며, 풀칼라표시에 필요한 각 색 256계조일 때, 8비트가 된다. 상기한 화소구성의 경우, 16384비트(8비트 × 2 × 1024)의 래치회로와, 1024개의 8비트 DA 변환회로가 필요하게 된다. 각 신호선의 DA 변환회로는 불균일을 작게 하기 위하여 기준전압을 스위치로 선택하는 방법이 사용된다. 본 디지털방식에서는 영상신호가 디지털신호 이기 때문에, 신호전송시의 S/N의 열화를 방지할 수 있다.

또한 디지털방식에서는 디지털의 영상신호를 고속으로 동작하는 DA 변환기로 아날로그신호로 변환한 후, 상기 아날로그 방식과 같은 방법으로 각 신호선의 전압을 발생하는 방법이 제안되어 있다.

상기 각 신호선마다 DA 변환회로를 설치하는 방법은, 예를 들어 일본국 특개평 9-26765호 공보에 기재되어 있다. 또 디지털의 영상신호를 DA 변환회로에서 아날로그전압으로 변환한 후, 샘플회로에서 각 신호선의 전압을 발생하는 방법은, 예를 들어 일본국 특개평 5-80722호 공보 또는 특개평5-173506호 공보에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

종래의 신호회로는 단결정 Si의 집적회로로 구성되어 액티브매트릭스기판의 외부 부착되어 있었다. 이 집적회로는 현상에서는 약 300개의 신호선별로 분할하여 설치된다. 한편 구동회로 일체형의 액정표시장치에서는 표시에 필요한 모든 신호선의 구동회로를 동일기판에 형성할 필요가 있다. 이 신호선의 수는 상기한 예에서는 1024개이다. 또한 컬러표시의 것으로서는 이 3배인 3072개가 된다. 이와 같이, 구동회로 일체형의 액정표시장치에서는, 종래의 단결정 Si의 집적회로로 구동하는 신호선수의 약 10배가 된다. 또 신호선의 부하용량은, 화상표시 사이즈에 비례하기 때문에, 구동회로 일체형의 액정표시장치에 종래 회로의 기술을 적용할 경우, 필요한 성능을 확보한 후에, 회로규모(소자수, 점유면적)를 저감하는 것이 중요한 과제이다.

종래예의 기술에서 나타난 신호회로를 구동회로 일체형의 액정표시장치에 적용할 경우에 해결을 필요로 하는 과제에 관하여 설명한다.

상기 종래예의 기술에서 신호선에 DA 변환회로를 설치하는 방법은, 화소수의 증가와 표시하는 계조수 증가에 따라 회로규모도 증대한다는 문제가 있다. 즉, DA 변환회로의 회로규모는 수평방향의 화소수에 비례하고, DA 변환회로를 구성하는 래치회로의 회로규모는 표시하는 계조의 비트수에 비례하며, 디코더회로나 전압 멀티플렉서회로의 회로규모는 비트수의 자승에 비례한다. 이 때문에 장치전체의 비용상승이 된다는 과제가 있었다.

또한 각 신호선마다 설치한 DA 변환회로의 출력전압이 다른 DA 변환회로와 간섭한다는 문제가 있다. 이것은 각 DA 변환회로의 기준전압이, 각 DA 변환회로에 대한 급전전류와 버스라인의 저항에 의하여 변동하기 때문이다. 이 기준 전압의 변동은 DA 변환회로의 수와 버스라인의 길이에 비례한다. 이 때문에 고선명 또는 대화면으로 할 경우, 충분한 화질을 얻을 수 없다는 과제가 있었다.

상기 디지털의 표시데이터를 DA 변환회로에서 아날로그신호로 변환한 후에 샘플링하는 방법은, DA 변환회로의 출력전압이 다른 DA 변환회로와 간섭한다는 문제가 있다. 본 방식의 DA 변환회로수는 화소수에 비례하기 때문에, 고선명의 액정표시장치에서는 복수의 DA 변환회로를 사용하여 구성하는 것이 필요하다. 이 때문에 상기 신호선에 DA 변환회로를 설치하는 방법과 같이, 고선명 또는 대화면으로 할 경우, 충분한 화질을 얻을 수 없다는 과제가 있었다.

본 발명은 구동회로 일체형의 기준전압의 변동을 억제하는 것을 목적으로 하고 있고, 구동회로 일체형으로 대형사이즈의 액정표시장치를 제공하는 것을 목적으로 한다.

본 발명은 구동회로 일체형 액정표시장치의 회로점유면적을 저감하는 것을 목적으로 하고 있고, 구동회로 일체형으로 대형사이즈의 액정표시장치를 제공하는 것을 목적으로 한다.

발명의 구성

본건의 액정표시장치의 제 1 실시형태에 의하면, 주사선과 신호선의 교차점에 설치한 스위칭소자와, 주사선의 전압을 제어하는 주사회로와, 신호선의 전압을 제어하는 신호회로를 형성한 제 1 기판, 한쪽 면에 투명전극을 형성한 제 2 기판, 제 1 기판과 제 2 기판에 액정을 끼워유지함과 동시에, 신호회로를 계조전압과 디지털표시데이터를 입력하여 디지털표시테

이터를 아날로그전압으로 변환하는 복수의 DA 변환수단과, 복수의 DA 변환수단으로부터 출력되는 복수의 아날로그전압을 소정의 타이밍으로 샘플링하는 샘플수단으로 구성하여, 계조전압을 복수의 DA 변환수단에 대응한 복수의 단자군으로부터 공급한 것이다.

본건의 액정표시장치의 제 2 실시형태에 의하면, 신호회로를 디지털표시데이터를 아날로그전압으로 변환하는 DA 변환수단과 상기 아날로그전압을 소정의 타이밍으로 샘플링하는 샘플수단으로 구성하고, 양극의 아날로그전압을 발생하는 양극의 DA 변환수단과, 음극의 아날로그전압을 발생하는 음극의 DA 변환수단을 1세트의 DA 변환수단으로 하여 복수세트의 DA 변환수단으로 구성한 것이다.

본건의 액정표시장치의 제 3 실시형태에 의하면, 주사선과 신호선의 교차점에 설치한 스위칭소자와, 주사선의 전압을 제어하는 주사회로와, 신호선의 전압을 제어하는 신호회로를 형성한 제 1 기판, 한쪽 면에 투명전극을 형성한 제 2 기판, 제 1 기판과 제 2 기판에 액정을 끼워유지한 액정표시장치에 있어서, 신호회로를 복수의 전압을 발생하는 계조전압발생수단과, 계조전압발생수단에서 발생한 전압중에서 표시데이터에 따른 전압을 복수의 전압선택스위치로 선택하는 전압선택수단과, 상기 표시데이터를 입력하여 상기 전압선택수단을 제어하는 제어수단과 상기 전압선택수단의 출력전압을 소정의 타이밍으로 샘플링하는 샘플수단으로 구성하고, 제어수단이 적어도 복수의 선택스위치를 도통상태로 하여 상기 신호선을 충전하는 제 1 상태와, 제 1 상태보다도 적은 수의 상기 선택스위치를 도통상태로 하는 제 2상태를 취하도록 한 것이다.

본건의 액정표시장치의 제 4 실시형태에 의하면, 선택스위치를 M개, N 세트로 나누어(N, M은 2 이상의 정수), 제 1 상태에서 도통상태로 하는 선택스위치를, 제 2 상태에서 도통상태로 하는 선택스위치가 포함되는 세트로 한 것이다.

본건의 액정표시장치의 제 5 실시형태에 의하면, 제어회로를 표시데이터(j 비트)와 그 논리부정을 입력하여, j 비트를 2의 i승으로 디코딩하는 디코더로 구성하고, 표시데이터의 하위 n 비트($1 \leq n < j$)의 표시데이터와 그 논리부정을 각각 제어신호(T1)와 논리합을 취하여 논리합의 출력을 상기 디코더에 입력한 것이다.

본건의 액정표시장치의 제 6 실시형태에 의하면, 제어회로를 표시데이터(j 비트)를 2의 i승으로 디코딩하는 디코더와, 2입력논리곱회로와, 3입력논리합회로로 구성하고, 논리곱회로의 입력을 디코더의 각 출력과 제어신호(T1)로 하고, 논리합회로의 입력을 디코더의 각 출력과, 인접하는 2개의 논리곱회로의 출력으로 한 것이다.

이하, 본 발명의 실시예를 상세하게 설명한다. 도 1은 본 발명에 있어서의 구동회로 일체형 액정표시장치의 제 1 실시예를 나타내는 블럭도이다.

본 실시예에서는 표시데이터를 M(M은 정수)개 병렬로 입력하는 구성으로 나타내고 있다. 본 실시예는 구동회로 일체형 액정표시패널(100), 인터페이스회로(700), 영상신호원(800)으로 구성하고 있다. 상기 액정표시패널(100)은 표시부(200), 신호회로(300), 주사회로(400), 제어회로(500)로 구성함과 동시에 각각이 복수의 입력패드로 구성되는 단자군(101, 102-1~M, 103-1~M, 104-1~M)을 가지고 있다.

상기 신호회로(300)는 양극의 DA 변환회로(320-1~320-M), 음극의 DA 변환회로(340-1~340-M), 전압멀티플렉서(360)로 구성하고 있다. 상기 인터페이스회로(700)는 계조전압발생회로(720)와 신호변환회로(740)로 구성하고 있다.

상기 영상신호원(800)은 디지털표시데이터(802)와 제어신호(804)를 상기 신호변환회로(740)에 출력한다. 제어신호(804)에는 도시 생략한 수평동기신호(Hs), 수직동기신호(Vs), 클락신호(CK1)가 포함된다. 상기 신호변환회로(740)는 시리얼로 입력되는 상기 디지털표시데이터(802)를 표시데이터(742-1~M)의 복수개의 병렬신호로 변환함과 동시에, 상기 제어회로(500)의 제어신호(744)를 발생한다. 제어신호(744)에는 도시 생략하였으나, 상기 표시데이터(742-1~M)의 클락신호(CK2), 상기 수평동기신호(Hs), 상기 수직동기신호(Vs), 교류화 제어신호(FLP)가 포함된다. 상기 계조전압발생회로(720)는 양극의 계조전압(722)과 음극의 계조전압(724)을 발생한다.

상기 제어회로(500)는 단자군(101)을 거쳐 상기 제어신호(744)를 입력하고, 양극 및 음극의 DA 변환회로(320-1~M, 340-1~M)의 데이터도입타이밍을 지정하는 2상신호(502), 상기 전압멀티플렉서(360)의 제어신호(504), 상기 주사회로(400)의 제어신호(506)를 출력한다. 상기 신호회로(300)는 상기 표시데이터(742-1~M), 계조전압(722, 724)을 입력하고, M 개의 표시데이터(742-1~M)를 아날로그신호로 변환하여 상기 전압멀티플렉서(360)에 공급한다. 상기 전압멀티플렉서는 상기 아날로그신호와 제어신호(504)를 입력하고, 상기 표시부(200)의 각 신호선(302)에 전압을 공급한다.

상기 주사회로(400)는 상기 제어신호(506)를 입력하여 상기 표시부(200)의 각 주사선(402)에 주사신호를 출력한다. 표시부(200)는 상기 신호선(302)과 상기 주사선(402)의 신호에 의하여 화상을 표시한다.

본 발명의 실시예를 적용한 액정표시장치에서는 신호선(302)의 전압은, 배선(302)에 부가되는 기생용량을 상기 계조전압 발생회로(720)의 출력으로 충전함으로써 설정된다. 이때의 충전전류는 상기 계조전압 발생회로(720)와 상기 DA 변환회로(320-1~M, 340-1~M)의 사이를 흐른다. 이 때문에 상기 계조전압 발생회로(720)와 상기 DA 변환회로 사이의 배선저항과 상기 충전전류의 곱에 의해 전압오차를 발생한다. 또한 상기 각 DA 변환회로로부터의 전류가 합류하는 배선부분에서는 상기 DA 변환회로 사이에서 상호간섭한다.

본 발명의 실시예에서는, DA 변환회로(320-1~M, 240-1~M)에 공급하는 계조전압(722, 724)을 상기 DA 변환회로 별로 다른 단자군(102-1~M, 104-1~M)으로부터 입력하고 있다. 또한 상기 각 DA 변환회로의 전류가 공통하여 흐르는 부분의 배선은 구동회로 일체형 액정표시패널(100)의 외로 하여 저저항배선을 적용할 수 있도록 하였다.

상기한 바와 같이, 본 발명의 실시예에서는 DA 변환회로의 오차를 저감하여, 충분한 화질의 액정표시장치를 실현할 수 있는 효과가 있다.

본 발명의 신호회로의 실시예를 더욱 상세하게 설명한다. 도 2는 본 발명의 구동회로 일체형 액정표시장치에 있어서의 신호회로의 제 1 실시예이다. 본 실시예에서는 2개의 DA 변환회로를 사용하는 예에 관하여 나타내었다.

신호회로(300)는 양극의 DA 변환회로(320), 음극의 DA 변환회로(340), 전압멀티플렉서(360)로, 양극의 DA 변환회로(320)는 래치회로(322, 323), 디코더회로(324), 계조전압변환회로(326), 전압선택회로(328)로, 음극의 DA 변환회로(340)는 래치회로(342, 343), 디코더회로(344), 계조전압변환회로(346), 전압선택회로(348)로, 전압멀티플렉서회로(360)는 스위치(361~364), 샘플링스위치(S1~S(N)), 시프트레지스터(370), 비디오신호선(372)으로, 제어회로(500)는 2상 신호발생회로(510), 변환스위치(511~514), 극성제어회로(520), 인버터(521), 시프트레지스터제어회로(540)로 구성하고 있다.

이상과 같이 구성된 본 발명의 구동회로 일체형 액정표시장치에 있어서의 신호회로의 동작을 도 3에 나타내는 타이밍도를 사용하여 설명한다.

도 3에 나타내는 수평동기신호(Hs)와 클락신호(CK2)는 제어회로(500)의 내부신호이며, 디지털표시데이터(DIN(742))는 클락신호(CK2)에 동기하여, 상기 수평동기신호(Hs)로부터 D1, D2, D3 ...의 순으로 입력된다.

극성제어신호(FLP)는 상기 극성제어회로(520)로부터 출력되고, 상기 수평동기신호(Hs)의 주기마다 반전한다. 래치제어신호($\phi 0$, $\phi 1$, $\phi 2$)는 상기 2상 신호발생회로(510)와 상기 변환스위치(511~514)로부터 출력된다. 상기 래치제어신호($\phi 1$, $\phi 2$)는, 상기 극성제어신호(FLP)로 상기 변환스위치(511~514)를 제어함으로써 출력되고, 수평동기신호(Hs)를 기준으로 하여 상기 $\phi 1$ 의 위상은, $\phi 2$ 에 대하여 상기 극성제어신호(FLP)가 "H"일 때 진행되고, "L"일 때 지연된다. 상기 래치제어신호($\phi 0$)는 상기 $\phi 1$, $\phi 2$ 의 지연된 신호와 같은 위상으로 출력된다.

상기 래치회로(322, 242)는 상기 디지털표시데이터(742)를 입력하고, 각각 상기 래치제어신호($\phi 1$, $\phi 2$)로 제어된다. 이 결과, 상기 래치회로(322)는 상기 극성제어신호(FLP)가 "H"일 때, 디지털표시데이터(742)의 홀수번의 데이터를 도입하고, 상기 FLP가 "L"일 때, 짝수번의 데이터를 받아들인다. 한편, 상기 래치회로(342)는 상기 극성제어신호(FLP)가 "H"일 때, 디지털표시데이터(742)의 짝수번의 데이터를 도입하고, 상기 FLP가 "L"일 때 홀수번의 데이터를 받아들인다.

상기 래치회로(323, 343)는 각각 상기 래치회로(322, 342)의 출력을 입력하여 상기 래치제어신호($\phi 0$)로 제어되고, 상기 래치회로(323, 343) 모두 상기 $\phi 0$ 의 타이밍으로 출력된다.

상기 디코더회로(324, 344)는, 각각 상기 래치회로(323, 343)의 출력을 입력하여 디코드신호를 상기 전압멀티플렉서회로에 출력한다. 이 디코드회로는 n 비트의 디지털신호의 입력과, 2의 n 승의 출력을 가지며, 입력디지털치에 의하여 2의 n 승의 출력중에서 하나의 신호를 선택하는 회로이다.

상기 전압멀티플렉서(328, 348)는 각각 상기 디코더회로(324, 344)의 출력과, 상기 계조전압변환회로(326, 246)의 출력을 입력하여 아날로그전압을 출력한다. 이 전압멀티플렉서는 2의 n 승의 디코드출력신호와, 2의 n 승의 계조전압을 입력하고, 디코드출력에 의하여 계조전압을 선택하는 것이다.

상기 계조전압변환회로(326)는 상기 양극의 계조전압(722)을 입력하여 2의 n 승의 계조전압을 출력하고, 상기 계조전압변환회로(346)는 상기 음극의 계조전압(724)을 입력하여 2의 n 승의 계조전압을 출력한다.

이상의 동작에 의하여 상기 양극의 DA 변환회로(320)와 상기 음극의 DA 변환회로(340)는 상기 디지털표시데이터(742)를 아날로그전압으로 변환하여 상기 전압멀티플렉서(360)에 출력한다.

상기 전압멀티플렉서(360)의 상기 스위치(361, 363)는 상기 극성제어신호 (FLP)에 의하여 제어하여 상기 FLP가 "H"일 때, 상기 DA 변환회로(320, 340)의 출력을 상기 비디오신호선(372)의 V1, V2에 각각 출력한다. 또 상기 스위치(362, 364)는 상기 극성제어신호(FLP)를 상기 인버터(521)로 반전한 신호로 제어하여 상기 FLP가 "L"일 때, 상기 DA 변환회로(320, 340)의 출력을 상기 비디오신호선(372)의 V2, V1에 각각 출력한다. 이 결과 도 3에 나타내는 바와 같이, 상기 비디오신호선(372)의 V1에는 표시데이터(742)의 홀수번의 데이터를 아날로그로 변환한 전압이 상기 극성제어신호(FLP)의 "H", "L"에 대응하여 양극, 음극의 전압으로서 출력된다. 또 상기 비디오신호선(372)의 V2에는 표시데이터(742)의 짝수번의 데이터를 아날로그로 변환한 전압이 상기 극성제어신호(FLP)의 "H", "L"에 대응하여 음극, 양극의 전압으로서 출력된다.

상기 비디오신호선(372)의 V1에는 상기 샘플링스위치(S1, S2, ..., S(N))의 홀수번의 스위치가, 상기 V2에는 상기 샘플링스위치(S1, S2, ..., S(N))의 짝수번의 스위치가 접속된다. 표시부(200)의 N 개의 신호선(302)은 상기 샘플링스위치(S1, S2, ..., S(N))로 제어된다.

상기 시프트레지스터(370)는, 상기 시프트레지스터 제어회로(540)로 제어되고, 상기 래치제어신호(ϕ_0)의 타이밍으로 변화되는 다상신호(P1, P2, ..., P(N/2))를 출력한다. 상기 다상신호(P1, P2, ..., P(N/2))는 상기 샘플링스위치를 2개씩 제어하고, 상기 표시데이터(742)를 상기 DA 변환회로(320, 340)로 변환한 아날로그전압을 상기 신호선(302)에 순차 출력한다.

이상과 같은 동작으로, 본 발명의 구동회로 일체형 액정표시장치에 있어서의 신호회로는 디지털표시데이터를 아날로그전압으로 변환하여 신호선을 제어하고 있다.

도 4는 본 발명의 구동회로 일체형 액정표시장치에 있어서의 신호회로의 제 2 실시예이다.

도 2의 실시예와 다른 것은, 전압멀티플렉서(360)의 구성이다. 본 실시예의 전압멀티플렉서는, 시프트레지스터(370), N/2 개의 스위치제어회로(SC1, SC2, SC(N/2)), 비디오신호선(372)으로 구성하고, 상기 스위치제어회로는 AND 회로(377, 378), 샘플링스위치(373~376)로 구성하고 있다. 상기 AND 회로(377)는 상기 시프트레지스터(370)의 다상신호(P1, P2, ..., P(N/2))와, 상기 극성제어신호(FLP)를 입력하여 상기 샘플링스위치(373, 375)를 제어하고, 상기 AND 회로(378)는 상기 시프트레지스터(370)의 다상신호(P1, P2, ..., P(N/2))와, 상기 극성제어신호(FLP)의 반전신호를 입력하여, 상기 샘플링스위치(374, 376)를 제어하고 있다.

상기 샘플링스위치(373, 374)는 각각 비디오신호선의 V1, V2에 접속하여 홀수번의 신호선을 구동하고, 상기 샘플링스위치(375, 376)는 각각 비디오신호선의 V2, V1에 접속하여 짝수번의 신호선을 구동한다. 상기 비디오신호선(372)의 V1, V2는 상기 양극의 DA 변환회로(320), 상기 음극의 DA 변환회로(340)의 출력으로 직접제어하고 있다.

이상의 구성에서는 비디오신호선(372)의 V1에 양극의 전압이, V2에 음극의 전압이 인가되고, 이들 전압을 상기 샘플링스위치(373, 374 또는 375, 376)로 변환함으로써 상기 신호선(302)을 구동하고 있다. 본 구성에 의하면 상기 DA 변환회로(320 또는 240)의 출력과 상기 신호선(302) 사이의 스위치를 1단으로 할 수 있기 때문에, 상기 신호선(302)의 충전 정밀도를 높임으로써 고품질의 화상을 표시할 수 있는 효과가 있다.

또한 상기 비디오신호선(372)의 V1에 접속하여 상기 양극의 DA 변환회로(320)의 출력전압을 제어하는 상기 샘플링스위치(373, 375)는 P형의 TFT로, 상기 비디오신호선(372)의 V2에 접속하여 상기 음극의 DA 변환회로(340)의 출력전압을 제어하는 상기 샘플링스위치(374, 376)는 N형의 TFT로 구성할 수 있기 때문에, 회로규모를 저감할 수 있는 효과가 있다.

도 5는 본 발명의 구동회로 일체형 액정표시장치에 있어서의 계조전압변환회로의 실시예를 나타내는 회로구성도이다. 본 회로는 스트링저항(R1, ..., R(J))으로 구성하고, 상기 계조전압(722 또는 724)을 입력한 전압을 상기 스트링저항으로 분압함으로써, 2의 n 승의 계조전압(727 또는 747)을 출력한다.

도 6은 본 발명의 구동회로 일체형 액정표시장치에 있어서의 전압멀티플렉서와 계조전압변환회로의 실시예를 나타내는 회로구성도이다. 본 실시예는 음극의 DA 변환회로에 적용하는 경우의 회로구성도이다. 본 실시예의 전압멀티플렉서

(328)는 N형의 TFT로 구성하고, 상기 TFT의 게이트전극에 상기 디코더회로(324)의 출력신호(325)를 접속하여 상기 TFT의 드레인전극에 상기 계조전압변환회로의 출력(727)를 접속하고, 상기 TFT의 소스전극은 공통으로 접속하여 출력전압(329)을 출력한다.

도 7은 본 발명의 구동회로 일체형 액정표시장치의 제 2 실시예를 나타내는 블록도이다. 도 1에 나타내는 제 1 실시예와 다른 것은 상기 전압멀티플렉서(360)를 전압멀티플렉서(360-1~361-M)와, 상기 양극의 DA 변환회로(320-1~M), 상기 음극의 DA 변환회로(340-1~M)와 같이 M 개로 분할한 점이다. 이와 같이 분할함으로써 비디오신호선의 수를 저감할 수 있음과 동시에, 길이를 짧게 할 수 있다. 이 결과, 비디오신호선의 영역을 좁게 할 수 있음과 동시에, 비디오신호선의 배선저항에 의한 신호선의 충전시간을 저감할 수 있기 때문에, 회로규모를 저감할 수 있음과 동시에, 고품질의 화상을 표시할 수 있다.

이 분할방법은 양극과 음극 2개의 DA 변환회로를 1세트로 하고, 복수세트의 DA 변환회로와 전압멀티플렉서를 1블록으로 하여 복수의 블록으로 신호회로를 구성하더라도 좋다. 또 컬러의 액정표시장치에 있어서는, 빨강, 초록, 파랑의 표시데이터에 대응하는 양극과 음극의 DA 변환회로의 6개를 1세트로 하고, 복수세트의 DA 변환회로와 전압멀티플렉서를 1블록으로 하여 복수의 블록으로 신호회로를 구성하더라도 좋다.

본 발명의 구동회로 일체형 액정표시장치에서는 DA 변환회로에 공급하는 기준전압의 변동을 억제할 수 있기 때문에, 고선명, 대화면의 액정표시장치이더라도 충분한 화질을 얻을 수 있는 효과가 있다.

또한 본 발명의 다른 실시예를 설명한다.

도 9는 본 발명에 있어서의 DA 변환회로의 제 3 실시예를 나타내는 블록구성도이다. 본 실시예는 제어회로(810), 계조전압발생회로(820), 전압선택회로(830), 부하회로(840)로 구성된다. 제어회로(810)는 3비트의 표시데이터(D0~D2)와 제어신호(T1)를 입력하여 8개(2의 3승)의 스위치제어신호(X0, ..., X7)를 출력하고, 상기 계조전압발생회로(820)는 8개의 계조전압(V0~V7)을 출력한다. 전압선택회로(530)는 8개의 스위치(S0~S7)로 구성하고, 스위치제어신호로 계조전압선택하여 전압(Vo)을 출력한다. 부하회로(540)는 등가적으로 용량(CL)으로 나타낸 것으로 출력에 접속된다.

제어회로(810)는 인버터(611, 612, 613), OR 게이트(621, 622), 복수의 AND 게이트(631)로 구성한다. 상기 인버터(611, 612, 613)는 상기 표시데이터를 반전한다. 상기 OR 게이트(621, 622)는 상기 제어신호(T1)를 공통으로 입력함과 동시에, 상기 표시데이터의 최하위비트(D0)와 그 반전신호를 입력한다. 상기 복수의 AND 게이트(631)는 상기 OR 게이트(621, 622)의 출력과 상기 D0을 제외하는 상기 표시데이터(D1, D2)와 그 반전신호중에서 3개를 도시한 바와 같이 선택하여 입력한다.

도 10은 이상과 같이 접속한 제어회로(810)의 3비트의 표시데이터(D0~D2) 및 제어신호(T1)와 스위치제어신호(X0, ..., X7)의 관계를 나타내는 진리값표이다. 상기 제어신호(T1)가 "L"일 때, 3비트의 표시데이터(D0~D2)에서, 8개의 스위치제어신호(X0, ..., X7)로부터 어느것인가 1개를 선택한다. 한편, 제어신호가 "H"일 때는, 3비트의 표시데이터(D0~D2)에서, 8개의 스위치제어신호(X0, ..., X7)로부터 연속된 2개를 선택한다.

도 11에 제어신호(T1)가 "H"와 "L"일 때의 등가회로를 나타낸다. 표시데이터는 3비트 모두 "H"가 되는 상태에 관하여 나타내었다. 도통상태의 상기 선택스위치의 저항치를 Ron으로 하였다. 제어신호(T1)가 "H"인 경우는 계조전압(V6, V7)에 접속된 선택스위치가 도통상태로 되고, 제어신호(T1)가 "L"인 경우는 계조전압(V7)에 접속된 선택스위치가 도통상태로 된다.

이상과 같이 구성한 DA 변환회로의 실시예의 동작을 도 12에 나타낸다.

본 DA 변환회로는, DA 변환시간의 기간을 프리차지기간과 전압정정기간으로 나누어, 상기 제어신호(T1)는 프리차지기간을 "H"로, 전압정정기간을 "L"로 하고 있다. 이 결과, 프리차지기간은 2개의 선택스위치가 도통상태로 되고, 정정기간은 1개의 선택스위치가 도통상태로 된다. 이 결과, 프리차지기간의 출력전압(Vo)의 전압응답시정수는, 전압정정기간시에 대하여, 약 1/2 이 된다.

이상과 같이, 본 발명의 실시예에서는 부하용량의 응답시정수를 짧게 할 수 있기 때문에, 그만큼 상기 선택스위치의 저항을 높게 할 수 있다. 이 결과, 상기 선택스위치의 면적을 적게 하여, 회로규모를 저감할 수 있다.

도 8(a), (b)는 본 발명에 있어서의 DA 변환회로의 제 4 실시예를 나타내는 블록구성과와 진리값표이다. 본 실시예는 제어회로(810), 계조전압발생회로(820), 전압선택회로(830), 부하회로(840)로 구성된다. 제어회로(810)는 n 비트의 표시데이터(D0~D(n-1))와 제어신호(T1)를 입력하여 N 개(N은 2의 n 승)의 스위치제어신호(X(0), ..., X(N-1))를 출력하고, 계조전압발생회로(820)는 N 개의 계조전압(V0 ~ V(N-1))을 출력한다. 전압선택회로(830)는 N 개의 스위치(S0~S(N-1))로 구성하고, 스위치제어신호로 계조전압을 선택하여 전압(Vo)을 출력한다. 부하회로(840)는 등가적으로 용량(CL)으로 나타내어 출력에 접속된다.

도 8(b)는 제어회로(510)의 n 비트의 표시데이터(D0~D(n-1)), 제어신호(T1)와 스위치제어신호(X(0), ..., X(N-1))의 관계를 나타내는 진리값표이다. 제어신호가 "L"일 때, n 비트의 표시데이터(D0~D(n-1))에서 N 개의 스위치제어신호(X(0), ..., X(N-1))로부터 어느것인가 1개를 선택한다. 한편 제어신호가 "H"일 때는, n 비트의 표시데이터(D0~D(n-1))에서 N 개의 스위치제어신호(X(0), ..., X(N-1))로부터 연속된 2개를 선택한다.

이상과 같이, 선택스위치의 수를 제어신호(T1)로 선택할 수 있기 때문에, n 비트의 표시데이터를 입력하는 경우에도, 도 9에 나타내는 제 3 실시예와 동일한 효과가 있다.

도 13에 본 발명에 있어서의 DA 변환회로에 적용하는 제어회로의 다른 실시예를 나타낸다.

본 발명의 제어회로(810)는 표시데이터의 상위 2비트의 디코더(641)와 표시데이터의 하위 1비트의 디코더(642), 복수의 OR 게이트(643), 복수의 AND 게이트(644)로 구성된다. 디코더(641)에는 표시데이터(D1, D2)를 입력하고, 디코더(642)에는 표시데이터(D0)를 입력한다. 복수의 OR 게이트(643)는 제어신호(T1)를 공통으로 입력함과 동시에, 디코더(642)의 출력을 입력한다. 복수의 AND 게이트(644)는 복수의 OR 게이트(643)의 출력과 상기 디코더(641)의 출력을 도시한 바와 같이 접속한다.

이상과 같이 구성함으로써, 본 실시예에 있어서의 제어회로(810)의 진리값표는 도 9에 나타내는 제어회로(810)의 진리값표인 도 10과 동일하게 된다. 본 실시예에서는 디코더를 상위와 하위로 나누어 구성하기 때문에, 전체의 트랜지스터수를 저감할 수 있는 효과가 있다.

도 14에 본 발명에 있어서의 DA 변환회로의 또 다른 실시예를 나타내는 블록구성을 나타낸다.

본 실시예는 4비트의 표시데이터(D0~D3)와 제어신호(T1)를 입력하여, 16개의 제어신호(X0~X15)를 출력하는 제어회로(660)와 16단계의 계조전압(V0~V15)을 출력하는 계조전압발생회로(820)와, 16개의 스위치(S0~S15)로 구성한다. 도 14의 제어회로(810)는 표시데이터의 상위 2비트의 디코더(660)와 표시데이터의 하위 2비트의 디코더(670), 복수의 OR 게이트(671), 복수의 AND 게이트(661)로 구성된다. 디코더(660)에는 표시데이터(D2, D3)를 입력하고, 디코더(670)에는 표시데이터(D0, D1)를 입력한다. 복수의 OR 게이트(671)는 제어신호(T1)를 공통으로 입력함과 동시에 디코더(670)의 출력을 입력한다. 복수의 AND 게이트(661)는 복수의 OR 게이트(671)의 출력과 디코더(660)의 출력을 도시와 같이 접속한다.

이상과 같이 구성한 제어회로(810)의 진리값표를 도 15에 나타낸다. 제어회로(T1)가 "H" 상태일 때만을 나타내었다. 본 상태에 있어서의 선택스위치는 스위치제어신호를 4개씩, 4세트로 나누고, 이 나눈 세트마다 도통상태로 한다. 이와 같이 도통상태로 하는 선택스위치의 수를 늘림으로써, 부하용량의 충전시간을 1/4로 더욱 단축할 수 있는 효과가 있다.

도 16에 본 발명에 있어서의 DA 변환회로의 또 다른 실시예를 나타내는 블록구성을 나타낸다.

본 실시예는 제어회로(810), 계조전압발생회로(820), 선택스위치회로(830)로 구성한다.

제어회로(810)는 3비트의 디코더(710), 복수의 AND 게이트(720), 복수의 OR 게이트(730)로 구성한다. 디코더(730)에는 표시데이터(D0~D2)를 입력한다. 복수의 AND 게이트(720)는 제어신호(T1)를 공통으로 입력함과 동시에, 디코더(720)의 출력을 입력한다. 복수의 OR 게이트(730)는 디코더(710)의 각 출력을 입력함과 동시에 복수의 AND 게이트의 출력을 도시한 바와 같이 접속한다.

전압선택회로(530)는 8개의 선택스위치(S0~S7)와 선택스위치(S0)와 병렬로 접속하는 선택스위치(S0a, S0b)와 선택스위치(S7)와 병렬로 접속하는 선택스위치(S7a, S7b)로 구성된다. 선택스위치(S0a, S0b)는 복수의 AND 게이트(720)중에서 디코드회로의 0 출력과 제어신호(T1)의 논리곱으로 제어하고, 선택스위치(S7a, S7b)는 복수의 AND 게이트(720)중에서 디코드회로(710)의 출력과 제어신호(T1)의 논리곱으로 제어한다.

이상과 같이 구성한 제어회로(810)의 진리값표를 도 17에 나타낸다. 제어신호(T1)가 "L"일 때, 3비트의 표시데이터(D0~D3)에서 8개의 스위치제어신호(X0, ..., X7)로부터 어느것인가 1개를 선택한다. 한편, 제어신호가 "H"일 때는 상기 3비트의 표시데이터(D0~D7)에서 8개의 스위치제어신호(X0, ..., X7)로부터 연속된 3개를 선택한다. 이 결과 프리차지기간의 정정값을 정정기간의 정정값과 거의 같게 할 수 있기 때문에, 정정기간을 짧게 할 수 있는 효과가 있다.

도 18은 본 발명의 DA 변환회로를 사용한 액정표시장치의 블록구성도이다. 본 액정표시장치는 영상신호원(910), 인터페이스회로(920), 액정패널(600)을 구성한다.

액정패널(600)은 화소회로(1)를 매트릭스형상으로 배치한 표시부(1000)와, 복수의 주사선(30)을 구동하는 주사회로(400)와, 복수의 신호선(20)을 구동하는 샘플·홀드회로(210)와, 샘플·홀드회로(210)의 샘플링타이밍을 제어하는 수평주사회로(220), 디지털영상신호를 아날로그로 변환한 영상신호를 샘플·홀드회로(200)에 출력하는 DA 변환회로(500a, 500b)로 구성된다. DA 변환회로(500a, 500b)는 짝수라인과 홀수라인의 표시데이터를 각각 입력하여 상기 샘플·홀드회로(210)의 영상 신호선을 구동한다.

화소회로(1)는 MOS 트랜지스터(1a), 유지용량(1b), 액정용량(1c)으로 구성하고, MOS 트랜지스터의 게이트단자는 주사선에, 드레인단자는 신호선에, 소스단자는 액정용량(1c)과 유지용량(1b)에 접속된다. 이 유지용량(1b)과 액정용량(1c)의 타단은 표시부(100)와 대향하여 배치하고 액정을 끼워유지하는 대향기판의 전극과 동전위로 접속된다. 샘플·홀드회로(200)는 각 신호선별로 접속하는 MOS 트랜지스터(201)와 용량(202)으로 구성하여 영상신호(V1)를 홀수라인의 신호선에, 영상신호(V2)를 짝수라인의 신호선에 출력하도록 MOS 트랜지스터의 드레인단자를 신호선에, 소스단자를 V1 또는 V2의 영상신호에 게이트단자는 수평주사회로(220)의 출력에 접속하고 있다.

발명의 효과

이상과 같이 구성된 액정표시장치에서는 DA 변환회로(500a, 500b)의 출력부하는, 영상신호선과 신호선이 가산되나, DA 변환회로(500a, 500b)에 본 발명의 DA 변환회로를 사용함으로써 고속으로 충전하는 것이 가능하기 때문에, 선택스위치는 높더라도 좋다. 이 결과, 상기 선택스위치의 점유면적을 저감할 수 있는 효과가 있다.

본 발명의 액정표시장치에서는 신호선을 고속으로 구동하여, 구동회로의 점유면적을 저감할 수 있기 때문에, 고선명, 대화면의 액정표시장치라도 충분한 화질을 얻을 수 있는 효과가 있다.

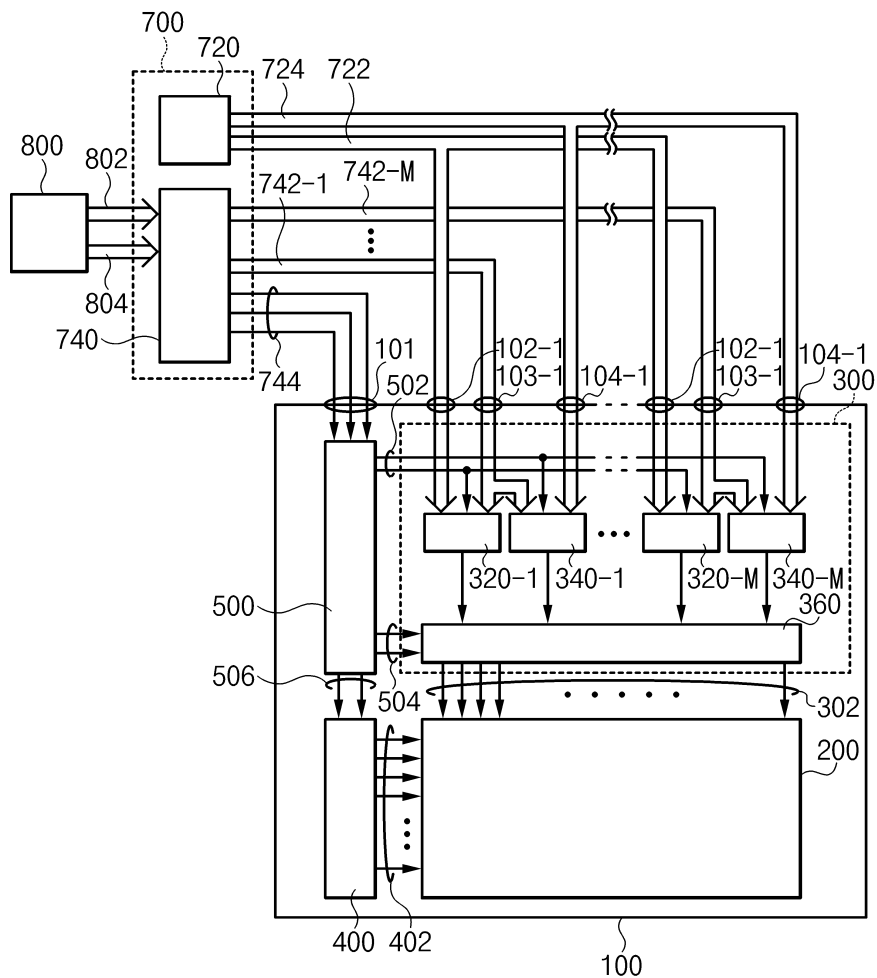
도면의 간단한 설명

- 도 1은 본 발명의 구동회로 일체형 액정표시장치에 있어서의 제 1 실시예를 나타내는 블록구성도,
- 도 2는 본 발명의 구동회로 일체형 액정표시장치에 있어서의 신호회로의 제 1 실시예를 나타내는 회로구성도,
- 도 3은 본 발명의 구동회로 일체형 액정표시장치에 있어서의 제 1 실시예의 동작을 나타내는 타이밍도,
- 도 4는 본 발명의 구동회로 일체형 액정표시장치에 있어서의 신호회로의 제 2 실시예를 나타내는 회로구성도,
- 도 5는 본 발명의 구동회로 일체형 액정표시장치에 있어서의 계조전압변환회로의 실시예를 나타내는 회로구성도,
- 도 6는 본 발명의 구동회로 일체형 액정표시장치에 있어서의 전압멀티플렉서의 실시예를 나타내는 회로구성도,
- 도 7은 본 발명의 구동회로 일체형 액정표시장치에 있어서의 제 2 실시예를 나타내는 블록구성도,
- 도 8은 본 발명에 있어서의 DA 변환회로의 일 실시예를 나타내는 블록구성도와 진리값표,

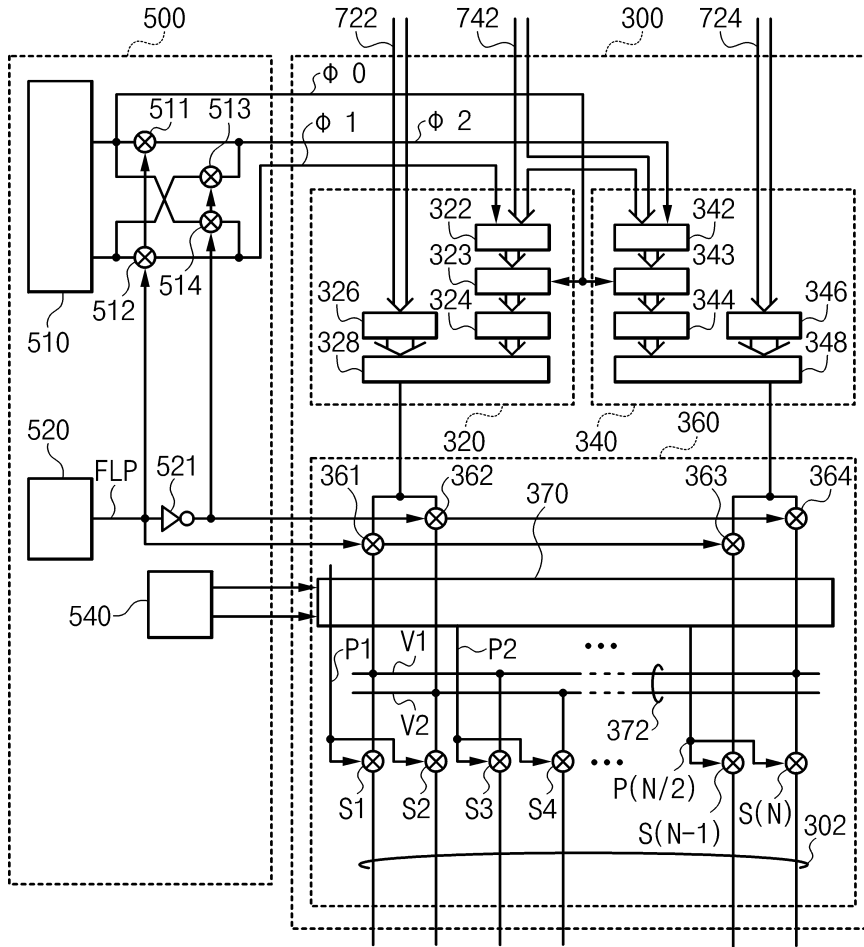
도 9는 본 발명에 있어서의 DA 변환회로의 일 실시예를 나타내는 블록구성도,
 도 10은 본 발명에 있어서의 DA 변환회로의 일 실시예에 사용한 디코더의 진리값표를 나타내는 도,
 도 11은 본 발명에 있어서의 DA 변환회로의 선택스위치의 상태를 나타내는 등가회로,
 도 12는 본 발명에 있어서의 DA 변환회로의 선택스위치의 동작을 나타내는 도,
 도 13은 본 발명에 있어서의 DA 변환회로에 적용하는 제어회로의 일 실시예를 나타내는 블록구성도,
 도 14는 본 발명에 있어서의 DA 변환회로의 일 실시예를 나타내는 블록구성도,
 도 15는 본 발명에 있어서의 DA 변환회로의 일 실시예에 사용한 디코더의 진리값표를 나타내는 도,
 도 16은 본 발명에 있어서의 DA 변환회로의 일 실시예를 나타내는 블록구성도,
 도 17은 본 발명에 있어서의 DA 변환회로의 일 실시예에 사용한 디코더의 진리값표를 나타내는 도,
 도 18은 본 발명의 DA 변환회로를 사용한 액정 표시장치의 블록구성도이다.

도면

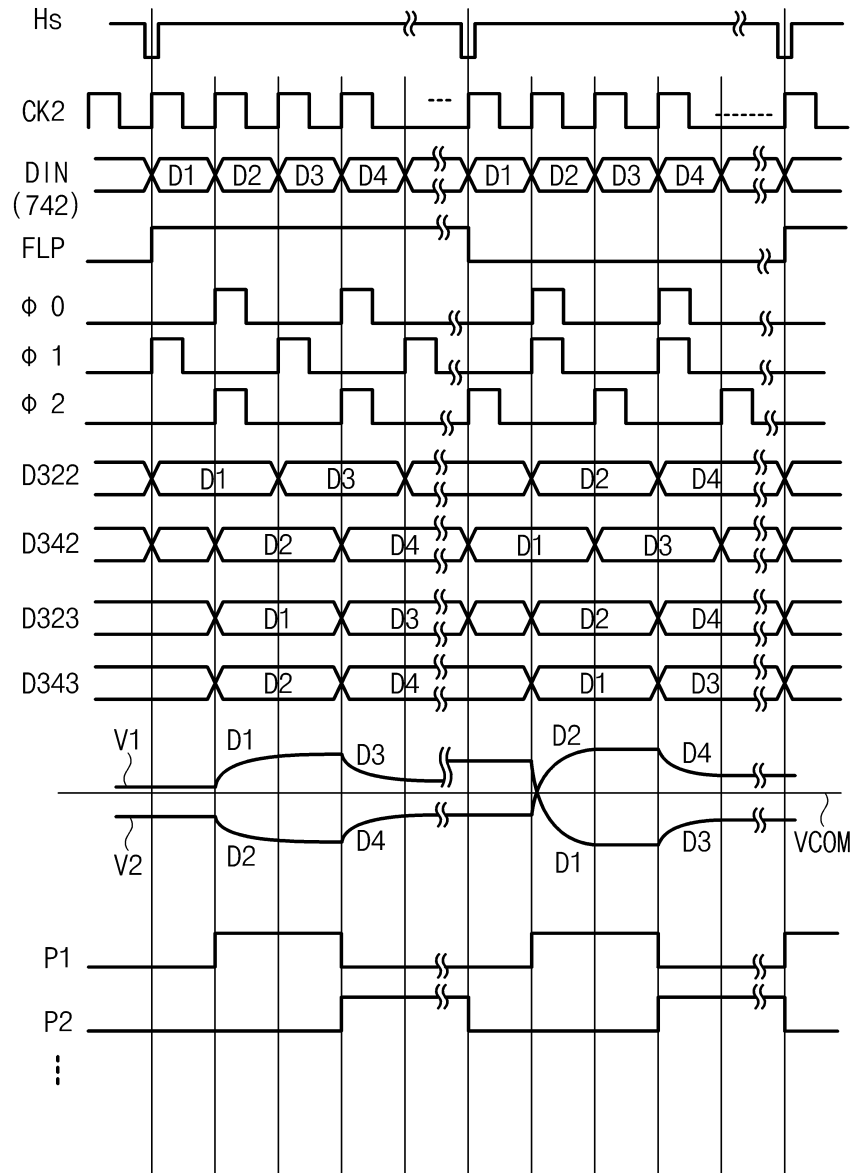
도면1



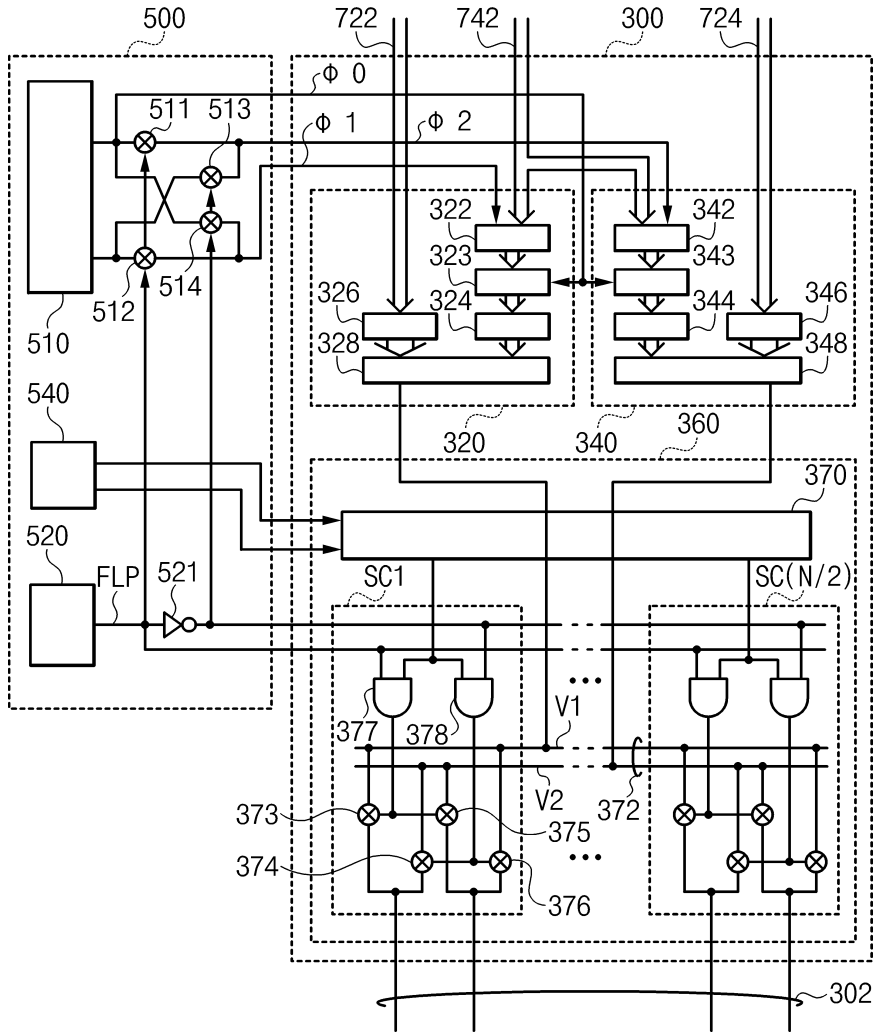
도면2



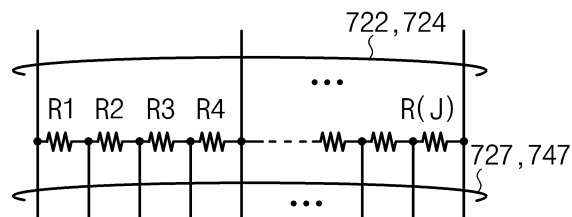
도면3



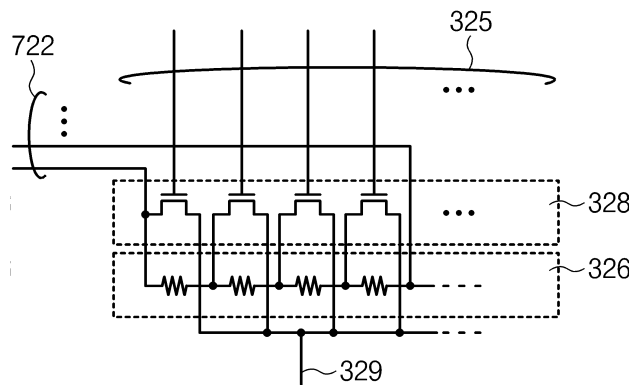
도면4



도면5



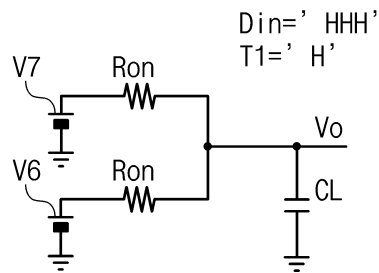
도면6



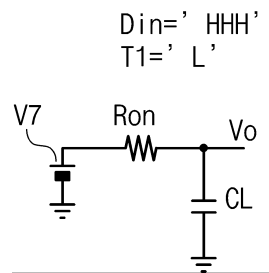
도면10

T1	D2	D1	D0	X0	X1	X2	X3	X4	X5	X6	X7
L	L	L	L	H	L	L	L	L	L	L	L
L	L	L	H	L	H	L	L	L	L	L	L
L	L	H	L	L	L	H	L	L	L	L	L
L	L	H	H	L	L	L	H	L	L	L	L
L	H	L	L	L	L	L	L	H	L	L	L
L	H	L	H	L	L	L	L	L	H	L	L
L	H	H	L	L	L	L	L	L	L	H	L
L	H	H	H	L	L	L	L	L	L	L	H
H	L	L	L	H	H	L	L	L	L	L	L
H	L	L	H	H	H	L	L	L	L	L	L
H	L	H	L	L	L	H	H	L	L	L	L
H	L	H	H	L	L	H	H	L	L	L	L
H	H	L	L	L	L	L	L	H	H	L	L
H	H	L	H	L	L	L	L	H	H	L	L
H	H	H	L	L	L	L	L	L	L	H	H
H	H	H	H	L	L	L	L	L	L	H	H

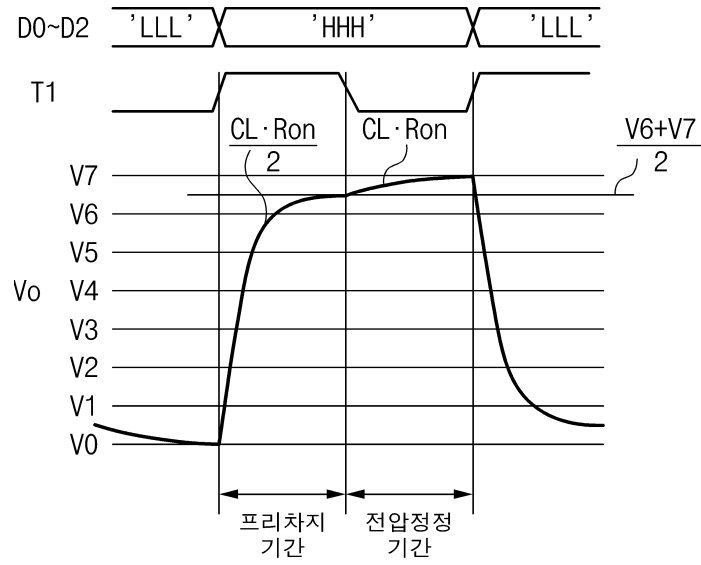
도면11a



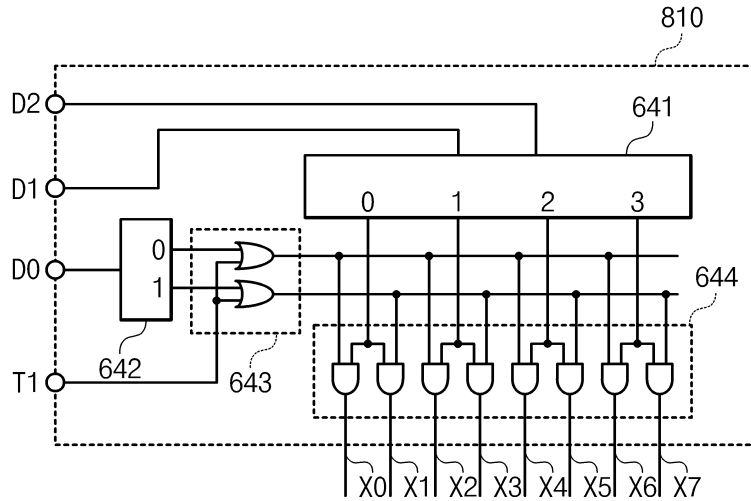
도면11b



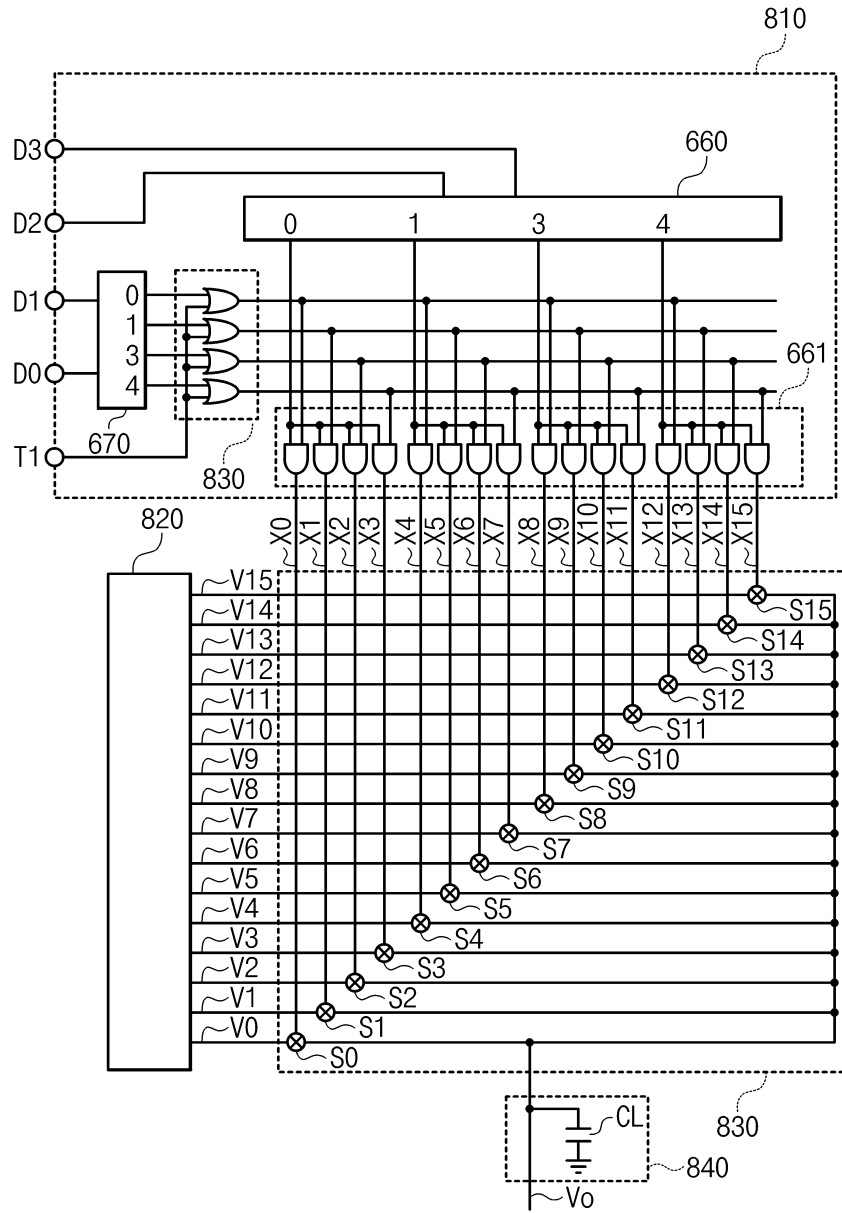
도면12



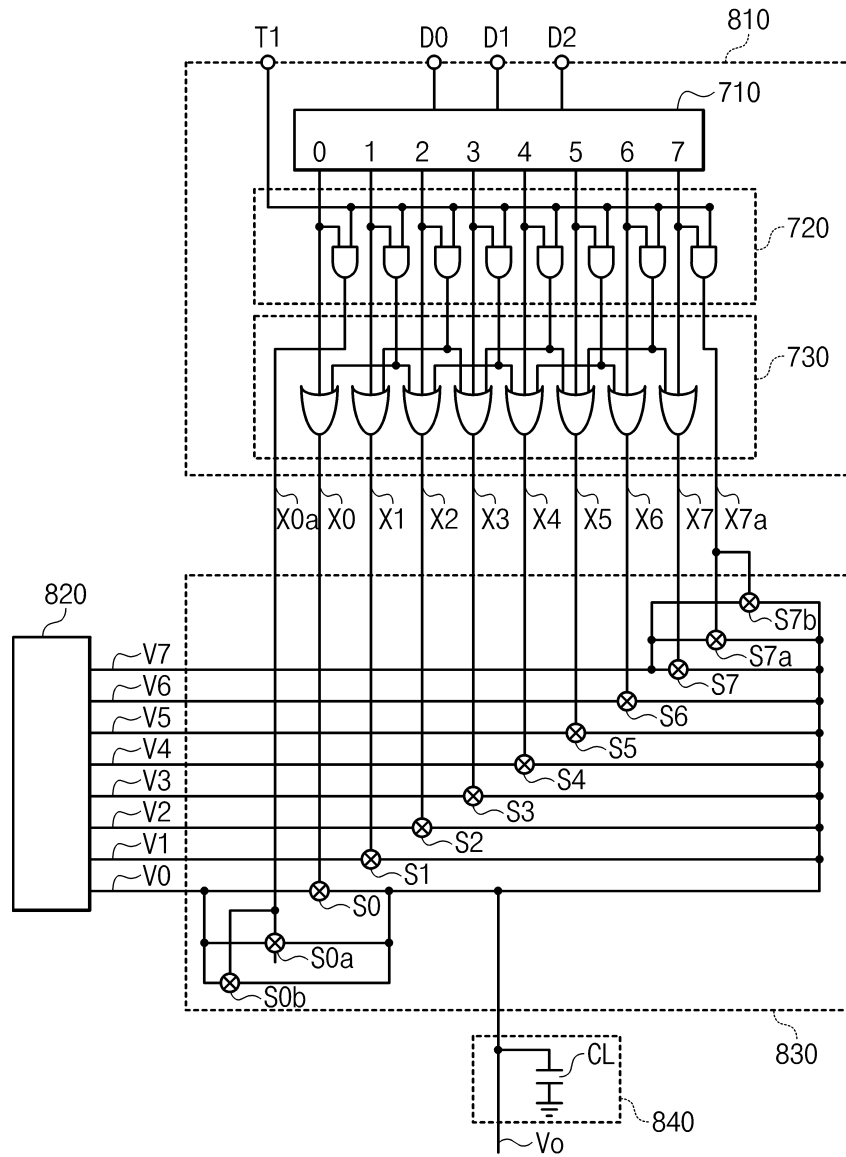
도면13



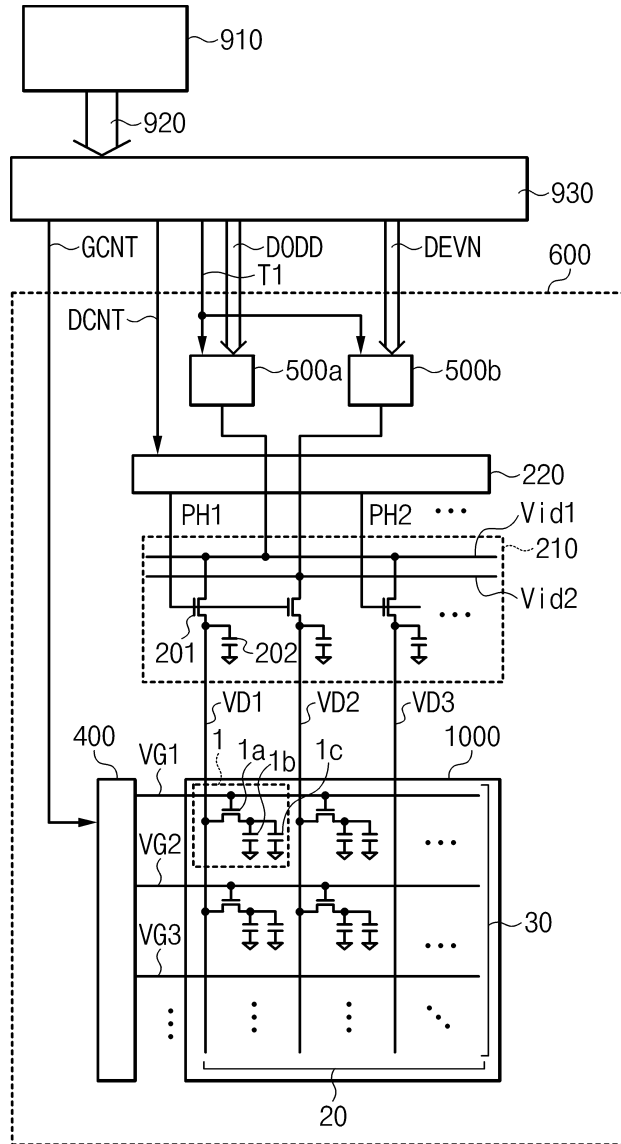
도면14



도면16



도면18



专利名称(译)	驱动电路集成液晶显示器		
公开(公告)号	KR100675398B1	公开(公告)日	2007-01-29
申请号	KR1020000005376	申请日	2000-02-03
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	Sikki日立制作所株式会社		
当前申请(专利权)人(译)	Sikki日立制作所株式会社		
[标]发明人	SATOH HIDEO 사토히데오 MIKAMI YOSHIRO 미카미요시로 KAGEYAMA HIROSHI 가게야마히로시 NAGANO TAKAHIRO 나가노다카히로 AONO YOSHINORI 아오노요시노리 MIYAZAWA TOSHIO 미야자와도시오		
发明人	사토히데오 미카미요시로 가게야마히로시 나가노다카히로 아오노요시노리 미야자와도시오		
IPC分类号	G02F1/1333 G09G3/36		
CPC分类号	G09G3/3688 G09G2310/0248		
代理人(译)	韩, KYU HWAN		
优先权	1999028116 1999-02-05 JP 1999219570 1999-08-03 JP		
其他公开文献	KR1020000057912A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种集成型驱动电路的液晶显示器，减小了驱动电路集成型液晶显示器的大尺寸电路占用面积。对于具有阳极的信号电路，以及作为Han SsangEu的阴极的DA转换装置（320,340），将数字显示数据转换为多对的DA转换平均值，并将模拟电压采样到在本发明的样本数移位（360）中，DA转换平均值是根据来自灰度电压组的数字显示数据选择电压的模式。从多个端子组提供灰度电压组。并且本发明涉及多个压力线轻触根据产生的灰度电压发生器中产生的电压和灰度电压发生器之间的显示数据，将多个电压切换为信号电路。并且它在样本数移位上组织采样电压选择装置的输出电压，其选择和控制装置输入显示数据并控制电压选择装置和电压选择装置到预定定时。为了通过第一状态来完成，其中控制装置具有至少多个选择开关作为导通状态并且对信号线充电，并且第二状态具有少数的选择开关作为导通状态而不是首先陈述它组成。

