



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년12월22일
G02F 1/136 (2006.01)	(11) 등록번호	10-0661200
	(24) 등록일자	2006년12월18일

(21) 출원번호	10-2002-7003817	(65) 공개번호	10-2002-0064785
(22) 출원일자	2002년03월22일	(43) 공개일자	2002년08월09일
심사청구일자	2005년01월21일		
번역문 제출일자	2002년03월22일		
(86) 국제출원번호	PCT/JP2001/006285	(87) 국제공개번호	WO 2002/08824
국제출원일자	2001년07월19일	국제공개일자	2002년01월31일

(81) 지정국 국내특허 : 대한민국, 미국,

(30) 우선권주장 JP-P-2000-00221858 2000년07월24일 일본(JP)

(73) 특허권자 가부시끼가이샤 어드벤처스 디스플레이
일본국 쿠마모토켄 키쿠치군 니시고우시마치 미요시 997번지

(72) 발명자 마쓰바라로우타
일본국쿠마모토켄키쿠치군니시고우시마치미요시997번지가부시끼가이
샤어드벤처스디스플레이내

(74) 대리인 신영두

심사관 : 박남현

전체 청구항 수 : 총 14 항

(54) 액정표시장치의 티에프티 어레이 기판 제조방법

(57) 요약

보호막(35)의 일부를 제거해서 컨택트 홀(24)을 형성할 때에 소스(source) 배선(20) 상의 보호막(35), 소스 배선(20) 옆의 보호막(35) 및 소스 배선(20)옆의 게이트(gate) 절연막(16)을 동시에 제거하고, 노출한 반도체층(17)(18)중 소스 배선(20) 옆으로 돌출되어 있는 부분을 보호막(35)의 일부를 제거하기 위한 레지스트패턴(36) 및/또는 소스 배선(20)을 마스크(mask)로서 제거한다.

특허청구의 범위

청구항 1.

기판상에 적어도 게이트 절연막, 반도체층과 금속층을 이 순서대로 형성하고 사진 제판에 의하여 형성한 한 장의 레지스트 패턴을 사용해서 금속층의 일부를 선택적으로 제거해서 소스 배선을 형성함과 동시에 소스 배선 옆의 반도체층도 제거하는 TFT 어레이 기판의 제조방법에 있어서,

상기 소스 배선의 형성과 소스 배선 옆의 반도체층의 제거 후에 보호막을 성막하고,

상기 보호막 위에, 상기 보호막의 일부를 선택적으로 제거하기 위한 1장의 레지스트 패턴을 형성하고 상기 레지스트 패턴을 사용해서 상기 소스 배선상의 보호막, 상기 소스 배선 옆의 보호막과 상기 소스 배선 옆의 게이트 절연막을 제거함으로써,

상기 소스 배선 아래의 반도체층을 노출시키는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 2.

제1항에 있어서, 상기 노출한 소스 배선 아래의 반도체층 중 소스 배선에서 튀어나와 있는 부분을, 상기 보호막의 일부를 선택적으로 제거하기 위한 1장의 레지스트 패턴, 상기 소스 배선, 또는 레지스트 패턴 및 소스 배선을 마스크로 한 에칭에 의해 제거하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 3.

제1항에 있어서, 상기 노출한 소스 배선 아래의 반도체층 중에서 소스 배선에서 튀어나와 있는 부분을, 일부가 선택적으로 제거된 후의 상기 보호막, 상기 소스 배선, 또는 상기 보호막 및 상기 소스 배선을 마스크로 한 에칭에 의해 제거하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 4.

기판상에 적어도 게이트 절연막, 반도체층과 금속층을 이 순서대로 형성하고 사진 제판에 의해 형성한 한 장의 레지스트 패턴을 사용해서 금속층의 일부를 선택적으로 제거해서 소스 배선을 형성함과 동시에 소스 배선 옆의 반도체층도 제거하는 TFT 어레이 기판의 제조방법에 있어서,

상기 소스 배선의 형성과 소스 배선 옆의 반도체층의 제거 후에 보호막을 성막하지 않는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 5.

기판상에 적어도 게이트 절연막, 반도체층과 금속층을 이 순서대로 형성하고 사진 제판에 의해 형성한 한 장의 레지스트 패턴을 사용해서 금속층의 일부를 선택적으로 제거해서 소스 배선을 형성함과 동시에 소스 배선 옆의 반도체층도 제거하는 TFT 어레이 기판의 제조방법에 있어서,

상기 소스 배선의 형성과 소스 배선 옆의 반도체층의 제거 후에 보호막을 성막하지 않고 노출하고 있는 상기 소스 배선 아래의 반도체층 중에서 소스 배선에서 튀어나와 있는 부분을 상기 소스 배선을 마스크로 한 에칭에 의해 제거하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 6.

제1항, 제2항, 제3항, 제4항 또는 제5항 중 어느 한 항에 있어서, ITO 막을 또 성막하고 상기 ITO 막의 일부를 선택적으로 제거하는 패턴닝에 있어서 상기 소스 배선상의 ITO 막을 제거하지 않고 잔존함으로써, 상기 소스 배선을 덮는 ITO 막을 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 7.

기판상에 적어도 게이트 절연막, 제1 반도체층, 제2 반도체층과 금속층을 이 순서대로 형성하고 또 사진 제판에 의해 포토레지스트를 제거한 영역, 포토레지스트의 얇은 영역과 포토레지스트의 두꺼운 영역으로 되는 한 장의 레지스트 패턴을 형성하고, 포토레지스트를 제거한 영역에는 상기 금속층, 상기 제2 반도체층과 상기 제1 반도체층이 제거되고, 포토레지스트의 얇은 영역에서는 상기 금속층과 상기 제2 반도체층이 제거되고, 포토레지스트의 두꺼운 영역에서는 상기 금속층 및 상기 제2 반도체층과 상기 제1 반도체층이 제거되지 않고 남아서, 포토레지스트의 두꺼운 영역에 잔존하는 금속층에 의하여 소스 배선이 형성되는 TFT 어레이 기판의 제조방법에 있어서,

상기 소스 배선의 근방이 포토레지스트의 얇은 영역으로 되어 있고, 상기 금속층과 상기 제2 반도체층이 제거되고 제1 반도체층이 잔존하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법

청구항 8.

기판상에 적어도 게이트 절연막, 제1 반도체층, 제2 반도체층과 금속층을 이 순서대로 형성하고 또 사진 제판에 의해 포토레지스트를 제거한 영역, 포토레지스트의 얇은 영역과 포토레지스트의 두꺼운 영역으로 되는 한 장의 레지스트 패턴을 형성하고, 포토레지스트를 제거한 영역에는 상기 금속층, 상기 제2 반도체층과 상기 제1 반도체층이 제거되고, 포토레지스트의 얇은 영역에는 상기 금속층과 상기 제2 반도체층이 제거되고, 포토레지스트의 두꺼운 영역에서는 상기 금속층, 상기 제2 반도체층 및 상기 제1 반도체층이 제거되지 않고 잔존하고, 포토레지스트의 두꺼운 영역에 잔존하는 금속층에 의하여 소스 배선이 형성되는 TFT 어레이 기판의 제조방법에 있어서,

상기 소스 배선의 옆이 포토레지스트의 얇은 영역으로 되어 있고, 상기 금속층과 상기 제2 반도체층이 제거되고 제1 반도체층이 잔존하고,

그 후, 상기 레지스트 패턴을 제거해서 보호막이 성막되고,

상기 보호막상에, 그 보호막의 일부를 선택적으로 제거하기 위하여 1장의 레지스트 패턴을 형성하고 그 레지스트 패턴을 사용해서 상기 소스 배선상의 보호막과 상기 소스 배선 옆의 보호막을 제거하는 것에 의해,

상기 소스 배선 근방의 제2 및 제1 반도체층을 노출시키는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 9.

제8항에 있어서, 상기 노출한 소스 배선 근방의 제2 및 제1 반도체 중 소스 배선에서 튀어나와 있는 부분을, 상기 보호막의 일부를 선택적으로 제거하기 위한 1장의 레지스트 패턴, 상기 소스 배선, 또는 레지스트 패턴 및 상기 소스 배선을 마스크로 한 에칭에 의하여 제거하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 10.

제8항에 있어서, 상기 노출한 소스 배선 근방의 제2 및 제1 반도체층 중 소스 배선에서 나와 있는 부분을, 일부가 선택적으로 제거된 후의 상기 보호막, 상기 소스 배선, 또는 상기 보호막 및 상기 소스 배선을 마스크로 한 에칭에 의하여 제거하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 11.

기관상에 적어도 게이트 절연막, 제1 반도체층, 제2 반도체층과 금속층을 이 순서대로 형성하고 또 사진 제판에 의해 포토레지스트를 제거한 영역, 포토레지스트의 얇은 영역과 포토레지스트의 두꺼운 영역으로 이루어지는 1장의 레지스트 패턴을 형성하고, 상기 포토레지스트를 제거한 영역에는 상기 금속층, 상기 제2 반도체층과 상기 제1 반도체층이 제거되고, 포토레지스트의 얇은 영역에는 상기 금속층과 상기 제2 반도체층이 제거되고, 포토레지스트의 두꺼운 영역에는 상기 금속층, 상기 제2 반도체층과 상기 제1 반도체층이 제거되지 않고 잔존하고, 포토레지스트의 두꺼운 영역에 잔존하는 금속층에 의해 소스 배선이 형성되는 TFT 어레이 기관의 제조방법에 있어서, 상기 소스 배선 옆이 포토레지스트의 얇은 영역으로 되어 있고 상기 금속층과 상기 제2 반도체층이 제거되고 제1 반도체층이 남게 되고,

그 후 상기 레지스트 패턴의 제거 후에 보호막을 성막하지 않는 것을 특징으로 하는 TFT 어레이 기관의 제조방법.

청구항 12.

게이트 배선과 게이트 배선 단부의 하부 패드가 형성된 기관상에 적어도 게이트 절연막, 제1 반도체층, 제2 반도체층과 금속층을 이 순서대로 형성하고 또 사진 제판에 의해 포토레지스트를 제거한 영역, 포토레지스트의 얇은 영역과 포토레지스트의 두꺼운 영역으로 이루어지는 1장의 레지스트 패턴을 형성하고, 포토레지스트를 제거한 영역에는 상기 금속층, 상기 제2 반도체층과 상기 제1 반도체층이 제거되고, 포토레지스트의 얇은 영역에는 상기 금속층과 상기 제2 반도체층이 제거되고, 포토레지스트의 두꺼운 영역에는 상기 금속층, 상기 제2 반도체층과 상기 제1 반도체층이 제거되지 않고 잔존하고, 포토레지스트의 두꺼운 영역에 잔존하는 금속층에 의해 소스 배선이 형성되는 TFT 어레이 기관의 제조방법에 있어서,

상기 소스 배선 옆이 포토레지스트의 얇은 영역이 되어 있고, 상기 금속층과 상기 제2 반도체층이 제거되고 제1 반도체층이 잔존하게 되고,

그 후 상기 레지스트 패턴을 제거한 후에 보호막을 성막하지 않고 소스 배선근방의 제2 및 제1 반도체층 중 소스 배선으로부터 튀어나와 있는 부분을, 소스 배선을 마스크로 한 에칭에 의하여 제거하는 것을 특징으로 하는 TFT 어레이 기관의 제조방법.

청구항 13.

제7항, 제8항, 제9항, 제10항, 제11항 또는 제12항 중 어느 한 항에 있어서, ITO 막을 또 성막하고 그 ITO 막의 일부를 선택적으로 제거하는 패턴닝에 있어 상기 소스 배선상의 ITO 막을 제거하지 않고 잔존하는 것에 의하여 상기 소스 배선을 덮는 ITO 막을 형성하는 것을 특징으로 하는 TFT 어레이 기관의 제조방법.

청구항 14.

제12항에 있어서, 포토마스크를 사용하지 않는 주변 노광 공정에 있어 게이트 배선 단부의 하부 패드상의 포토레지스트를 제거하고 에칭에 의해 상기 게이트 절연막의 일부가 제거되어 상기 게이트 배선 단부의 하부 패드가 노출하는 것을 특징으로 하는 TFT 어레이 기관의 제조방법.

명세서

기술분야

본 발명은 액정표시장치의 제조방법에 관한 것으로, 특히 액티브 매트릭스(active matrix)형의 액정표시장치의 TFT 어레이 기관의 제조방법에 대한 것이다.

배경기술

액정표시장치는 액정의 전기 광학 특성을 이용하여 편광판과 조합하여 액정에 인가(印加)하는 전압을 제어하는 것에 의하여 표시를 행하는 것으로 CRT에 비하여 중량이 작고 휴대성이 우수하여 근래에 들어 모바일 컴퓨터(mobile computer)의 표시장치 등에 응용되고 있다.

그 중에서도 개개의 화소(畵素)에 박막 트랜지스터(TFT)등의 스위칭(switching)소자를 설치하여 액정에 인가하는 전압을 제어하는 액티브 매트릭스형 액정표시장치는 단순 매트릭스형 액정표시장치와 비교하여 표시 품질이 우수하다는 특징을 가지고 있어 그 개발 및 응용이 왕성하게 행하여지고 있다.

도 1에 기본적인 액티브 매트릭스형 액정 표시장치의 등가 회로를 표시하고 그 동작에 관해서 설명한다.

도 1(b)는 도 1(a)의 P부를 부분 확대한 도면이다.

게이트(gate) 배선(1) 및 소스(source) 배선(2)의 교차부에 TFT 등의 스위칭(switching) 소자(7), 액정용량(8), 보조용량(9)이 형성되어 화소를 구성하고 있다. 화소를 매트릭스 상에 배치하여 TFT 기판을 형성한다.

게이트 배선에 선택 펄스(pulse)가 인가되면, 그 게이트 배선에 접속된 모든 스위칭 소자가 온(ON) 상태로 되고, 각각의 스위칭 소자에 접속된 소스 배선에 인가되어 있는 신호가 스위칭 소자를 통하여 액정용량 및 보조용량에 기입된다. 선택펄스의 인가가 종료하고 게이트 배선이 비선택 상태로 되면, 스위칭 소자는 오프(OFF)상태가 되고, 상기 액정 용량 및 보조용량에 기입된 전하는 일 수직 주사(走査)기간이 경과하여 상기 게이트 배선에 재차 선택 펄스가 인가될 때까지 유지된다.

통상, 액티브 매트릭스형의 액정표시장치는 액정의 층을 협지(挾持)하여 대향하는 2매 기판의 일 방향에 TFT 등의 스위칭 소자를 설치하여 TFT 어레이 기판으로 하고, 다른 방향에 공통(common)전극을 설치하여 대향 기판으로 한다.

종래의 기술에 의한 TFT 어레이 기판의 제조방법에 대하여 도 2, 도 3 및 도 4를 사용하여 설명한다.

도 2는 TFT 어레이 기판의 요부를 확대한 평면도이다. 도 2에 있어서 게이트배선(13) 및 소스 배선(20)의 교차부에 게이트 전극(12), 소스 전극(21), 드레인(drain) 전극(22)으로 된 TFT가 형성되어 있고 TFT의 드레인 전극(22)은 컨택트 홀(contact hole)(24)을 통하여 화소 전극(27)에 접속되어 있다. 외부로부터 선택 펄스를 인가하기 위해서 게이트 배선(13)의 단부는 액정표시장치의 표시영역의 밖까지 연신되어 하부 패드(pad)(15)를 형성하고 있다.

하부 패드(15)는 컨택트 홀(25)을 통하여 상부 패드(28)와 접속되어 있어 여기서부터 선택 펄스가 입력된다.

도 2에서는 나타나 있지 않지만, 소스 배선(20)의 단부도 마찬가지로 액정표시장치의 표시영역의 밖까지 연신되어 하부 패드(23)를 형성하고 있다. 하부 패드(23)는 컨택트 홀(26)을 통하여 상부 패드(29)와의 사이에 접속되어 있어 여기서부터 신호가 입력된다.

또한, 도 2중의 참조번호 14는 화소 전극(27)의 사이에 보조용량을 형성하기위한 공통배선을 나타낸다.

또 참조번호 38은 TFT의 채널(channel)부를 가리킨다.

도 3 및 도 4는, 도 2의 TFT 어레이 기판의 제조방법을 설명하는 단면도이다.

우선, 절연성 기판(11)상에 스퍼터(sputter) 등의 수법을 이용하여 제1 금속층을 형성한다. 제1 금속층은 Cr, Al, Mo 등의 금속 혹은 이들 금속을 주성분으로하는 합금 또는 이들의 적층으로 이루어진다.

그 다음, 포토레지스트(photoresist)등을 이용하여 사진제판을 행하고 에칭(etching)법 등에 의해 제1 금속층으로부터 필요하지 않은 부분을 제거하여 게이트 전극(12), 게이트 배선(13), 공통 배선(14), 하부 패드(15)를 형성한다. 이상태가 도 3(a)이다.

다음에 SiNx, SiO₂등으로 된 절연막(게이트 절연막)(16)을 플라즈마(plasma) CVD 등의 각종 CVD 법이나 스퍼터, 증착, 도포법 등에 의해 형성하고, 그 위에 a-Si : H층(제1 반도체층)(17)과, 인, 안티몬, 붕소 등의 불순물을 도핑(doping)한, 예

컨대 $n+a-Si:H$ 막이나 마이크로 크리스탈 $n+Si$ 층 등의 반도체층(불순물 반도체층, 제2 반도체층)(18)을, 플라즈마 CVD법이나 스퍼터 등에 의해 형성한다. 그 위에 스퍼터 등의 수법을 이용하여 제2 금속층(19)을 형성한다. 제2 금속층(19)은 Cr, Al, Mo 등의 금속 또는 이들 금속을 주성분으로 하는 합금 혹은 이들의 적층으로 이루어진다.

그 다음, 포토레지스트(R)를 도포하고 사진제판법 등에 의해 포토레지스트(R)의 두께가 두터운 영역(A), 포토레지스트(R)의 두께가 얇은 영역(B), 포토레지스트(R)를 제거한 영역(C)으로 이루어지는 레지스트 패턴(resist pattern)을 형성한다. 이 상태가 도 3(b)이다.

그리고 나서, 이 레지스트 패턴을 이용하여 제2 금속층(19)의 에칭을 행한다. 포토레지스트(R)가 없는 영역(C)의 제2 금속층(19)은 선택적으로 제거된다. 이 상태가 도 3(c)이다.

그 후 영역(B)의 포토레지스트(R)를 제거한다.

이 때, 영역(A)의 포토레지스트(R)는 두께가 두텁기 때문에 제거되지 않고 잔존하게 된다. 이 상태가 도 3(d)이다.

다음에 영역(A)에 남아 있는 포토레지스트(R)를 사용하여 먼저 반도체 층(18)(17)의 에칭을 행하여 영역(C)의 반도체 층(18)(17)을 제거하고, 그 후 제2 금속층(19)의 에칭을 행하여서 영역(B)의 제2 금속층(19)을 제거한다. 이 상태가 도 3(e) 및 도 4(a)이다.

그 위에 영역(B)의 반도체층(18)을 에칭에 의해 제거하고 그 후 포토레지스트(R)를 전부 제거한다. 이 상태가 도 4(b)이다. 기판 상에 소스 배선(20), 소스 전극(21), 드레인 전극(22), 하부 패드(23)가 형성되어 있다.

계속하여, 보호막(35)을 전면에 성막(成膜)한 후, 포토레지스트 등을 이용하여 사진 제판을 행하고 에칭법 등에 의해 컨택트 홀(24)(25)(26)을 형성한다. 이 상태가 도 4(c)이다.

최후로 ITO(Indium Tin Oxide)를 전면에 성막하고, 포토레지스트 등을 이용하여 사진제판을 행하고 에칭법 등에 의해 필요하지 않은 부분을 제거하여 ITO 화소 전극(27), 상부 패드(28)(29)를 형성한다. 이 상태가 도 4(d)이다.

이상 설명한 제조방법에 의하면, 합계 4회의 사진 제판, 다시 말해 4매의 포토레지스트에 의해 TFT 어레이 기판을 제작할 수 있기 때문에 공정의 단축, 코스트의 저감(低減)이 가능하다.

그러나, 이 제조법에서는 소스 배선(20), 소스 전극(21), 드레인 전극(22) 및 하부 패드(23)와 이들의 하부에 위치하는 반도체층(18) 및 반도체층(17)을 동일 포토레지스트(R)를 이용하여 형성하고, 또 에칭 수법이나 에칭조건의 상위에 의해 제2 금속층(19)의 에칭시의 배선의 가늘어지는 양(사이드 에치량)이 반도체층(18) 및 반도체층(17)의 사이드 에치량 보다도 크므로 도 4(a)-(d)에서 볼 수 있는 바와 같이 소스 배선(20)의 옆으로 반도체층(18) 및 반도체층(17)이 튀어나온 형상으로 된다.

일반적으로, 소스 배선(20)(제2 금속층(19))의 재료가 Cr, Al, Mo 등인 경우 사이드 에치량은 편측(片側)에서 $0.5 \sim 1.0 \mu m$ 정도이다.

한편, 반도체층(18) 및 반도체층(17)의 사이드 에치량은 거의 $0 \mu m$ 이다. 따라서 사진제판에 사용하는 포토마스크에서의 소스 배선 폭을 $10 \mu m$ 로 하는 경우, 실제로 형성되는 소스 배선의 폭은 $8 \sim 9 \mu m$ 로 되고, 반도체층(18) 및 반도체층(17)이 $1 \sim 2 \mu m$ 정도는 튀어져 나오도록 형성된다.

고 휘도(輝度)의 표시를 가능하게 하고 표시품위가 우수한 액정표시장치를 얻기 위하여서는 TFT어레이 기판의 개구율을 아주 크게 하는 것이 바람직하다. 또 소스 배선(20)에 인가된 신호의 지연을 방지하고 휘도 얼룩 등의 표시 품위 저하를 방지하기 위하여서는 소스 배선(20)의 저항은 아주 적게 하는 것이 바람직하다.

만약, 반도체층(18) 및 반도체층(17)의 불거져 튀어 나오는 것을 제거할 수 있다면, 소스 배선(20)의 폭을 적게 하지 않아도 되므로 결국 소스 배선(20)의 저항을 증대시킵 없이 개구율의 향상을 꾀할 수 있다. 또 동일 개구율이면 소스 배선(20)의 폭을 보다 크게 할 수 가 있고 소스 배선(20)의 저 저항화를 기할 수 있다.

게다가, 불거져 나온 반도체층(18) 및 반도체층(17)이 대향 기판의 공통 전극과의 사이에 용량을 형성하여 소스-공통 간 용량이 증대한다고 하는 문제도 있다.

특히, 전술한 4매의 포토마스크에 의한 TFT 어레이 기관의 제조방법에 있어서는 제2 금속층(19)(소스 배선(20))은 복수 회에 에칭에 바래진 것으로 된다.(도 3(c) 및 도 4(a) 참조)

이 때문에, 소스 배선(20)의 사이드 에치량과 반도체층(18) 및 반도체층(17)의 사이드 에치량과의 차는 더욱 크게 되어, 예를 들면 포토마스크에서의 소스 배선 폭이 10 μ m 인 경우, 실제로 형성되는 소스 배선의 폭은 6~7 μ m 정도로 되고 반도체층(18) 및 반도체층(17)이 3~4 μ m 정도는 불거져 나오게 형성된다.

따라서 개구율의 저하, 소스 배선의 저항증대 혹은 소스-공통 간 용량의 증대라고 하는 문제는 점점 크게 되어, 불거져 나온 반도체층(18) 및 반도체층(17)을 제거할 수 있는 제조방법이 강하게 요망되고 있다.

그래서, 본 발명은 액티브 매트릭스 형 액정표시장치의 TFT 어레이의 제조공정에 있어서 소스 배선 옆으로 불거져 나온 반도체층을 제거하는 것을 목적으로 한다.

[발명의 개시]

본 발명은 게이트 배선, 소스 배선 및 TFT 소자 등을 형성한 후 보호막을 성막하고, 그 보호막의 일부를 제거하여 콘택트 홀을 형성할 때에 소스 배선 상의 보호막, 소스 배선 옆의 보호막 및 소스 배선 옆의 게이트 절연막을 동시에 제거하고 소스 배선 및 소스 배선 아래의 반도체층을 노출시킨다.

더욱이 노출한 반도체층 중 소스 배선 옆으로 불거져 나온 부분을 보호막의 일부를 제거하기 위한 레지스트 패턴, 소스 배선, 또는 레지스트 패턴 및 소스 배선을 마스크로 하여 제거한다.

또는 노출한 반도체층 중 소스 배선 옆으로 불거져 나온 부분을, 일부를 제거한 후의 보호막, 소스 배선, 또는 보호막 및 소스 배선을 마스크로서 제거한다.

본 발명의 다른 실시 형태에서는 게이트 배선, 소스 배선 및 TFT 소자 등을 형성한 후 보호막은 성막하지 않고 노출하고 있는 소스 배선 아래의 반도체 중 소스 배선 옆으로 불거져 나온 부분을, 소스 배선을 마스크로하여 제거한다.

본 발명의 또 다른 실시의 형태에서는 소스 배선 형성 때에 소스 배선 옆으로 반도체층을 잔존시킴으로써 보호막의 일부를 제거해서 콘택트 홀을 형성할 경우 소스 배선 위 및 소스 배선 옆의 보호막만이 제거되어 소스 배선 옆의 게이트 절연막은 제거되지 않도록 하였다.

더욱이, 보호막이 제거되어 노출한 반도체층 중 소스 배선 옆으로 튀어나와 있는 부분을 보호막의 일부를 제거하기 위한 레지스터 패턴, 소스 배선, 또는 레지스터 패턴 및 소스 배선을 마스크로 하여 제거한다.

또는, 보호막이 제거되어 노출한 반도체층 중 소스 배선 옆으로 튀어나와 있는 부분을, 일부를 제거한 후의 보호막, 소스 배선, 또는 보호막 및 소스 배선을 마스크로 하여 제거한다.

본 발명에서는 ITO막의 일부를 선택적으로 제거할 때 소스 배선 상의 ITO막을 제거하지 않고 잔존하는 것에 의해 ITO막에 소스 배선을 덮도록 해도 좋다.

도면의 간단한 설명

도 1은 액티브 매트릭스형 액정표시장치의 동작을 설명하기 위한 도면이다.

도 2는 TFT 어레이 기관의 요부를 확대한 평면도이다.

도 3은 종래의 기술에 의한 도 2의 TFT 어레이 기관의 제조방법을 설명하는 단면도이다.

도 4는 종래의 기술에 의한 도 2의 TFT 어레이 기관의 제조방법을 설명하는 단면도이며, 도 3에 이어지는 공정을 나타내는 도면이다.

도 5는 본 발명의 실시의 형태 1에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이다.

도 6은 본 발명의 실시의 형태 1에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이며, 도 5에 계속하는 공정을 나타내는 도면이다.

도 7은 본 발명의 실시의 형태 1에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이며, 도 6에 이어지는 공정을 나타내는 도면이다.

도 8은 본 발명의 실시의 형태 2에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이다.

도 9는 본 발명의 실시의 형태 3에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이다.

도 10은 본 발명의 실시의 형태 3에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이며, 도 9에 계속해서 공정을 나타내는 도면이다.

도 11은 본 발명의 실시의 형태 3에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이며, 도 10에 계속하는 공정을 나타내는 도면이다.

도 12는 본 발명의 실시의 형태 4에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이다.

도 13은 본 발명의 실시의 형태 4에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이며, 도 12에 계속하는 공정을 나타내는 도면이다.

도 14는 본 발명의 실시의 형태 5에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이다.

[발명을 실시하기 위한 최선의 형태]

이하 본 발명의 실시의 형태를 도면을 참조하여 설명한다.

[실시의 형태 1]

본 발명의 제1 실시의 형태를 도 5, 도 6과 도 7을 가지고 설명한다. 도 5, 도 6과 도 7은 역 스테거(stagger)형의 TFT가 설치된 TFT 어레이 기관을 예시하여 그 제조방법을 설명한 단면도이다.

본 발명의 제1 실시의 형태에 의한 TFT어레이 기관의 제조방법은 이하의 공정으로 이루어진다.

(1) 먼저, 절연성(絶縁性)기관(11)상에 제1 금속층을 성막하고 이어서 포토레지스트 등을 이용해 사진 제판을 행하고 에칭법 등에 의해 제1 금속층에서 불필요한 부분을 제거하고, 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 하부패드(15)를 형성한다.(도 5(a))

(2) 다음으로, 이들의 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 패드층(15)를 덮도록 SiNx, SiO₂ 등으로 된 게이트 절연막(16), a-Si 층(비정질 반도체막, 제1 반도체층)(17), n+ a-Si층(비정질 불순물 반도체막, 제2 반도체층)(18), 제2 금속층(19)의 4층을 기관상에 성막한다.

(3) 포토레지스트(R)를 도포한 후, 포토마스크를 이용해 포토레지스트(R)의 두께가 두꺼운 영역(A), 얇은 영역(B), 포토레지스트(R)를 제거한 영역(C)으로 되는 레지스트 패턴을 형성한다.

포토레지스트(R)의 두꺼운 영역(A)은 제2 금속층(19)을 소스 전극이나 드레인 전극, 소스 배선이나 드레인 배선으로서 잔존하기 위한 영역, 포토레지스트(R)를 제거한 영역(C)는 적어도 제2 금속층(19), 제2 반도체층(18)과 제1 반도체층(17)을 에칭해서 제거하기 위한 영역, 포토레지스트(R)의 얇은 영역(B)은 제2 금속층(19)과 제2 반도체층(18)이 제거되어 TFT의 채널부(38)가 되는 영역에 각각 대응하고 있다. (도 5(b))

본 실시의 형태에서는 TFT의 채널부(38)만을 영역(B)로 하고 있다. TFT채널부(38)만이 영역(B)일 필요는 없으나 본 실시의 형태에 있어서는 적어도 후에 소스 배선(20)이 되는 부분과 그 근방만은 영역(B)으로 하지 않는 것을 특징으로 한다.

(4) 다음으로 에칭 등에 의해 먼저 영역(C)의 제2 금속층(19)을 제거한다.(도 5(c))

(5) 그 후, 영역(B)의 포토레지스트(R)를 제거한다. 이때 영역(A)의 포토레지스트(R)는 두께가 두껍기 때문에 제거되지 않고 남게 된다.(도 5(d))

(6) 그 다음 영역(C)의 반도체층(18)(17)을 에칭 등에 의해 제거한다.(도 5(e))

(7) 또 영역(B)의 제2 금속층(19)을 제거한다.(도 6(a))

(8) 다음으로 영역(B)의 제2 반도체층(18)을 제거하고 그 후 포토레지스트(R)를 전부 제거한다.(도 6(b))

여기까지의 공정은 종래의 기술에 의한 것과 동일하며 앞서 기술한 바와 같이 제2 금속층(19)으로 이루어지는 소스 배선(20)은, 반도체층(18)과 반도체층(17)에 비교해서 사이드 에치량이 크기 때문에 소스 배선(20)의 옆으로 반도체층(18)과 반도체층(17)이 튀어나온 상태로 되어 있다.

(9) 이 상태의 TFT 어레이 기관의 표면상 전면에 보호막(35)을 성막한 다음 포토레지스트를 도포, 포토마스크를 사용해서 레지스트 패턴(36)을 형성한다.(도 6(c))

이 레지스트 패턴(36)은, 후속 공정에서 보호막(35)의 일부를 제거해 콘택트 홀(24)(25)(26)을 형성하기 위한 것이지만, 동시에 소스 배선(20) 위와 그 근방의 영역(30)의 보호막(35)도 제거하기 위한 패턴으로 되어 있다.

(10) 이 레지스트 패턴(36)을 이용해서 보호막(35)을 에칭하여 드레인 전극(22)과 ITO 화소 전극(27)을 전기적으로 접속하기 위하여 콘택트 홀(24), 하부패드(15)와 상부 패드(28)을 전기적으로 접속하기 위한 콘택터 홀(25), 하부 패드(23)과 상부 패드(29)를 전기적으로 접속하기 위한 콘택트 홀(26)을 형성한다.

이때 앞서 서술한 바와 같이 소스 배선(20) 위와 그 근방의 영역(30)의 보호막(35)도 제거되지만, 동시에 영역(30)의 게이트 절연막(16)도 제거된다.(도 6(d))

(11) 다음으로 레지스트 패턴(36)과 소스 배선(20)을 마스크로서 이용한 에칭을 행하여 소스 배선(20)의 옆으로 튀어나와 있는 반도체층(18)(17)을 제거하고, 그 후 레지스트 패턴(36)을 제거한다.(도 7(a))

이때 먼저 레지스트 패턴을 제거하여 보호막(35)과 소스 배선(20)을 마스크로서 튀어나와 있는 반도체층(18)(17)을 에칭해도 좋다.

또 소스 배선(20)을 형성하는 제2 금속층(19)은 튀어나와 있는 반도체층(18)(17)을 에칭할 때와 동시에 에칭되어 버리는 일이 없는 재료, 예를 들어 Cr 등일 필요가 있다.

(12) 그 다음 ITO막을 전면에 성막한 다음, 포토레지스트 등을 이용해 사진 제판을 행하여 에칭법 등에 의하여 ITO막의 불필요부분을 제거하는 패턴닝을 행하는 것에 의해 ITO화소 전극(27), 상부 패드(28)(29)를 형성한다. (도 7(b))

이상 설명한 바와 같이 본 실시의 형태에 의하면 종래의 제조방법과 동일한 합계 4회의 사진 제판, 다시 말하면 4장의 포토마스크에 의하여 TFT 어레이 기관을 제작할 수가 있고 또 소스 배선의 옆으로 튀어나온 반도체층(18)과 반도체층(17)을 제거하는 것이 가능하다.

따라서, 제조에 필요한 시간이나 코스트의 증대를 초래하는 일 없이 TFT 어레이 기관의 개구율의 향상과 소스 배선의 저저항화를 기할 수 있고 또 소스-공통간 용량 증대라고 하는 문제도 해결할 수 있다.

[실시의 형태 2]

본 발명의 제2 실시의 형태를 도 8을 이용해서 설명한다.

본 실시의 형태는 소스 배선(20)을 ITO 막(37)으로 피복한 것을 특징으로 한다.

실시의 형태 1에 있어서는 도 7(b)를 보면 알 수 있는 것과 같이 소스 배선(20)이 노출되어 있다. 따라서 소스 배선(20) 다시 말하면, 제2 금속층(19)의 재료로서 액정과 반응성이 없는 재료를 선택할 필요가 있었다.

그래서 본 실시 형태에서는 ITO막의 패터닝을 행할 때 소스 배선(20) 상의 ITO막을 잔존하는 것에 의하여 소스 배선(20)과 소스 배선(20)의 하층에 위치하는 반도체층(17)(18)을 덮는 ITO막(37)을 형성하였다.

ITO막(37)이 소스 전극(20)을 덮고 있기 때문에 소스 배선(20)(제2 금속층(19))의 재료선택의 자유도가 증가한다. 게다가, 소스 배선(20)과 ITO막(37)이 함께 소스 배선으로서 기능하기 때문에 소스 배선의 저항을 저감할 수 있다. 또 만일 소스 배선(20)이 단선(斷線)한 경우에도 ITO막(37)이 용장(冗長)의 역할을 하기 때문에 신뢰성도 향상한다.

[실시의 형태 3]

본 발명의 제3 실시의 형태를 도 9, 도 10과 도 11을 이용해서 설명한다.

도 9, 도 10과 도 11은 역 스테거형의 TFT가 설치된 TFT 어레이 기판을 예시해서 그 제조방법을 설명한 단면도이다.

실시의 형태 1에서는, 도 7(b)를 보면 알 수 있는 것과 같이 소스 배선(20)의 근방 영역(30)에 있어서 게이트 절연막(16)도 제거되어 있다. 따라서 소스 배선(20)과 공통 배선(14)이 인접해 설치될 경우에는 양 배선 사이에 쇼트가 발생하는 위험이 있다. 그런데 본 실시의 형태에서는 소스 배선(20) 근방 영역(30)에 있어서 게이트 절연막(16)을 제거하지 않고 잔존하도록 했다.

그 공정을 이하에 설명한다.

(1) 먼저 절연성 기판(11) 상에 제1 금속층을 성막하고 이 제1 금속층을 사진 제판 기술을 이용해 패터닝하고 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 하부 패드(15)를 형성한다.(도 9(a))

(2) 다음으로 이들 게이트 전극(12), 게이트 배선(13), 공통 배선(14), 패드층(15)을 덮는 것 같이 게이트 절연막(16), 제1 반도체층(17), 제2 반도체층(18), 제2 금속층(19)의 4층을 기판상에 성막한다.

(3) 포토레지스트(R)를 도포한 후, 포토마스크를 이용해 포토레지스트(R)의 두께가 두꺼운 영역(A)(A₁), 얇은 영역(B)(B₁), 포토레지스트(R)를 제거한 영역(C)으로 되는 레지스트 패턴을 형성한다.

실시의 형태(1)에 있어서는 영역(B)은 TFT의 채널부 뿐이었으나 본 실시의 형태에 있어서는 후에 소스 배선이 되는 영역(A₁)의 근방에도 포토레지스트(R)의 얇은 영역(B₁)을 설치한다.(도9(b))

(4) 다음에 에칭 등에 의해 먼저 영역(C)의 제2 금속층(19)을 제거한다.(도 9(c))

(5) 다음에 영역(A)(A₁)의 포토레지스트(R)는 남기면서 영역(B)(B₁)의 포토레지스트(R)를 제거한다.(도 9 (d))

(6) 그 다음 영역(C)의 반도체층(18)(17)을 에칭 등에 의해 제거한다.(도 9(e))

(7) 또 영역(B)(B₁)의 제2 금속층(19)을 제거한다 (도10 (a))

(8) 다음에 영역(B)(B₁)의 제2 반도체층(18)을 제거하고 그 후 포토레지스트(R)를 전부 제거한다.(도 10(b))

앞서 기술한 바와 같이 제2 금속층(19)으로 이루어지는 소스 배선(20)은 제2 반도체층(18)에 비해서 사이드 에치량이 크기 때문에 소스 배선(20)의 옆으로 제2 반도체층(18)이 튀어나온 상태로 되어 있다.

(9) 이 상태의 TFT 어레이 기관의 표면상 전면에 보호막(35)을 성막한 후, 포토레지스트를 도포, 포토마스크를 사용해서 사진 제판을 하여 레지스트 패턴(36)을 형성한다.(도 10(c))

이 레지스트 패턴(36)은 다음의 공정에서 보호막(35)의 일부를 제거해서 콘택트 홀 (24)(25)(26)을 형성하기 위한 것이지만 동시에 소스 배선(20) 위와 그 근방의 영역(30)의 보호막(35)도 제거하도록 한 패턴으로 되어 있다.

(10) 이 레지스트 패턴(36)을 이용해서 보호막(35)을 에칭하여 콘택트 홀(24)(25)(26)을 형성하나 앞서 기술한 바와 같이 소스 배선(20)과 근방 영역(30)의 보호막(35)도 제거된다.(도 10(d))

(11) 다음에 레지스트 패턴(36)과 소스 배선(20)을 마스크로서 이용해 에칭을 하여 소스 배선(20)의 하층에 튀어나온 반도체층(18)과 소스 배선(20)근방의 반도체층(17)을 제거하고 그 후 레지스트 패턴을 제거한다.(도 11(a))

이때, 먼저 레지스트 패턴을 제거하고 보호막(35)과 소스 배선(20)을 마스크로서 튀어나와 있는 반도체층(18)과 반도체층(17)을 에칭해도 좋다.

또 소스 배선(20)을 형성하는 제2 금속층(19)은 반도체층(18)과 반도체층(17)을 에칭할 때에 동시에 에칭되어 버리는 일이 없는 재료, 예를 들면 Cr 등일 필요가 있다.

(12) 그 후 ITO 막을 전면에 성막한 후 사진제판 기술을 이용하여 패턴닝을 하는 것에 의해 ITO 화소 전극(27), 상부 패드(28)(29)를 형성한다.(도 11(b))

이상 설명한 것과 같이 본 실시형태에 의하면 소스 배선(20) 근방의 게이트 절연막(16)이 제거되지 않고 잔존되기 때문에 소스 배선(20)과 공통 배선(14)과의 사이에 쇼트가 발생할 위험은 없어진다.

본 실시의 형태에서는 소스 배선(20)이 노출되어 있지만 실시의 형태2와 동일하게 하여서 소스 배선(20)을 ITO 막으로 피복하는 것도 물론 가능하다.

[실시의 형태 4]

본 발명의 제4 실시의 형태를 도 12와 도 13을 이용해서 설명한다.

도 12와 도 13은 역 스테거형의 TFT가 설치된 TFT 어레이 기관을 예시해서 그 제조방법을 설명한 단면도이다.

본 실시의 형태는 보호막(35)을 생략한 점에서 실시의 형태 1과 틀린다.

그 공정을 이하에 설명한다.

(1) 먼저 절연성 기관(11) 위에 제1 금속층을 성막하고 이 제1 금속층을 사진 제판기술을 이용해서 패턴닝하고 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 하부 패드(15)를 형성한다.(도 12(a))

(2) 다음에, 이들 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 패드층(15)을 덮도록 게이트 절연막(16), 제1 반도체층(17), 제2 반도체층(18), 제2 금속층(19)의 4층을 기관 상에 성막한다.

(3) 포토레지스트(R)를 도포한 후, 포토마스크를 이용해 포토레지스트(R)의 두께가 두꺼운 영역(A), 얇은 영역(B), 포토레지스트(R)를 제거한 영역(C)으로 되는 레지스트 패턴을 형성한다.(도 12(b))

(4) 다음에 에칭 등에 의해 먼저 영역(C)의 제2 금속층(19)을 제거한다.(도 12(c))

(5) 그리고 나서, 영역(A)의 포토레지스트(R)는 남기면서 영역(B)의 포토레지스트(R)를 제거한다.(도 12(d))

(6) 그 후 영역(C)의 반도체층(18)(17)을 에칭 등에 의해 제거한다.(도 12(e))

(7) 또 영역(B)의 제2 금속층(19)을 제거한다.(도 13(a))

(8) 다음에 영역(B)의 제2 반도체층(18)을 제거한 후 포토레지스트(R)를 전부 제거한다.(도 13 (b))

여기까지의 제조공정은 실시의 형태 1과 동일하며 앞서 기술한 바와 같이 소스 배선(20)의 옆으로 반도체층(18)과 반도체층(17)이 튀어나온 상태로 되어 있다.

(9) 이 상태의 TFT 어레이 기판의 표면에 포토레지스트를 도포, 포토마스크를 사용해서 레지스트 패턴을 형성하고 하부 패드(15) 상의 게이트 절연막(16)에 콘택트 홀을 형성한다. 또한, 소스 배선(20)을 마스크로 한 에칭에 의해 소스배선(20)의 하층에 튀어나와 있는 반도체층(18)과 반도체층(17)을 제거한다.(도 13(c))

(10) 그 다음, ITO 막을 전면에 성막한 후, 사진 제판 기술을 이용해 패턴닝하는 것에 의하여 ITO 화소 전극(27), 상부 패드(28)(29)를 형성한다.

본 실시의 형태에서는 ITO 화소 전극(27)과 드레인 전극(22), 상부 패드층(29)과 하부 패드(23)는 콘택트 홀을 거치지 않고 직접 콘택트하고 있다.(도 13 (d))

실시의 형태1에 있어서는 소스 배선(20)의 옆으로 튀어나온 반도체층(18)과 반도체층(17)을 제거하기 위해 소스 배선(20) 근방의 보호막(35)을 제거하고 있고 이와 동시에 소스 배선(20) 근방의 게이트 절연막(16)도 제거되어 있다.(도 6 (d)) 따라서, 소스 배선(20)과 공통 배선(14)이 인접하여 설치되어 있는 경우에는 양 배선 사이에 쇼트가 발생하는 위험이 있다.

본 실시의 형태에 의하면 보호막(35)을 제거할 필요가 없기 때문에 소스 배선(20) 근방의 게이트 절연막(16)이 제거되는 일도 없다. 따라서 소스배선 (20)과 공통 배선(14)이 인접해서 설치되는 경우에도 양 배선 사이에 쇼트가 발생할 위험은 없다.

본 실시의 형태에는 소스 배선(20)이 노출하고 있지만 실시의 형태 2와 동일하게 하여 소스 배선(20)을 ITO 막으로 피복하는 것도 물론 가능하다.

본 실시의 형태에 의하면 보호막(35)을 생략했기 때문에 보다 낮은 단가와 단시간에 TFT 어레이 기판을 제작하는 것이 가능하고, 또 소스 배선(20)의 옆으로 튀어나온 반도체층(18)과 반도체층(17)을 제거할 수 있기 때문에 개구율의 향상과 소스배선의 저 저항화를 기할 수 있으며 소스-공통간 용량의 증대라고 하는 문제도 해결할 수 있다.

[실시의 형태 5]

본 발명의 제5의 형태를 도 14를 이용해서 설명한다.

도 14는 역 스테거형의 TFT가 설치된 TFT 어레이 기판을 예시해서 그 제조방법을 설명하는 단면도이다.

앞서 기술한 실시의 형태 4에서는 합계 4장의 포토마스크 다시 말하면, 4회의 사진 제판 공정에 의해 TFT 어레이 기판을 제조하고 있다.

본 실시의 형태에 의하면 3장의 포토마스크 다시 말하면, 3회의 사진 제판공정에 의하여 TFT 어레이 기판을 제조하는 것이 가능하다.

실시의 형태 4에 있어서는 도 13(c)에 표시한 공정에 있어서 TFT 어레이 기판의 표면에 포토레지스트를 도포, 포토마스크를 사용해서 레지스트 패턴을 형성하고 하부 패드(15) 상의 게이트 절연막(16)에 콘택트 홀을 형성했다.

그 후, ITO 막을 전면에 성막하고 사진 제판 기술을 이용해 패턴닝하는 것에 의해 ITO 화소 전극(27), 상부 패드(28)(29)를 형성한다. 따라서, 하부 패드(15)와 상부 패드(28)와는 콘택트 홀을 거쳐서 전기적으로 접속되어 있다.

본 실시의 형태에는 ITO막을 성막하기 전에 포토마스크를 사용하지 않고 하부 패드(15)상의 게이트 절연막(16)을 제거한다. (도 14(a)) 제거는 TFT 어레이 기판의 주위 부분의 포토레지스트를 마스크 없이 노광(露光)하는 주변 노광 공정에 있어서, 하부 패드(15) 상의 포토레지스트도 노광시켜 제거하고 노출한 하부 패드(15)상의 게이트 절연막(16)을 계속되는 에칭 공정에 의해서 제거하는 것에 의하여 행하여진다. 그 후 ITO 막을 전면에 성막하고 사진 제판 기술을 이용해 패턴닝하는 것에 의해 ITO 화소전극(27), 상부 패드(28)(29)를 형성한다.(도 14(b))

이 경우 하부 패드(15)와 상부 패드(28)가 직접 접촉해 전기적으로 접속되어 있다.

게이트 절연막(16)에 콘택트 홀을 형성하기 위한 사진 제판 공정이 필요없게 되기 때문에 3회의 사진 제판 공정, 다시 말하면 3장의 포토마스크로 TFT 어레이 기판을 제작하는 것이 가능하게 되고 코스트의 저감도 가능하다.

물론, 다른 실시의 형태와 같이 소스 배선(20)의 옆으로 튀어나온 반도체층(18)과 반도체층(17)을 제거할 수 있기 때문에 개구율의 향상과 소스 배선의 저 저항화를 기할 수 있고, 또 소스-공통간 용량의 증대라고 하는 문제도 해결할 수 있다.

본 실시의 형태에는 소스 배선(20)이 노출하고 있지만 실시의 형태 2와 같이해서 소스 배선(20)을 ITO 막으로 피복하는 것도 물론 가능하다.

산업상 이용 가능성

본 발명의 제조방법을 적용함으로써 종래의 기술과 같은 수의 4장 포토마스크 또는 종래의 기술보다도 적은 3장의 포토마스크를 사용한 제조공정으로 소스 배선의 옆으로 튀어나온 반도체층을 제거하는 것이 가능하게 되고, 개구율의 저하, 소스 배선 저항의 증대, 소스-공통 전극간 용량의 증대를 방지할 수 있고, 고 품질의 액정표시장치를 저렴한 가격으로 단시간에 제조할 수 있게 된다.

더욱이, 소스 배선을 ITO 막으로 피복함으로써 소스 배선과 액정과 반응하는 것을 방지할 수 있고 소스 배선의 재료 선택의 자유도를 높일 수 있다.

또 본래의 소스 배선에 더해서 ITO막도 소스 배선으로서 기능하기 때문에 한층 더 소스 배선의 저 저항화를 기할 수 있어 고품질의 액정 표시장치가 얻어질 수 있음과 동시에 소스 배선의 단선의 가능성이 감소하고 신뢰성이 향상한다.

도면의 간단한 설명

도 1은 액티브 매트릭스형 액정표시장치의 동작을 설명하기 위한 도면이다.

도 2는 TFT어레이 기판의 요부를 확대한 평면도이다.

도 3은 종래의 기술에 의한 도2의 TFT어레이 기판의 제조방법을 설명하는 단면도이다.

도 4는 종래의 기술에 의한 도2의 TFT어레이 기판의 제조방법을 설명하는 단면도이며, 도 3에 이어지는 공정을 나타내는 도면이다.

도 5는 본 발명의 실시의 형태 1에 의한 TFT어레이 기판의 제조방법을 설명하는 단면도이다.

도 6은 본 발명의 실시의 형태 1에 의한 TFT어레이 기판의 제조방법을 설명하는 단면도이며, 도 5에 계속하는 공정을 나타내는 도면이다.

도 7은 본 발명의 실시의 형태 1에 의한 TFT어레이 기판의 제조방법을 설명하는 단면도이며, 도 6에 이어지는 공정을 나타내는 도면이다.

도 8은 본 발명의 실시의 형태 2에 의한 TFT어레이 기판의 제조방법을 설명하는 단면도이다.

도 9는 본 발명의 실시의 형태 3에 의한 TFT어레이 기판의 제조방법을 설명하는 단면도이다.

도 10은 본 발명의 실시의 형태 3에 의한 TFT어레이 기판의 제조방법을 설명하는 단면도이며, 도 9에 계속해서 공정을 나타내는 도면이다.

도 11은 본 발명의 실시의 형태 3에 의한 TFT어레이 기판의 제조방법을 설명하는 단면도이며, 도 10에 계속하는 공정을 나타내는 도면이다.

도 12는 본 발명의 실시의 형태 4에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이다.

도 13은 본 발명의 실시의 형태 4에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이며, 도 12에 계속하는 공정을 나타내는 도면이다.

도 14는 본 발명의 실시의 형태 5에 의한 TFT어레이 기관의 제조방법을 설명하는 단면도이다.

[발명을 실시하기 위한 최선의 형태]

이하 본 발명의 실시의 형태를 도면을 참조하여 설명한다.

[실시의 형태 1]

본 발명의 제1 실시의 형태를 도 5, 도 6과 도 7을 가지고 설명한다. 도 5, 도 6과 도 7은 역 스테거(stagger)형의 TFT가 설치된 TFT 어레이 기관을 예시하여 그 제조방법을 설명한 단면도이다.

본 발명의 제1 실시의 형태에 의한 TFT어레이 기관의 제조방법은 이하의 공정으로 이루어진다.

(1) 먼저, 절연성(絶縁性)기관(11)상에 제1 금속층을 성막하고 이어서 포토레지스트 등을 이용해 사진 제판을 행하고 에칭 법 등에 의해 제1 금속층에서 불필요한 부분을 제거하고, 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 하부패드(15)를 형성한다.(도 5(a))

(2) 다음으로, 이들의 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 패드층(15)를 덮도록 SiNx, SiO₂ 등으로 된 게이트 절연막(16), a-Si 층(비정질 반도체막, 제1 반도체층)(17), n+ a-Si층(비정질 불순물 반도체막, 제2 반도체층)(18), 제2 금속층(19)의 4층을 기관상에 성막한다.

(3) 포토레지스트(R)를 도포한 후, 포토마스크를 이용해 포토레지스트(R)의 두께가 두꺼운 영역(A), 얇은 영역(B), 포토레지스트(R)를 제거한 영역(C)으로 되는 레지스트 패턴을 형성한다.

포토레지스트(R)의 두꺼운 영역(A)은 제2 금속층(19)을 소스 전극이나 드레인 전극, 소스 배선이나 드레인 배선으로서 잔존하기 위한 영역, 포토레지스트(R)를 제거한 영역(C)는 적어도 제2 금속층(19), 제2 반도체층(18)과 제1 반도체층(17)을 에칭해서 제거하기 위한 영역, 포토레지스트(R)의 얇은 영역(B)은 제2 금속층(19)과 제2 반도체층(18)이 제거되어 TFT의 채널부(38)가 되는 영역에 각각 대응하고 있다. (도 5(b))

본 실시의 형태에서는 TFT의 채널부(38)만을 영역(B)로 하고 있다. TFT채널부(38)만이 영역(B)일 필요는 없으나 본 실시의 형태에 있어서는 적어도 후에 소스 배선(20)이 되는 부분과 그 근방만은 영역(B)으로 하지 않는 것을 특징으로 한다.

(4) 다음으로 에칭 등에 의해 먼저 영역(C)의 제2 금속층(19)을 제거한다.(도 5(c))

(5) 그 후, 영역(B)의 포토레지스트(R)를 제거한다. 이때 영역(A)의 포토레지스트(R)는 두께가 두껍기 때문에 제거되지 않고 남게 된다.(도 5(d))

(6) 그 다음 영역(C)의 반도체층(18)(17)을 에칭 등에 의해 제거한다.(도 5(e))

(7) 또 영역(B)의 제2 금속층(19)을 제거한다.(도 6(a))

(8) 다음으로 영역(B)의 제2 반도체층(18)을 제거하고 그 후 포토레지스트(R)를 전부 제거한다.(도 6(b))

여기까지의 공정은 종래의 기술에 의한 것과 동일하며 앞서 기술한 바와 같이 제2 금속층(19)으로 이루어지는 소스 배선(20)은, 반도체층(18)과 반도체층(17)에 비교해서 사이드 에치량이 크기 때문에 소스 배선(20)의 옆으로 반도체층(18)과 반도체층(17)이 튀어나온 상태로 되어 있다.

(9) 이 상태의 TFT 어레이 기판의 표면상 전면에 보호막(35)을 성막한 다음 포토레지스트를 도포, 포토마스크를 사용해서 레지스트 패턴(36)을 형성한다.(도 6(c))

이 레지스트 패턴(36)은, 후속 공정에서 보호막(35)의 일부를 제거해 콘택트 홀(24)(25)(26)을 형성하기 위한 것이지만, 동시에 소스 배선(20) 위와 그 근방의 영역(30)의 보호막(35)도 제거하기 위한 패턴으로 되어 있다.

(10) 이 레지스트 패턴(36)을 이용해서 보호막(35)을 에칭하여 드레인 전극(22)과 ITO 화소 전극(27)을 전기적으로 접속하기 위하여 콘택트 홀(24), 하부패드(15)와 상부 패드(28)을 전기적으로 접속하기 위한 콘택트 홀(25), 하부 패드(23)과 상부 패드(29)를 전기적으로 접속하기 위한 콘택트 홀(26)을 형성한다.

이때 앞서 서술한 바와 같이 소스 배선(20) 위와 그 근방의 영역(30)의 보호막(35)도 제거되지만, 동시에 영역(30)의 게이트 절연막(16)도 제거된다.(도 6(d))

(11) 다음으로 레지스트 패턴(36)과 소스 배선(20)을 마스크로서 이용한 에칭을 행하여 소스 배선(20)의 옆으로 튀어나와 있는 반도체층(18)(17)을 제거하고, 그 후 레지스트 패턴(36)을 제거한다.(도 7(a))

이때 먼저 레지스트 패턴을 제거하여 보호막(35)과 소스 배선(20)을 마스크로서 튀어나와 있는 반도체층(18)(17)을 에칭해도 좋다.

또 소스 배선(20)을 형성하는 제2 금속층(19)은 튀어나와 있는 반도체층(18)(17)을 에칭할 때와 동시에 에칭되어 버리는 일이 없는 재료, 예를 들어 Cr 등일 필요가 있다.

(12) 그 다음 ITO막을 전면에 성막한 다음, 포토레지스트 등을 이용해 사진 제판을 행하여 에칭법 등에 의하여 ITO막의 불필요부분을 제거하는 패턴닝을 행하는 것에 의해 ITO화소 전극(27), 상부 패드(28)(29)를 형성한다. (도 7(b))

이상 설명한 바와 같이 본 실시의 형태에 의하면 종래의 제조방법과 동일한 합계 4회의 사진 제판, 다시 말하면 4장의 포토마스크에 의하여 TFT 어레이 기판을 제작할 수가 있고 또 소스 배선의 옆으로 튀어나온 반도체층(18)과 반도체층(17)을 제거하는 것이 가능하다.

따라서, 제조에 필요한 시간이나 코스트의 증대를 초래하는 일 없이 TFT 어레이 기판의 개구율의 향상과 소스 배선의 저항하락을 기할 수 있고 또 소스-공통간 용량 증대라고 하는 문제도 해결할 수 있다.

[실시의 형태 2]

본 발명의 제2 실시의 형태를 도 8을 이용해서 설명한다.

본 실시의 형태는 소스 배선(20)을 ITO 막(37)으로 피복한 것을 특징으로 한다.

실시의 형태 1에 있어서는 도 7(b)를 보면 알 수 있는 것과 같이 소스 배선(20)이 노출되어 있다. 따라서 소스 배선(20) 다시 말하면, 제2 금속층(19)의 재료로서 액정과 반응성이 없는 재료를 선택할 필요가 있었다.

그래서 본 실시 형태에서는 ITO막의 패턴닝을 행할 때 소스 배선(20) 상의 ITO막을 잔존하는 것에 의하여 소스 배선(20)과 소스 배선(20)의 하층에 위치하는 반도체층(17)(18)을 덮는 ITO막(37)을 형성하였다.

ITO막(37)이 소스 전극(20)을 덮고 있기 때문에 소스 배선(20)(제2 금속층(19))의 재료선택의 자유도가 증가한다. 게다가, 소스 배선(20)과 ITO막(37)이 함께 소스 배선으로서 기능하기 때문에 소스 배선의 저항을 저감할 수 있다. 또 만일 소스 배선(20)이 단선(斷線)한 경우에도 ITO막(37)이 용장(冗長)의 역할을 하기 때문에 신뢰성도 향상한다.

[실시의 형태 3]

본 발명의 제3 실시의 형태를 도 9, 도 10과 도 11을 이용해서 설명한다.

도 9, 도 10과 도 11은 역 스테거형의 TFT가 설치된 TFT 어레이 기판을 예시해서 그 제조방법을 설명한 단면도이다.

실시의 형태 1에서는, 도 7(b)을 보면 알 수 있는 것과 같이 소스 배선(20)의 근방 영역(30)에 있어서 게이트 절연막(16)도 제거되어 있다. 따라서 소스 배선(20)과 공통 배선(14)이 인접해 설치될 경우에는 양 배선 사이에 쇼트가 발생하는 위험이 있다. 그런데 본 실시의 형태에서는 소스 배선(20) 근방 영역(30)에 있어서 게이트 절연막(16)을 제거하지 않고 잔존하도록 했다.

그 공정을 이하에 설명한다.

(1) 먼저 절연성 기판(11) 상에 제1 금속층을 성막하고 이 제1 금속층을 사진 제판 기술을 이용해 패터닝하고 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 하부 패드(15)를 형성한다.(도 9(a))

(2) 다음으로 이들 게이트 전극(12), 게이트 배선(13), 공통 배선(14), 패드층(15)을 덮는 것 같이 게이트 절연막(16), 제1 반도체층(17), 제2 반도체층(18), 제2 금속층(19)의 4층을 기판상에 성막한다.

(3) 포토레지스트(R)를 도포한 후, 포토마스크를 이용해 포토레지스트(R)의 두께가 두꺼운 영역(A)(A₁), 얇은 영역(B)(B₁), 포토레지스트(R)를 제거한 영역(C)으로 되는 레지스트 패턴을 형성한다.

실시의 형태(1)에 있어서는 영역(B)은 TFT의 채널부 뿐이었으나 본 실시의 형태에 있어서는 후에 소스 배선이 되는 영역(A₁)의 근방에도 포토레지스트(R)의 얇은 영역(B₁)을 설치한다.(도 9(b))

(4) 다음에 에칭 등에 의해 먼저 영역(C)의 제2 금속층(19)을 제거한다.(도 9(c))

(5) 다음에 영역(A)(A₁)의 포토레지스트(R)는 남기면서 영역(B)(B₁)의 포토레지스트(R)를 제거한다.(도 9(d))

(6) 그 다음 영역(C)의 반도체층(18)(17)을 에칭 등에 의해 제거한다.(도 9(e))

(7) 또 영역(B)(B₁)의 제2 금속층(19)을 제거한다 (도 10(a))

(8) 다음에 영역(B)(B₁)의 제2 반도체층(18)을 제거하고 그 후 포토레지스트(R)를 전부 제거한다.(도 10(b))

앞서 기술한 바와 같이 제2 금속층(19)으로 이루어지는 소스 배선(20)은 제2 반도체층(18)에 비해서 사이드 에치량이 크기 때문에 소스 배선(20)의 옆으로 제2 반도체층(18)이 튀어나온 상태로 되어 있다.

(9) 이 상태의 TFT 어레이 기판의 표면상 전면에 보호막(35)을 성막한 후, 포토레지스트를 도포, 포토마스크를 사용해서 사진 제판을 하여 레지스트 패턴(36)을 형성한다.(도 10(c))

이 레지스트 패턴(36)은 다음의 공정에서 보호막(35)의 일부를 제거해서 콘택트 홀(24)(25)(26)을 형성하기 위한 것이지만 동시에 소스 배선(20) 위와 그 근방의 영역(30)의 보호막(35)도 제거하도록 한 패턴으로 되어 있다.

(10) 이 레지스트 패턴(36)을 이용해서 보호막(35)을 에칭하여 콘택트 홀(24)(25)(26)을 형성하나 앞서 기술한 바와 같이 소스 배선(20)과 근방 영역(30)의 보호막(35)도 제거된다.(도 10(d))

(11) 다음에 레지스트 패턴(36)과 소스 배선(20)을 마스크로서 이용해 에칭을 하여 소스 배선(20)의 하층에 튀어나온 반도체층(18)과 소스 배선(20)근방의 반도체층(17)을 제거하고 그 후 레지스트 패턴을 제거한다.(도 11(a))

이때, 먼저 레지스트 패턴을 제거하고 보호막(35)과 소스 배선(20)을 마스크로서 튀어나와 있는 반도체층(18)과 반도체층(17)을 에칭해도 좋다.

또 소스 배선(20)을 형성하는 제2 금속층(19)은 반도체층(18)과 반도체층(17)을 에칭할 때에 동시에 에칭되어 버리는 일이 없는 재료, 예를 들면 Cr 등일 필요가 있다.

(12) 그 후 ITO 막을 전면에 성막한 후 사진제판 기술을 이용하여 패턴닝을 하는 것에 의해 ITO 화소 전극(27), 상부 패드(28)(29)를 형성한다.(도 11(b))

이상 설명한 것과 같이 본 실시형태에 의하면 소스 배선(20) 근방의 게이트 절연막(16)이 제거되지 않고 잔존되기 때문에 소스 배선(20)과 공통 배선(14)과의 사이에 쇼트가 발생할 위험은 없어진다.

본 실시의 형태에서는 소스 배선(20)이 노출되어 있지만 실시의 형태2와 동일하게 하여서 소스 배선(20)을 ITO 막으로 피복하는 것도 물론 가능하다.

[실시의 형태 4]

본 발명의 제4 실시의 형태를 도 12와 도 13을 이용해서 설명한다.

도 12와 도 13은 역 스테거형의 TFT가 설치된 TFT 어레이 기판을 예시해서 그 제조방법을 설명한 단면도이다.

본 실시의 형태는 보호막(35)을 생략한 점에서 실시의 형태 1과 틀린다.

그 공정을 이하에 설명한다.

(1) 먼저 절연성 기판(11) 위에 제1 금속층을 성막하고 이 제1 금속층을 사진 제판기술을 이용해서 패턴닝하고 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 하부 패드(15)를 형성한다.(도 12(a))

(2) 다음에, 이들 게이트 전극(12), 게이트 배선(13), 공통 배선(14)과 패드층(15)을 덮도록 게이트 절연막(16), 제1 반도체층(17), 제2 반도체층(18), 제2 금속층(19)의 4층을 기판 상에 성막한다.

(3) 포토레지스트(R)를 도포한 후, 포토마스크를 이용해 포토레지스트(R)의 두께가 두꺼운 영역(A), 얇은 영역(B), 포토레지스트(R)를 제거한 영역(C)으로 되는 레지스트 패턴을 형성한다.(도 12(b))

(4) 다음에 에칭 등에 의해 먼저 영역(C)의 제2 금속층(19)을 제거한다.(도 12(c))

(5) 그리고 나서, 영역(A)의 포토레지스트(R)는 남기면서 영역(B)의 포토레지스트(R)를 제거한다.(도 12(d))

(6) 그 후 영역(C)의 반도체층(18)(17)을 에칭 등에 의해 제거한다.(도 12(e))

(7) 또 영역(B)의 제2 금속층(19)을 제거한다.(도 13(a))

(8) 다음에 영역(B)의 제2 반도체층(18)을 제거한 후 포토레지스트(R)를 전부 제거한다.(도 13(b))

여기까지의 제조공정은 실시의 형태 1과 동일하며 앞서 기술한 바와 같이 소스 배선(20)의 옆으로 반도체층(18)과 반도체층(17)이 튀어나온 상태로 되어 있다.

(9) 이 상태의 TFT 어레이 기판의 표면에 포토레지스트를 도포, 포토마스크를 사용해서 레지스트 패턴을 형성하고 하부 패드(15) 상의 게이트 절연막(16)에 콘택트 홀을 형성한다. 또한, 소스 배선(20)을 마스크로 한 에칭에 의해 소스배선(20)의 하층에 튀어나와 있는 반도체층(18)과 반도체층(17)을 제거한다.(도 13(c))

(10) 그 다음, ITO 막을 전면에 성막한 후, 사진 제판 기술을 이용해 패턴닝하는 것에 의하여 ITO 화소 전극(27), 상부 패드(28)(29)를 형성한다.

본 실시의 형태에서는 ITO 화소 전극(27)과 드레인 전극(22), 상부 패드층(29)과 하부 패드(23)는 콘택트 홀을 거치지 않고 직접 콘택트하고 있다.(도 13(d))

실시의 형태1에 있어서는 소스 배선(20)의 옆으로 튀어나온 반도체층(18)과 반도체층(17)을 제거하기 위해 소스 배선(20) 근방의 보호막(35)을 제거하고 있고 이와 동시에 소스 배선(20) 근방의 게이트 절연막(16)도 제거되어 있다.(도 6 (d)) 따라서, 소스 배선(20)과 공통 배선(14)이 인접하여 설치되어 있는 경우에는 양 배선 사이에 쇼트가 발생하는 위험이 있다.

본 실시의 형태에 의하면 보호막(35)을 제거할 필요가 없기 때문에 소스 배선(20) 근방의 게이트 절연막(16)이 제거되는 일도 없다. 따라서 소스배선 (20)과 공통 배선(14)이 인접해서 설치되는 경우에도 양 배선 사이에 쇼트가 발생할 위험은 없다.

본 실시의 형태에는 소스 배선(20)이 노출하고 있지만 실시의 형태 2와 동일하게 하여 소스 배선(20)을 ITO 막으로 피복하는 것도 물론 가능하다.

본 실시의 형태에 의하면 보호막(35)을 생략했기 때문에 보다 낮은 단가와 단시간에 TFT 어레이 기판을 제작하는 것이 가능하고, 또 소스 배선(20)의 옆으로 튀어나온 반도체층(18)과 반도체층(17)을 제거할 수 있기 때문에 개구율의 향상과 소스배선의 저 저항화를 기할 수 있으며 소스-공통간 용량의 증대라고 하는 문제도 해결할 수 있다.

[실시의 형태 5]

본 발명의 제5의 형태를 도 14를 이용해서 설명한다.

도 14는 역 스테거형의 TFT가 설치된 TFT 어레이 기판을 예시해서 그 제조방법을 설명하는 단면도이다.

앞서 기술한 실시의 형태 4에서는 합계 4장의 포토마스크 다시 말하면, 4회의 사진 제판 공정에 의해 TFT 어레이 기판을 제조하고 있다.

본 실시의 형태에 의하면 3장의 포토마스크 다시 말하면, 3회의 사진 제판공정에 의하여 TFT 어레이 기판을 제조하는 것이 가능하다.

실시의 형태 4에 있어서는 도 13(c)에 표시한 공정에 있어서 TFT 어레이 기판의 표면에 포토레지스트를 도포, 포토마스크를 사용해서 레지스트 패턴을 형성하고 하부 패드(15) 상의 게이트 절연막(16)에 콘택트 홀을 형성했다.

그 후, ITO 막을 전면에 성막하고 사진 제판 기술을 이용해 패턴닝하는 것에 의해 ITO 화소 전극(27), 상부 패드(28)(29)를 형성한다. 따라서, 하부 패드(15)와 상부 패드(28)와는 콘택트 홀을 거쳐서 전기적으로 접속되어 있다.

본 실시의 형태에는 ITO막을 성막하기 전에 포토마스크를 사용하지 않고 하부 패드(15)상의 게이트 절연막(16)을 제거한다. (도 14(a)) 제거는 TFT 어레이 기판의 주위 부분의 포토레지스트를 마스크 없이 노광(露光)하는 주변 노광 공정에 있어서, 하부 패드(15) 상의 포토레지스트도 노광시켜 제거하고 노출한 하부 패드(15)상의 게이트 절연막(16)을 계속되는 에칭 공정에 의해서 제거하는 것에 의하여 행하여진다. 그 후 ITO 막을 전면에 성막하고 사진 제판 기술을 이용해 패턴닝하는 것에 의해 ITO 화소전극(27), 상부 패드(28)(29)를 형성한다.(도 14(b))

이 경우 하부 패드(15)와 상부 패드(28)가 직접 접촉해 전기적으로 접속되어 있다.

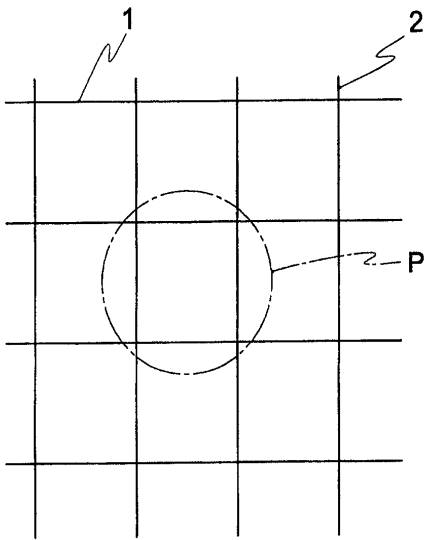
게이트 절연막(16)에 콘택트 홀을 형성하기 위한 사진 제판 공정이 필요없게 되기 때문에 3회의 사진 제판 공정, 다시 말하면 3장의 포토마스크로 TFT 어레이 기판을 제작하는 것이 가능하게 되고 코스트의 저감도 가능하다.

물론, 다른 실시의 형태와 같이 소스 배선(20)의 옆으로 튀어나온 반도체층(18)과 반도체층(17)을 제거할 수 있기 때문에 개구율의 향상과 소스 배선의 저 저항화를 기할 수 있고, 또 소스-공통간 용량의 증대라고 하는 문제도 해결할 수 있다.

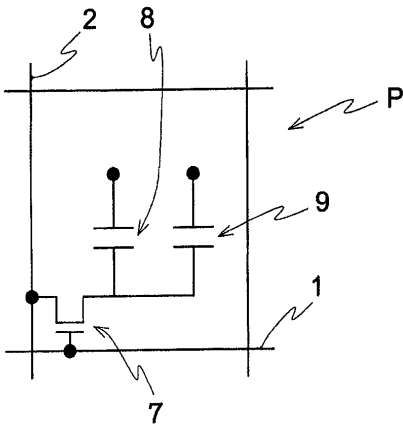
본 실시의 형태에는 소스 배선(20)이 노출하고 있지만 실시의 형태 2와 같이해서 소스 배선(20)을 ITO 막으로 피복하는 것도 물론 가능하다.

도면

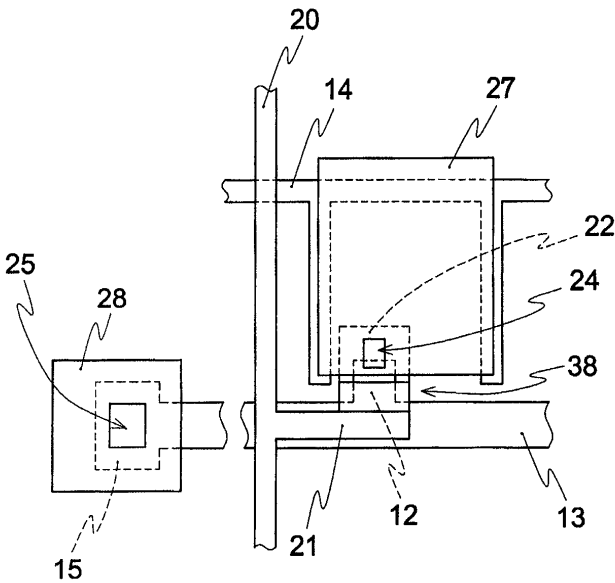
도면1a



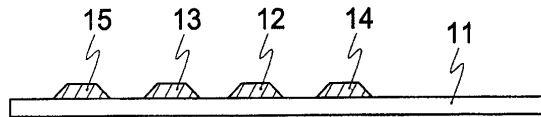
도면1b



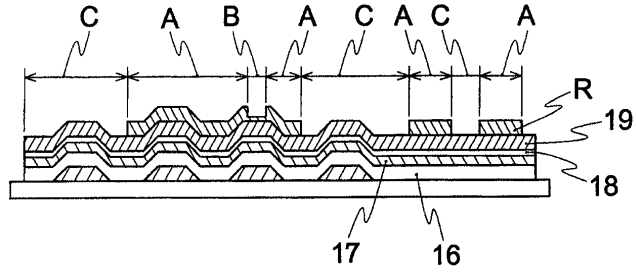
도면2



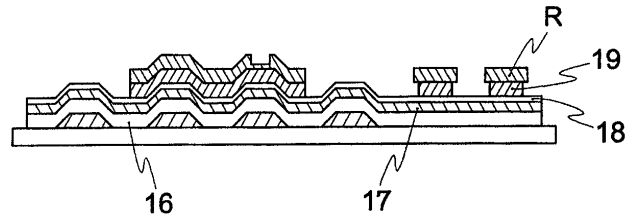
도면3a



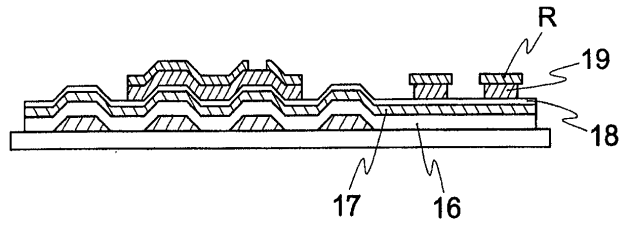
도면3b



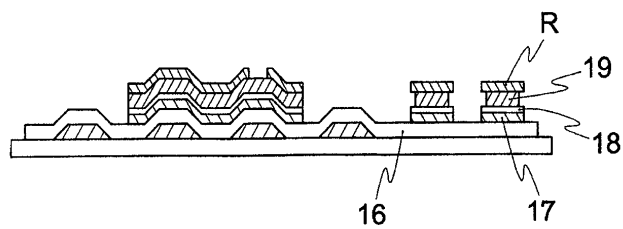
도면3c



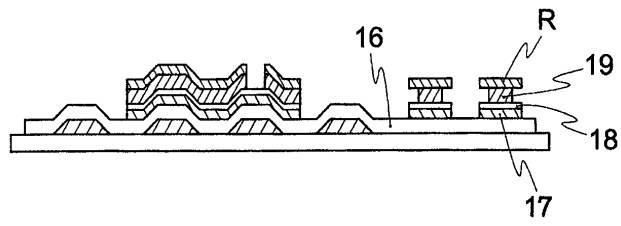
도면3d



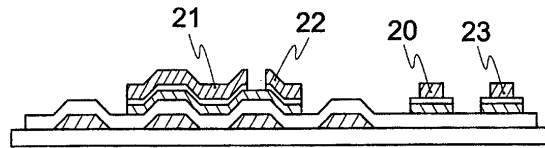
도면3e



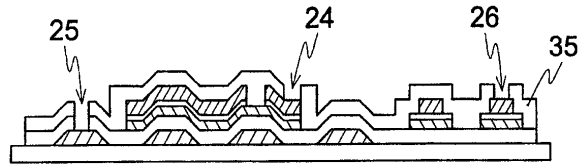
도면4a



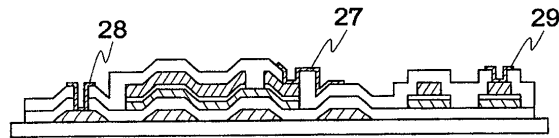
도면4b



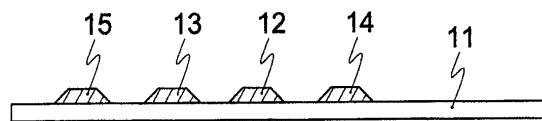
도면4c



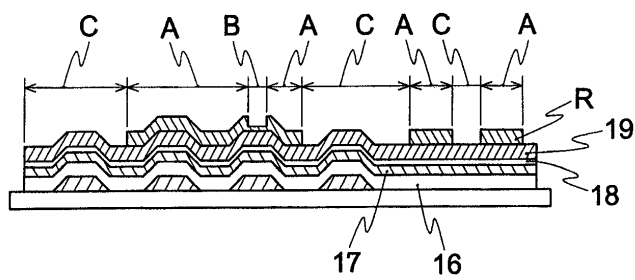
도면4d



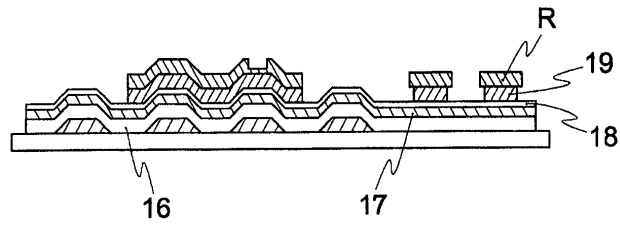
도면5a



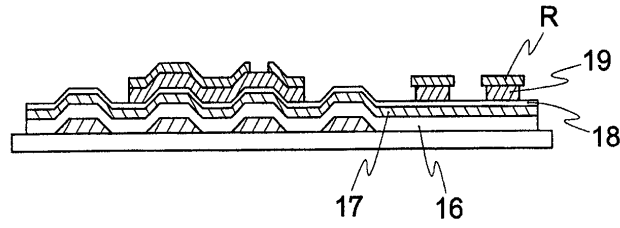
도면5b



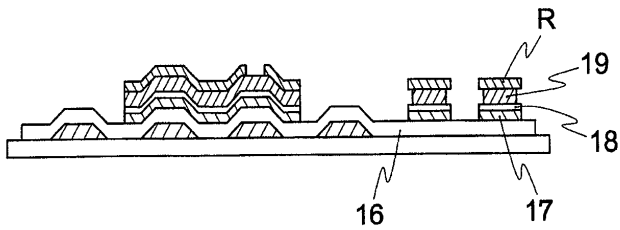
도면5c



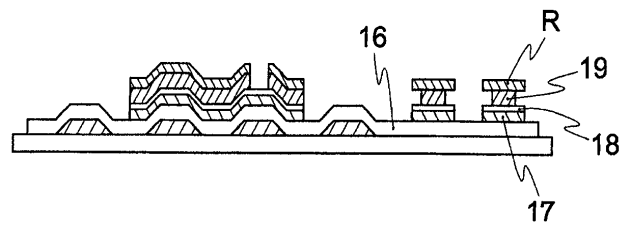
도면5d



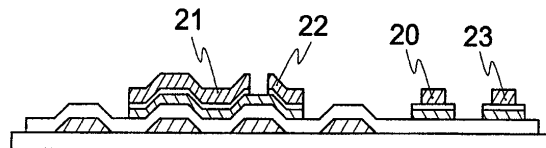
도면5e



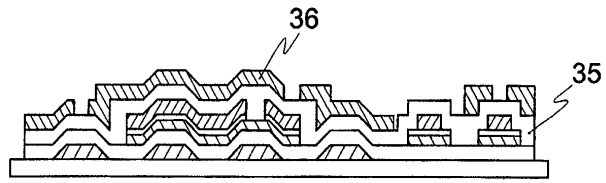
도면6a



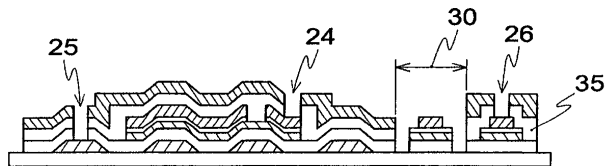
도면6b



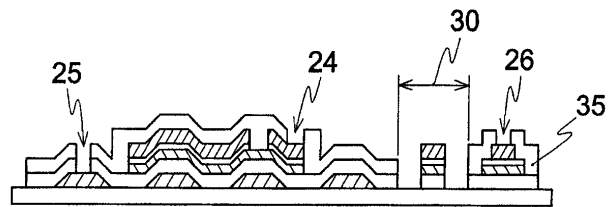
도면6c



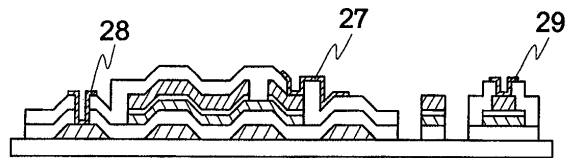
도면6d



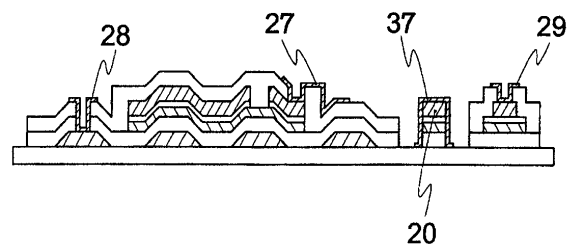
도면7a



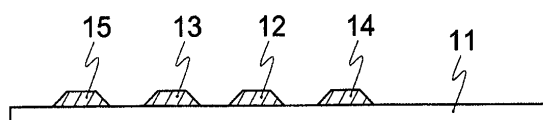
도면7b



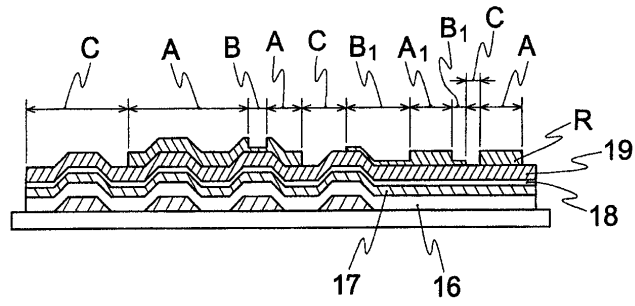
도면8



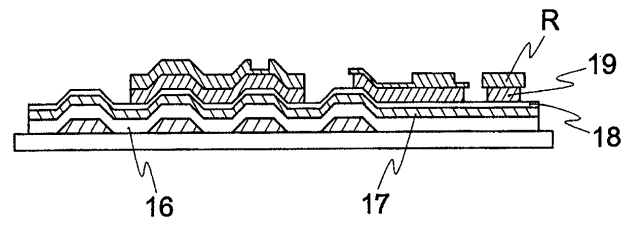
도면9a



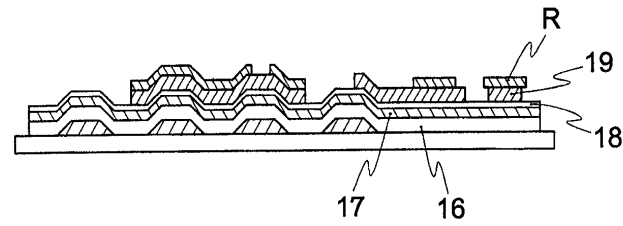
도면9b



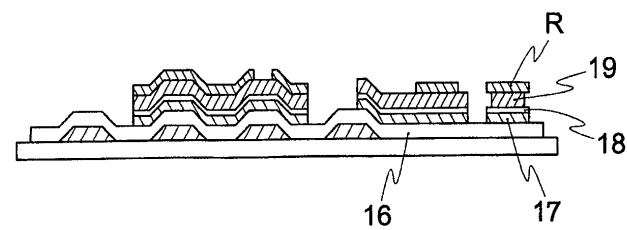
도면9c



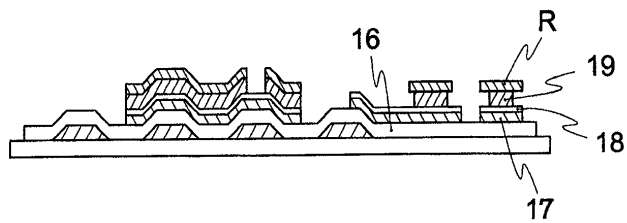
도면9d



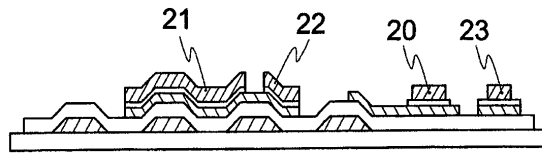
도면9e



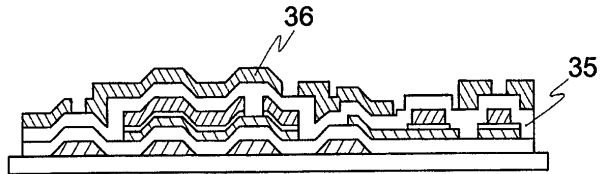
도면10a



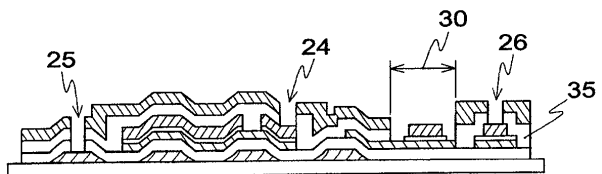
도면10b



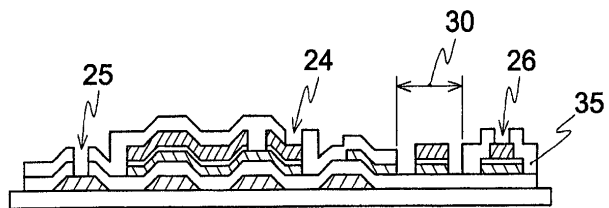
도면10c



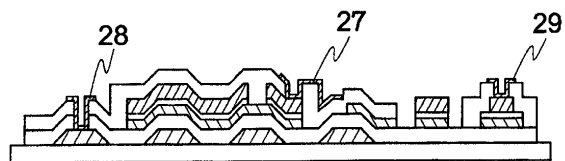
도면10d



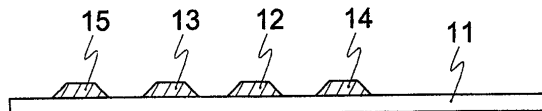
도면11a



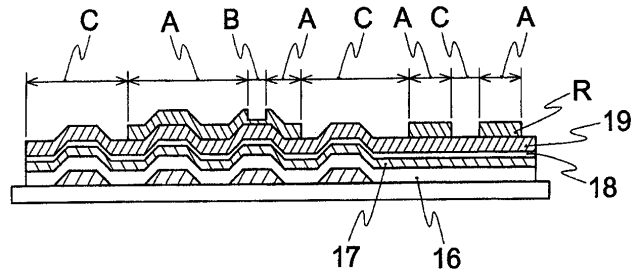
도면11b



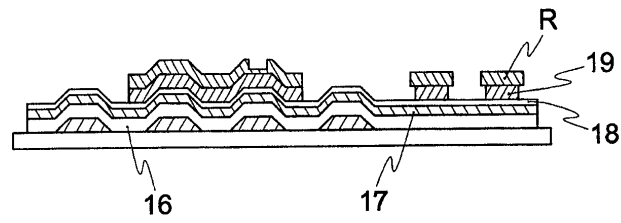
도면12a



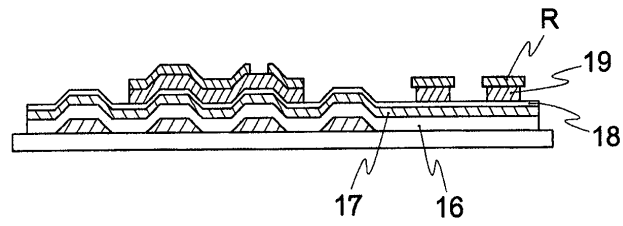
도면12b



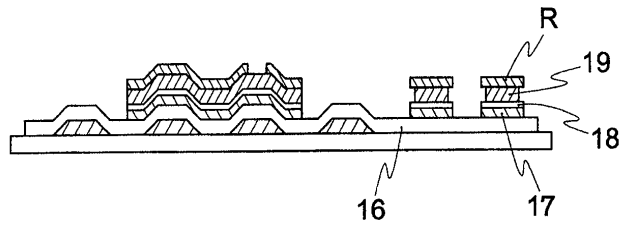
도면12c



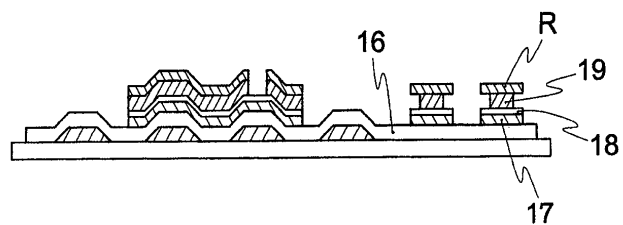
도면12d



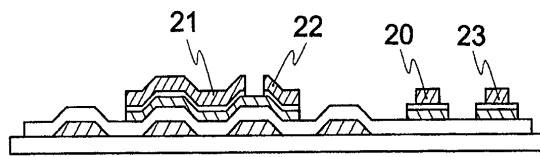
도면12e



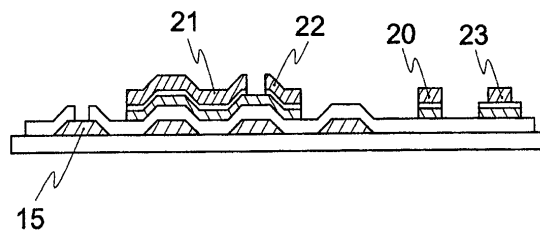
도면13a



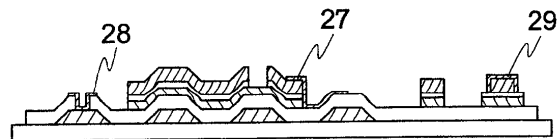
도면13b



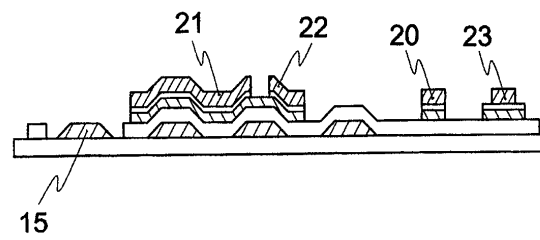
도면13c



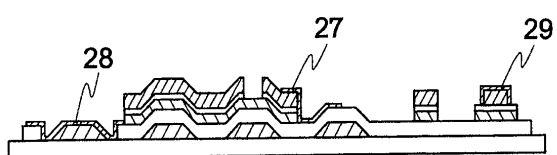
도면13d



도면14a



도면14b



专利名称(译)	制造液晶显示器的TiFTi阵列基板的方法		
公开(公告)号	KR100661200B1	公开(公告)日	2006-12-22
申请号	KR1020027003817	申请日	2001-07-19
申请(专利权)人(译)	高级显示INC.		
当前申请(专利权)人(译)	高级显示INC.		
[标]发明人	MATSUBARA RYOUTA		
发明人	MATSUBARA,RYOUTA		
IPC分类号	G02F1/136 G02F1/1362 G02F1/1368 G09F9/00 G09F9/30 H01L21/336 H01L29/786		
CPC分类号	G02F1/136227 G02F1/136286 G02F1/1368 G02F2001/13629 G02F2001/136295		
优先权	2000221858 2000-07-24 JP		
其他公开文献	KR1020020064785A		
外部链接	Espacenet		

摘要(译)

当去除保护膜(35)的一部分的接触孔(24)时,同时形成源(源)布线(20)上的保护膜(35)和保护膜(35)源极布线(20)侧和源极布线(20)侧的栅极(栅极)绝缘层(16)的一部分被去除。用于去除保护膜(35)的部分的抗蚀剂图案(36)和/或源极布线(20)被去除在暴露于源极布线(20)的半导体层(17)(18)之间的侧面突出的部分被去除作为面具。

