

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/133 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월08일 10-0608190 2006년07월26일
---	-------------------------------------	--

(21) 출원번호	10-2004-0049596	(65) 공개번호	10-2005-0002626
(22) 출원일자	2004년06월29일	(43) 공개일자	2005년01월07일

(30) 우선권주장	JP-P-2003-00186413	2003년06월30일	일본(JP)
(73) 특허권자	산요덴키가부시키가이샤 일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고		
(72) 발명자	센다미찌루 일본 기후켄 기후시 기따지마 1-6-15 아메니티 모아 202		
(74) 대리인	장수길 이중희 구영창		

심사관 : 이동윤

(54) 표시 장치 및 반도체 장치

요약

영상 신호에 따른 휘도로 정확하게 화상을 표시하는 것이 가능한 표시 장치를 제공한다. 이 표시 장치는, 게이트선과, 게이트선에 교차하도록 배치된 드레인선과, 게이트가 게이트선에 접속됨과 함께, 소스/드레인의 한쪽이 드레인선에 접속되며, 또한 화소 전위(Pix)를 유지하는 동작의 기간에 제1 바이어스 전압이 인가되는 p채널 트랜지스터(2a)와, p채널 트랜지스터(2a)의 소스/드레인의 다른쪽에 접속된 화소 전극을 포함하는 화소부(2)를 구비하고, 화소부(2)의 p채널 트랜지스터(2a)에는, 액정 표시 장치의 전원을 투입할 때에, 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압이 인가된다.

대표도

도 1

색인어

전계 효과형 트랜지스터, 바이어스 전압, 화소 전극, 게이트선, 영상 신호선, 화소 전위

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치를 도시한 평면도.

도 2는 도 1에 도시한 제1 실시예에 따른 액정 표시 장치의 화소부를 구성하는 p채널 트랜지스터에 제2 바이어스 전압이 인가될 때의 동작을 설명하기 위한 타이밍차트.

도 3은 제1 실시예에 따른 제2 바이어스 전압이 인가된 p채널 트랜지스터의 I_{ds} - V_{gs} 특성도.

도 4는 비교예로서의 제2 바이어스 전압이 인가되어 있지 않은 p채널 트랜지스터의 I_{ds} - V_{gs} 특성도.

도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소부를 구성하는 p채널 트랜지스터에 제2 바이어스 전압이 인가될 때의 동작을 설명하기 위한 타이밍차트.

도 6은 본 발명의 제3 실시예에 따른 유기 EL 표시 장치를 도시한 평면도.

도 7은 도 6에 도시한 제3 실시예에 따른 유기 EL 표시 장치의 화소부를 구성하는 p채널 트랜지스터에 제2 바이어스 전압이 인가될 때의 동작을 설명하기 위한 타이밍차트.

도 8은 본 발명의 제4 실시예에 따른 유기 EL 표시 장치의 화소부를 구성하는 p채널 트랜지스터에 제2 바이어스 전압이 인가될 때의 동작을 설명하기 위한 타이밍차트.

도 9는 종래의 액정 표시 장치의 하나의 화소부를 도시한 회로도.

<도면의 주요 부분에 대한 부호의 설명>

2, 22 : 화소부

2a 22a : p채널 트랜지스터(p형의 제1 전계 효과형 트랜지스터)

2b : 액정

22b : p채널 트랜지스터(p형의 제2 전계 효과형 트랜지스터)

22c : 유기 EL 소자(발광 소자)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 표시 장치 및 반도체 장치에 관한 것으로, 특히, p형의 전계 효과형 트랜지스터를 포함하는 표시 장치 및 반도체 장치에 관한 것이다.

종래, 트랜지스터를 포함하는 화소부를 구비한 액정 표시 장치나 유기 EL 표시 장치 등의 표시 장치가 알려져 있다(예를 들면, 특허 문헌1 참조).

도 9는 종래의 액정 표시 장치의 1개의 화소부를 도시한 회로도이다. 도 9를 참조하면, 종래의 액정 표시 장치를 구성하는 화소부(102)는, 트랜지스터(102a), 화소 전극(102b), 화소 전극(102b)에 대향 배치된 각 화소부(102)에 공통의 대향 전극(102c), 화소 전극(102b)과 대향 전극(102c) 사이에 협지된 액정(102d), 및, 보조 용량(102e)을 포함하고 있다. 그리고, 트랜지스터(102a)의 소스/드레인의 한쪽은 드레인선에 접속되어 있다. 또한, 트랜지스터(102a)의 소스/드레인의 다른쪽은, 보조 용량(102e)의 한쪽 전극에 접속되어 있음과 함께, 액정(102d)을 사이에 두는 한쪽의 전극인 화소 전극(102b)에 접속되어 있다. 이 트랜지스터(102a)의 게이트는 게이트선에 접속되어 있다.

그리고, 종래에는, 상기한 바와 같은 액정 표시 장치 등의 표시 장치에서, 화소부를 구성하는 트랜지스터로서는, 통상, n형의 MOS 트랜지스터(전계 효과형 트랜지스터)가 이용되고 있다.

도 9에 도시한 종래의 액정 표시 장치의 동작으로서는, 트랜지스터(102a)가 온 상태로 됨과 함께, 드레인선에 소정의 영상 신호가 공급된다. 이에 의해, 그 영상 신호가 트랜지스터(102a)를 통해 화소 전극(102b)에 공급되기 때문에, 액정(102d)이 구동된다. 또한, 이 때, 영상 신호에 따른 전압이 보조 용량(102e)에 충전된다. 그 후, 트랜지스터(102a)에 소정의 바이어스 전압을 인가함으로써, 트랜지스터(102a)를 오프 상태로 한다. 이 경우, 영상 신호에 따른 전압(화소 전위(Pix))은, 보조 용량(102e)에 의해 일정 기간 유지된다. 이에 의해, 액정(102d)에는, 일정 기간, 영상 신호에 따른 전압이 계속해서 공급된다.

그러나, 종래에는, n형의 MOS 트랜지스터를 이용하는 경우, 내부 전계를 완화하기 위해, n형의 MOS 트랜지스터를 LDD (Lightly Doped Drain) 구조로 할 필요가 있었다. 이 때문에, 이온 주입 공정의 횟수 및 이온 주입 마스크의 매수가 증가하기 때문에, 제조 프로세스가 복잡화됨과 함께, 제조 비용이 증대되는 문제가 있었다.

따라서, 표시 장치의 화소부를 구성하는 트랜지스터를, p형의 MOS 트랜지스터로 하는 것이 생각된다. 이 경우, p형의 MOS 트랜지스터는, n형의 MOS 트랜지스터와 달리, LDD 구조로 할 필요가 없기 때문에, 제조 프로세스의 간략화나 제조 비용의 삭감이 가능하게 된다.

[특허 문헌1]

일본 특개2003-114651호 공보(IPC: G09G 3/36)

발명이 이루고자 하는 기술적 과제

그러나, 종래에는, 표시 장치의 화소부를 구성하는 트랜지스터를 p형의 MOS 트랜지스터로 한 경우, p형의 MOS 트랜지스터의 드레인 근방의 트랩 준위를 통한 터널링 현상이 발생하는 문제가 있었다. 이에 의해, p형의 MOS 트랜지스터에 누설 전류가 발생하기 때문에, 화소 전위(Pix)가 변동된다고 하는 문제가 있었다. 그 결과, 화소 전위(Pix)를 영상 신호에 따른 전위로 유지하는 것이 곤란하기 때문에, 영상 신호에 따른 휘도로 화상을 표시하는 것이 곤란하다고 하는 문제점이 있었다.

본 발명은, 상기한 바와 같은 과제를 해결하기 위해 이루어진 것으로, 본 발명의 하나의 목적은, 영상 신호에 따른 휘도로 정확하게 화상을 표시하는 것이 가능한 표시 장치를 제공하는 것이다.

본 발명의 다른 하나의 목적은, 누설 전류를 억제하는 것이 가능한 반도체 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 제1 국면에 따른 표시 장치는, 게이트선과, 게이트선에 교차하도록 배치된 영상 신호선과, 게이트가 게이트선에 접속됨과 함께, 소스/드레인의 한쪽이 영상 신호선에 접속되며, 또한, 화소 전위를 유지하는 동작의 기간에 제1 바이어스 전압이 인가되는 p형의 제1 전계 효과형 트랜지스터와, p형의 제1 전계 효과형 트랜지스터의 소스/드레인의 다른쪽에 접속된 화소 전극을 포함하는 화소부를 구비하고, 화소부의 p형의 제1 전계 효과형 트랜지스터에는, 화소 전위를 유지하는 동작의 기간 이외의 소정의 기간에, 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압이 인가된다.

이 제1 국면에 따른 표시 장치에서는, 상기과 같이, 화소 전위를 유지하는 동작의 기간 이외의 소정의 기간에, 화소 전위를 유지하는 동작의 기간에 인가되는 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을, p형의 제1 전계 효과형 트랜지스터에 인가함으로써, p형의 제1 전계 효과형 트랜지스터의 드레인 근방의 트랩 준위가 감소되거나, 또는, 트랩 준위에 캐리어(홀)가 포획되기 때문에, 트랩 준위를 통한 캐리어의 터널링 현상이 억제되는 것으로 생각된다. 이에 의해, p형의 제1 전계 효과형 트랜지스터의 누설 전류가 억제되기 때문에, 화소 전위를 유지하는 동작의 기간에, 화소 전위가 누설 전류에 의해 변동되는 것을 억제할 수 있다. 그 결과, 화소 전위를 영상 신호에 따른 전위로 유지할 수 있기 때문에, 영상 신호에 따른 휘도로 정확하게 화상을 표시할 수 있다.

상기 제1 국면에 따른 표시 장치에서, 바람직하게는, 제1 바이어스 전압은, 제1 게이트-소스간 전압과, 제1 드레인-소스간 전압을 포함하고, 제2 바이어스 전압은, 제1 게이트-소스간 전압보다 높은 제2 게이트-소스간 전압과, 제1 드레인-소

스칸 전압보다 낮은 제2 드레인-소스간 전압을 포함한다. 이와 같이 구성하면, 용이하게, 제2 바이어스 전압의 절대값을 제1 바이어스 전압의 절대값보다 크게 할 수 있기 때문에, 용이하게, p형의 제1 전계 효과형 트랜지스터에, 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을 인가할 수 있다.

상기 제1 국면에 따른 표시 장치에서, 바람직하게는, 제2 바이어스 전압이 인가될 때에는, 게이트선과 영상 신호선과의 전위차가 제2 게이트-소스간 전압으로 되도록, 게이트선 및 영상 신호선의 전위가 각각 소정의 전위로 설정됨과 함께, 영상 신호선과 화소 전극과의 전위차가 제2 드레인-소스간 전압으로 되도록 화소 전극의 전위가 제어된다. 이와 같이 구성하면, 용이하게, p형의 제1 전계 효과형 트랜지스터에, 제2 게이트-소스간 전압 및 제2 드레인-소스간 전압으로 이루어지는 제2 바이어스 전압을 인가할 수 있다. 또한, 이 경우, 영상 신호선으로부터 화소 전극에의 누설 전류를 저감할 수 있다.

상기 제1 국면에 따른 표시 장치에서, 바람직하게는, 제2 바이어스 전압이 인가될 때에는, 게이트선과 화소 전극과의 전위차가 제2 게이트-소스간 전압으로 되도록, 게이트선 및 화소 전극의 전위가 각각 소정의 전위로 설정됨과 함께, 화소 전극과 영상 신호선과의 전위차가 제2 드레인-소스간 전압으로 되도록 영상 신호선의 전위가 제어된다. 이와 같이 구성하면, 용이하게, p형의 제1 전계 효과형 트랜지스터에, 제2 게이트-소스간 전압 및 제2 드레인-소스간 전압으로 이루어지는 제2 바이어스 전압을 인가할 수 있다. 또한, 이 경우, 화소 전극으로부터 영상 신호선에의 누설 전류를 저감할 수 있다.

상기 제1 국면에 따른 표시 장치에서, 바람직하게는, 제2 바이어스 전압은, p형의 제1 전계 효과형 트랜지스터에 복수회 인가된다. 이와 같이 구성하면, 제2 바이어스 전압을 인가할 때에, 누설 전류에 의해 제2 바이어스 전압이 변동되었다고 해도, 누설 전류를 저감하는 데 충분한 시간 p형의 제1 전계 효과형 트랜지스터에 제2 바이어스 전압을 인가할 수 있다.

상기 제1 국면에 따른 표시 장치에서, 바람직하게는, p형의 제1 전계 효과형 트랜지스터는, 다결정 실리콘으로 이루어지는 능동층을 포함하는 박막 트랜지스터이다. 이와 같이 구성하면, 다결정 실리콘으로 이루어지는 능동층을 포함하는 트랜지스터는, 단결정 실리콘으로 이루어지는 능동층을 포함하는 트랜지스터에 비해 누설 전류가 많기 때문에, 특히 유효하게, p형의 제1 전계 효과형 트랜지스터의 누설 전류를 억제할 수 있다.

상기 제1 국면에 따른 표시 장치에서, 바람직하게는, 화소부는 액정을 더 포함한다. 이와 같이 구성하면, 액정 표시 장치에서, 화소 전위를 영상 신호에 따른 전위로 유지할 수 있기 때문에, 용이하게, 영상 신호에 따른 휘도로 정확하게 화상을 표시할 수 있다.

상기 제1 국면에 따른 표시 장치에서, 바람직하게는, 화소부는, 유기 재료 또는 무기 재료로 이루어지는 발광 소자를 더 포함한다. 이와 같이 구성하면, 유기 EL 표시 장치 또는 무기 EL 표시 장치에서, 화소 전위를 영상 신호에 따른 전위로 유지할 수 있기 때문에, 용이하게, 영상 신호에 따른 휘도로 정확하게 화상을 표시할 수 있다.

이 경우, 바람직하게는, 발광 소자는, 제1 전위에 접속된 한쪽 전극과, 다른쪽 전극을 포함하고, 화소부는, 게이트가 화소 전극에 접속되며, 한쪽의 소스/드레인 발광 소자의 다른쪽 전극에 접속되고, 다른쪽의 소스/드레인이 제2 전위에 접속된 p형의 제2 전계 효과형 트랜지스터를 더 포함하고, p형의 제1 전계 효과형 트랜지스터에 제2 바이어스 전압이 인가될 때에는, 제1 전위 및 제2 전위가 실질적으로 동일한 전위로 제어된다. 이와 같이 구성하면, p형의 제2 전계 효과형 트랜지스터를 통해 제1 전위와 제2 전위 사이에 전류가 흐르지 않기 때문에, p형의 제2 전계 효과형 트랜지스터가 용량으로서 기능하는 것을 방지할 수 있다. 이에 의해, p형의 제1 전계 효과형 트랜지스터에 제2 바이어스 전압이 인가될 때에, 화소 전위가 변동되는 것을 억제할 수 있다. 또한, 발광 소자에 전류가 공급되지 않기 때문에, 제2 바이어스 전압이 인가될 때에, 발광 소자가 발광하는 것을 방지할 수 있다.

본 발명의 제2 국면에 따른 반도체 장치는, 게이트와 소스와 드레인을 가짐과 함께, 통상 동작 시의 오프 상태일 때에 게이트와 소스와의 사이 및 드레인과 소스와의 사이에 제1 바이어스 전압이 인가되는 다결정 실리콘으로 이루어지는 능동층을 포함하는 p형의 전계 효과형 트랜지스터를 구비하고, p형의 전계 효과형 트랜지스터에는, 통상 동작 시 이외의 기간에, 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압이 인가된다.

이 제2 국면에 따른 반도체 장치에서는, 상기한 바와 같이, 통상 동작 시 이외의 기간에, 통상 동작 시의 오프 상태일 때에 인가되는 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을, 다결정 실리콘으로 이루어지는 능동층을 포함하는 p형의 전계 효과형 트랜지스터에 인가함으로써, p형의 제1 전계 효과형 트랜지스터의 드레인 근방의 트랩 준위가 소멸되거나, 또는, 트랩 준위에 캐리어(홀)가 포획되기 때문에, 트랩 준위를 통한 캐리어의 터널링 현상이 억제되는 것으로 생각된다. 이에 의해, p형의 제1 전계 효과형 트랜지스터의 누설 전류를 억제할 수 있다.

이하, 본 발명의 실시예를 도면에 기초하여 설명한다.

(제1 실시예)

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치를 도시한 평면도이다. 우선, 도 1을 참조하여, 제1 실시예에 따른 액정 표시 장치의 구성에 대하여 설명한다.

제1 실시예에 따른 액정 표시 장치에서는, 도 1에 도시한 바와 같이, 기판(10) 상에, 표시부(1)와, 수평 스위치(HSW)(3)와, H 드라이버(4)와, V 드라이버(5)가 형성되어 있다. 수평 스위치(3) 및 H 드라이버(4)는, 드레인선을 구동(주사)하기 위해 설치되어 있음과 함께, V 드라이버(5)는 게이트선을 구동(주사)하기 위해 설치되어 있다. 또한, 드레인선은 본 발명의 「영상 신호선」의 일례이다.

또한, 표시부(1)에는, 화소부(2)가 매트릭스 형상으로 배치되어 있다. 또한, 도 1의 표시부(1)에는 1화소부의 구성을 나타내고 있다. 각 화소부(2)는, 다결정 실리콘으로 이루어지는 능동층(도시 생략)을 갖는 박막 트랜지스터(TFT)에 의해 구성되는 p채널 트랜지스터(2a), 화소 전극(2b), 화소 전극(2b)에 대향 배치된 각 화소부(2)에 공통의 대향 전극(2c), 화소 전극(2b)과 대향 전극(2c) 사이에 형성된 액정(2d), 및, 보조 용량(2e)을 포함하고 있다. 또한, p채널 트랜지스터(2a)는, 본 발명의 「p형의 제1 전계 효과형 트랜지스터」의 일례이다. 그리고, p채널 트랜지스터(2a)의 소스/드레인의 한쪽은 드레인선에 접속되어 있다. 또한, p채널 트랜지스터(2a)의 소스/드레인의 다른쪽은, 보조 용량(2e)의 한쪽 전극에 접속되어 있음과 함께, 액정(2d)을 사이에 두는 한쪽의 전극인 화소 전극(2b)에 접속되어 있다. 이 p채널 트랜지스터(2a)의 게이트는 게이트선에 접속되어 있다. 그리고, 화소 전극(2b)의 전위인 화소 전위(Pix)를 유지하는 동작의 기간에는, p채널 트랜지스터(2a)에, 소정의 제1 게이트-소스간 전압 V_{gs1} (예를 들면, 약 3V)과, 소정의 제1 드레인-소스간 전압 V_{ds1} (예를 들면, 약 -7V)로 이루어지는 제1 바이어스 전압이 인가된다.

또한, 기판(10)의 외부에, 신호 발생 회로(6a)와, 전원 회로(6b)와, 바이어스 인가 신호 발생 회로(6c)를 포함하는 구동 IC(6)가 설치되어 있다. 그리고, 신호 발생 회로(6a)에는, 스타트 신호 HST 및 VST와, 클럭 신호 HCLK 및 VCLK와, 인에이블 신호 ENB를 발생시키기 위한 회로가 설치되어 있다. 이에 의해, H 드라이버(4)에 스타트 신호 HST와 클럭 신호 HCLK가 공급됨과 함께, V 드라이버(5)에 스타트 신호 VST와 클럭 신호 VCLK와 인에이블 신호 ENB가 공급된다. 또한, 구동 IC(6)로부터는 영상 신호(Video 신호)가 공급된다.

또한, 전원 회로(6b)에는, 플러스측 전위 VDD(예를 들면, 약 8V)와, 마이너스측 전위 VSS(예를 들면, 약 -4V)를 발생시키기 위한 회로가 설치되어 있다. 이에 의해, H 드라이버(4)에 플러스측 전위 HVDD(VDD)와 마이너스측 전위 HVSS(VSS)가 공급됨과 함께, V 드라이버(5)에 플러스측 전위 VVDD(VDD)와 마이너스측 전위 VVSS(VSS)가 공급된다. 또한, 표시부(1)의 화소부(2)를 구성하는 액정(2d)을 사이에 두는 다른쪽의 전극인 대향 전극(COM 전극)(2c) 및 보조 용량(2c)의 다른쪽 전극(SC 전극)에, 플러스측 전위 VDD와 마이너스측 전위 VSS가 공급된다.

여기서, 제1 실시예에서는, 바이어스 인가 신호 발생 회로(6c)는, p채널 트랜지스터(2a)에, 상기한 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을 인가하기 위해 설치되어 있다. 이 제2 바이어스 전압은, 제1 게이트-소스간 전압 V_{gs1} 보다 높은 제2 게이트-소스간 전압 V_{gs2} 와, 제1 드레인-소스간 전압 V_{ds1} 보다 낮은 제2 드레인-소스간 전압 V_{ds2} 를 포함하고 있다. 구체적으로는, 이 바이어스 인가 신호 발생 회로(6c)는, 후술하는 제2 바이어스 전압의 인가 모드에서, 게이트선, 드레인선, COM 전극 및 SC 전극에 공급하는 타이밍 신호를 발생시킨다.

도 2는 도 1에 도시한 제1 실시예에 따른 액정 표시 장치의 화소부를 구성하는 p채널 트랜지스터에 제2 바이어스 전압이 인가될 때의 동작을 설명하기 위한 타이밍차트이다. 다음으로, 도 1 및 도 2를 참조하여, 제1 실시예에 따른 액정 표시 장치의 동작에 대하여 설명한다.

우선, 도 1을 참조하면, 제1 실시예에 따른 액정 표시 장치의 통상의 동작(통상 모드)으로서, p채널 트랜지스터(2a)가 온 상태로 됨과 함께, 드레인선에 소정의 영상 신호가 공급된다. 이에 의해, 그 영상 신호가 p채널 트랜지스터(2a)를 통해 화소 전극(2b)에 공급되기 때문에, 액정(2d)이 구동된다. 또한, 이 때, 영상 신호에 따른 전압이 보조 용량(2e)에 충전된다. 그 후, p채널 트랜지스터(2a)에, 소정의 제1 게이트-소스간 전압 V_{gs1} (예를 들면, 약 3V)과 소정의 제1 드레인-소스간 전압 V_{ds1} (예를 들면, 약 -7V)로 이루어지는 제1 바이어스 전압을 인가함으로써, p채널 트랜지스터(2a)를 오프 상태로 한다. 이 경우, 영상 신호에 따른 전압(화소 전위(Pix))은, 보조 용량(2e)에 의해 일정 기간 유지된다. 이에 의해, 액정(2d)에는, 일정 기간, 영상 신호에 따른 전압이 계속해서 공급된다.

다음으로, 제1 실시예에 따른 액정 표시 장치의 화소부(2)를 구성하는 p채널 트랜지스터(2a)에, 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을 인가하는 바이어스 인가 모드의 동작에 대하여 설명한다. 제1 실시예의 바이어스 인가 모

드에서는, 게이트선 및 드레인선의 전압을 일정한 전위로 유지한 상태에서, COM 전극 및 SC 전극의 전위를 소정의 전위 분 변화시킴으로써, p채널 트랜지스터(2a)에 제2 바이어스 전압을 인가한다. 구체적으로는, 우선, 게이트선에 공급되는 신호가 VDD(H 레벨)로부터 VSS(L 레벨)로 됨으로써, p채널 트랜지스터(2a)가 온 상태로 된다. 이 때, 드레인선에 공급되는 신호는, V1(예를 들면, 0V)로 유지됨과 함께, COM 전극 및 SC 전극에 공급되는 신호는 VDD로 유지된다. 이에 의해, p채널 트랜지스터(2a)를 통해 화소 전위(Pix)가 V1로 상승한다. 이 후, 게이트선에 공급되는 신호가 VDD(H 레벨)로 됨으로써 p채널 트랜지스터(2a)가 오프 상태로 되기 때문에, 보조 용량(2e)의 기능에 의해, 화소 전위(Pix)는 V1로 유지된다.

다음으로, 제1 실시예에서는, 바이어스 인가 신호 발생 회로(6c)에 의해, 전원 회로(6b)로부터 COM 전극 및 SC 전극에 공급되는 신호가 VDD로부터 VSS로 되도록 제어된다. 즉, 전원 회로(6b)로부터 COM 전극 및 SC 전극에 공급되는 신호는, $VDD - VSS = dV$ (약 12V)만큼 저하된다. 이에 의해, 화소 전위(Pix)도 dV만큼 저하되기 때문에, 화소 전위(Pix)는, $V1 - dV$ (=약 -12V)로 된다. 그 결과, 제2 게이트-소스간 전압 V_{gs2} 는, $VDD - V1$ (=약 8V)로 됨과 함께, 제2 드레인-소스간 전압 V_{ds2} 는, $V1 - dV - V1 = -dV$ (약 -12V)로 된다. 그리고, 이 제2 게이트-소스간 전압 $V_{gs2}(=VDD - V1)$ 및 제2 드레인-소스간 전압 $V_{ds2}(=-dV)$ 가, 상기한 제2 바이어스 전압으로서 p채널 트랜지스터(2a)에 인가된다.

이 때, V_{gs2} =약 8V 및 V_{ds2} =약 -12V의 높은 제2 바이어스 전압을 p채널 트랜지스터(2a)에 인가하면, p채널 트랜지스터(2a)의 누설 전류가 증가하기 때문에, 화소 전위(Pix)인 $V1 - dV$ 는, p채널 트랜지스터(2a)의 드레인-소스간의 누설 전류에 의해, V1을 향하여 상승하기 시작한다. 이 때문에, p채널 트랜지스터(2a)에 인가되는 제2 바이어스 중, 제2 드레인-소스간 전압 $V_{ds2}(=-dV)$ 가 작아진다. 이에 의해, 1회의 바이어스 인가 모드에서는, 제2 바이어스 전압을 충분한 기간, p채널 트랜지스터(2a)에 인가하는 것이 곤란하다. 따라서, 이 제1 실시예에서는, 상기한 p채널 트랜지스터(2a)에의 제2 바이어스 전압의 인가를 행하는 바이어스 인가 모드를, 약 3ms마다 5회 반복한다. 또한, 상기 제1 실시예에 따른 바이어스 인가 모드는, 액정 표시 장치의 전원을 투입할 때에 행한다.

제1 실시예에서는, 상기한 바와 같이, 액정 표시 장치의 전원을 투입할 때에, 화소 전위(Pix)를 유지하는 동작의 기간에 인가되는 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을, p채널 트랜지스터(2a)에 인가함으로써, p채널 트랜지스터(2a)의 드레인 근방의 트랩 준위가 소멸되거나, 또는, 트랩 준위에 캐리어(홀)가 포획되기 때문에, 트랩 준위를 통한 캐리어의 터널링 현상이 억제되는 것으로 생각된다. 이에 의해, p채널 트랜지스터(2a)의 누설 전류가 억제되기 때문에, 화소 전위(Pix)를 유지하는 동작의 기간에, 화소 전위(Pix)가 누설 전류에 의해 변동되는 것을 억제할 수 있다. 그 결과, 화소 전위(Pix)를 영상 신호에 따른 전위로 유지할 수 있기 때문에, 영상 신호에 따른 휘도로 정확하게 화상을 표시할 수 있다.

또한, 제1 실시예에서는, 제2 바이어스 전압인 제2 게이트-소스간 전압 V_{gs2} 를 제1 게이트-소스간 전압 V_{gs1} 보다 높게 함과 함께, 제2 바이어스 전압인 제2 드레인-소스간 전압 V_{ds2} 를 제1 드레인-소스간 전압 V_{ds1} 보다 낮게 함으로써, 용이하게, 제2 바이어스 전압의 절대값을 제1 바이어스 전압의 절대값보다 크게 할 수 있다. 이에 의해, 용이하게, p채널 트랜지스터(2a)에 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을 인가할 수 있다.

또한, 제1 실시예에서는, 바이어스 인가 신호 발생 회로(6c)에 의해, 전원 회로(6b)로부터 COM 전극 및 SC 전극에 공급되는 신호가 VDD로부터 VSS로 되도록 제어함으로써, 용이하게, 제2 바이어스 전압인 제2 드레인-소스간 전압 V_{ds2} 를 제1 드레인-소스간 전압 V_{ds1} 보다 낮게 할 수 있다.

또한, 제1 실시예의 바이어스 인가 모드에서는, 드레인선의 전위가 화소 전위(Pix)보다 높기 때문에, 드레인선으로부터 화소 전극(2b)을 향하여 흐르는 누설 전류를 저감할 수 있다.

또한, 제1 실시예에서는, p채널 트랜지스터(2a)에의 제2 바이어스 전압의 인가를 행하는 바이어스 인가 모드를, 약 3ms마다 5회 반복함으로써, 제2 바이어스 전압을 인가할 때에, 누설 전류에 의해 제2 바이어스 전압이 변동되었다고 해도, 누설 전류를 저감하는 데 충분한 시간, p채널 트랜지스터(2a)에 제2 바이어스 전압을 인가할 수 있다.

또한, 제1 실시예에서는, p채널 트랜지스터(2a)를, 다결정 실리콘으로 이루어지는 능동층을 포함하는 박막 트랜지스터(TFT)에 의해 구성함으로써, 다결정 실리콘으로 이루어지는 능동층을 포함하는 박막 트랜지스터는, 단결정 실리콘으로 이루어지는 능동층을 포함하는 트랜지스터에 비해 누설 전류가 많기 때문에, 특히 유효하게, p채널 트랜지스터(2a)의 누설 전류를 억제할 수 있다.

또한, 제1 실시예에서는, 바이어스 인가 모드 시에 드레인선에 공급되는 신호가, 통상의 L 레벨의 영상 신호(0V)와 동일한 레벨이기 때문에, 통상의 동작에 이용하는 신호 전압의 범위 내에서, 바이어스 인가 모드 시에 드레인선에 신호를 공급할 수 있다. 이에 의해, 용이하게, 바이어스 인가 모드 시에, 드레인선에 공급되는 신호를 생성할 수 있다.

다음으로, 상기한 제1 실시예에 따른 효과를 확인하기 위해 행한 비교 실험에 대하여 설명한다. 도 3은, 제1 실시예에 따른 제2 바이어스 전압이 인가된 p채널 트랜지스터의 I_{ds} - V_{gs} 특성도이고, 도 4는, 비교예로서의 제2 바이어스 전압이 인가되어 있지 않은 p채널 트랜지스터의 I_{ds} - V_{gs} 특성도이다. 도 3 및 도 4를 참조하면, 이 비교 실험에서는, 제1 실시예에 따른 제2 바이어스 전압이 인가된 p채널 트랜지스터 및 비교예로서의 제2 바이어스 전압이 인가되어 있지 않은 p채널 트랜지스터의 각각의 누설 전류를 측정하였다.

도 3 및 도 4에서의 파선으로 둘러싸인 영역(p채널 트랜지스터가 오프 상태인 영역)에서, 제2 바이어스 전압이 인가된 p채널 트랜지스터(도 3)는, 누설 전류가 실질적으로 흐르고 있지 않았던 것에 대하여, 제2 바이어스 전압이 인가되어 있지 않은 p채널 트랜지스터(도 4)는, 누설 전류가 흐르고 있었다. 이에 의해, 제2 바이어스 전압이 인가된 p채널 트랜지스터는, 제2 바이어스 전압이 인가되어 있지 않은 p채널 트랜지스터에 비해, 누설 전류가 저감되어 있는 것을 확인할 수 있었다.

(제2 실시예)

도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소부를 구성하는 p채널 트랜지스터에 제2 바이어스 전압이 인가될 때의 동작을 설명하기 위한 타이밍차트이다. 도 1 및 도 5를 참조하면, 이 제2 실시예의 바이어스 인가 모드에서는, 상기 제1 실시예와 달리, 게이트선과, COM 전극 및 SC 전극을 일정 전위로 유지한 상태에서, 드레인선의 전위를 소정의 전위분 변화시킴으로써, p채널 트랜지스터(2a)에 제2 바이어스 전압을 인가하는 경우에 대해 설명한다. 또한, 제2 실시예의 그 밖의 구성은, 상기 제1 실시예와 마찬가지로이다.

즉, 이 제2 실시예의 인가 모드에서는, 우선, 게이트선에 공급되는 신호가 VDD(H 레벨)로부터 VSS(L 레벨)로 됨으로써, p채널 트랜지스터(2a)가 온 상태로 된다. 이 때, 드레인선에 공급되는 신호는, V1(예를 들면, 0V)로 유지됨과 함께, COM 전극 및 SC 전극에 공급되는 신호는 일정한 전위로 유지된다. 이에 의해, p채널 트랜지스터(2a)를 통해 화소 전위(Pix)가 V1로 상승한다. 이 후, 게이트선에 공급되는 신호가 VDD(H 레벨)로 됨으로써 p채널 트랜지스터(2a)가 오프 상태로 되기 때문에, 보조 용량(2e)의 기능에 의해, 화소 전위(Pix)는 V1로 유지된다.

다음으로, 제2 실시예에서는, 드레인선에 공급되는 신호가 dV(예를 들면, 약 10V)만큼 저하되도록 제어된다. 이에 의해, 드레인선에 공급되는 신호는 $V1-dV$ (=약 -10V)로 된다. 그 결과, 제2 게이트-소스간 전압 V_{gs2} 는, $VDD-V1$ (=약 8V)로 됨과 함께, 제2 드레인-소스간 전압 V_{ds2} 는, $V1-dV-V1=-dV$ (약 -10V)로 된다. 그리고, 이 제2 게이트-소스간 전압 $V_{gs2}=VDD-V1$ 및 제2 드레인-소스간 전압 $V_{ds2}=-dV$ 가, 상기 제1 실시예와 마찬가지로, 제2 바이어스 전압으로서 p채널 트랜지스터(2a)에 인가된다. 또한, 제2 실시예에서는, 상기 제1 실시예와 마찬가지로, p채널 트랜지스터(2a)에의 제2 바이어스 전압의 인가를 행하는 바이어스 인가 모드를, 약 3ms마다 5회 반복한다. 또한, 제2 실시예에 따른 바이어스 인가 모드에서는, SC 전극에는, VDD나 VSS 등의 일정 전압이 공급되어 있다.

또한, 제2 실시예에 따른 바이어스 인가 모드에서는, 통상의 L 레벨의 영상 신호(0V)보다 낮은 전위를 갖는 신호(약 -10V)를 드레인선에 공급할 필요가 있다. 이 때문에, 제2 실시예에 따른 바이어스 인가 모드는, 드레인선에 통상 동작 범위의 전압 이외의 전압을 용이하게 인가하는 것이 가능한 액정 표시 장치의 출하 전에 행하는 것이 바람직하다.

제2 실시예에서는, 상기와 같이, 드레인선에 공급되는 신호가 dV만큼 저하되도록 제어함으로써, 용이하게, 제2 바이어스 전압인 제2 드레인-소스간 전압 V_{ds2} 를 제1 드레인-소스간 전압 V_{ds1} 보다 낮게 할 수 있다.

또한, 제2 실시예의 그 인가 모드에서는, 드레인선의 전위가 화소 전위(Pix)보다 낮기 때문에, 화소 전극(2b)으로부터 드레인선을 향하여 흐르는 누설 전류를 저감할 수 있다.

또한, 제2 실시예의 그 밖의 효과는, 상기 제1 실시예와 마찬가지로이다.

(제3 실시예)

도 6은 본 발명의 제3 실시예에 따른 유기 EL 표시 장치를 도시한 평면도이다. 도 6을 참조하면, 이 제3 실시예에서는, 본 발명을 유기 EL 표시 장치에 적용하는 경우에 대해 설명한다.

이 제3 실시예에 따른 유기 EL 표시 장치에서는, 도 6에 도시한 바와 같이, 기판(20) 상에, 표시부(21)가 형성되어 있다. 이 표시부(21)에는, 화소부(22)가 매트릭스 형상으로 배치되어 있다. 또한, 도 6의 표시부(21)에는, 1화소분의 구성을 나타내고 있다. 각 화소부(22)는, 다결정 실리콘으로 이루어지는 능동층(도시 생략)을 갖는 박막 트랜지스터(TFT)에 의해

구성되는 p채널 트랜지스터(22a, 22b)와, 보조 용량(22c)과, 양극(22d)과, 음극(22e)과, 양극(22d)과 음극(22e) 사이에 협지된 유기 EL 소자(22f)를 포함하고 있다. 또한, p채널 트랜지스터(22a)는, 본 발명의 「p형의 제1 전계 효과형 트랜지스터」의 일례이고, p채널 트랜지스터(22b)는, 본 발명의 「p형의 제2 전계 효과형 트랜지스터」의 일례이다. 또한, 유기 EL 소자(22f)는, 본 발명의 「발광 소자」의 일례이다. 그리고, p채널 트랜지스터(22a)의 소스/드레인의 한쪽은 드레인선에 접속되어 있다. 또한, p채널 트랜지스터(22a)의 소스/드레인의 다른쪽은, 보조 용량(22c)의 한쪽 전극에 접속되어 있음과 함께, p채널 트랜지스터(22b)의 게이트 전극에 접속되어 있다. 이 p채널 트랜지스터(22a)의 게이트는 게이트선에 접속되어 있다. 그리고, p채널 트랜지스터(22b)의 게이트 전극의 전위인 화소 전위(Pix)를 유지하는 동작의 기간에는, 상기 제1 실시예와 마찬가지로, p채널 트랜지스터(22a)에, 소정의 제1 게이트-소스간 전압 V_{gs1} (예를 들면, 약 3V)과, 소정의 제1 드레인-소스간 전압 V_{ds1} (예를 들면, 약 -7V)로 이루어지는 제1 바이어스 전압이 인가된다.

또한, 유기 EL 소자(22f)의 음극(22e)은, 한쪽의 전위 V_y 에 접속되어 있음과 함께, 양극(22d)은 p채널 트랜지스터(22b)의 소스/드레인의 한쪽에 접속되어 있다. p채널 트랜지스터(22b)의 소스/드레인의 다른쪽은 다른쪽 전위 V_x 에 접속되어 있다. 또한, 소정의 전위 V_y 는 본 발명의 「제1 전위」의 일례이고, 소정의 전위 V_x 는 본 발명의 「제2 전위」의 일례이다.

또한, 제3 실시예의 그 밖의 구성은, 상기 제1 실시예와 마찬가지로이다.

도 7은, 도 6에 도시한 제3 실시예에 따른 유기 EL 표시 장치의 화소부를 구성하는 p채널 트랜지스터에 제2 바이어스 전압이 인가될 때의 동작을 설명하기 위한 타이밍차트이다. 다음으로, 도 6 및 도 7을 참조하여, 제3 실시예에 따른 유기 EL 표시 장치의 동작에 대하여 설명한다.

우선, 도 6을 참조하면, 제3 실시예에 따른 유기 EL 표시 장치의 통상의 동작(통상 모드)으로서는, p채널 트랜지스터(22a)가 온 상태로 됨과 함께, 드레인선에 소정의 영상 신호가 공급된다. 그리고, 그 영상 신호가 p채널 트랜지스터(22a)를 통해 p채널 트랜지스터(22b)의 게이트 전극에 공급되기 때문에, p채널 트랜지스터(22b)가 온 상태로 된다. 이에 의해, 유기 EL 소자(22f)에 전류가 공급되기 때문에, 유기 EL 소자(22f)는, p채널 트랜지스터(22b)의 게이트 전극에 공급된 영상 신호에 따른 휘도로 발광한다. 또한, 이 때, 영상 신호에 따른 전압이 보조 용량(22c)에 충전된다. 그 후, p채널 트랜지스터(22a)에, 소정의 제1 게이트-소스간 전압 V_{gs1} (예를 들면, 약 3V)과 소정의 제1 드레인-소스간 전압 V_{ds1} (예를 들면, 약 -7V)로 이루어지는 제1 바이어스 전압을 인가함으로써, p채널 트랜지스터(22a)를 오프 상태로 한다. 이 경우, 영상 신호에 따른 전압(화소 전위(Pix))은, 보조 용량(22c)에 의해 일정 기간 유지된다. 이에 의해, p채널 트랜지스터(22b)의 게이트 전극에는, 영상 신호에 따른 전압이 계속해서 공급되기 때문에, 유기 EL 소자(22f)는 영상 신호에 따른 휘도로 일정 기간 발광한다.

다음으로, 제3 실시예에 따른 유기 EL 표시 장치의 화소부(22)를 구성하는 p채널 트랜지스터(22a)에, 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을 인가하는 바이어스 인가 모드의 동작에 대하여 설명한다. 이 제3 실시예의 바이어스 인가 모드에서는, 도 2에 도시한 제1 실시예의 바이어스 인가 모드와 마찬가지로의 동작이 행해진다. 즉, 게이트선 및 드레인선의 전압을 일정한 전위로 유지한 상태에서, SC 전극의 전위를 소정의 전위분 변화시킴으로써, p채널 트랜지스터(22a)에 제2 바이어스 전압을 인가한다. 이에 의해, 상기 제1 실시예와 마찬가지로, 제2 게이트-소스간 전압 V_{gs2} 는, $V_{DD}-V_1$ (=약 8V)로 됨과 함께, 제2 드레인-소스간 전압 V_{ds2} 는, $V_1-dV-V_1=-dV$ (약 -12V)로 된다. 또한, 상기한 p채널 트랜지스터(22a)에의 제2 바이어스 전압의 인가를 행하는 바이어스 인가 모드를, 약 3ms마다 5회 반복한다.

또한, 본 발명을 유기 EL 표시 장치에 적용하는 제3 실시예에서는, p채널 트랜지스터(22a)에 제2 바이어스 전압이 인가될 때에, 한쪽의 전위 V_y 및 다른쪽의 전위 V_x 가 실질적으로 동일한 전위로 되도록 제어한다.

제3 실시예에서는, 상기한 바와 같이 구성함으로써, 유기 EL 표시 장치에서도, 드레인선으로부터 p채널 트랜지스터(22a)의 게이트 전극을 향하여 흐르는 누설 전류를 억제할 수 있기 때문에, 영상 신호에 따른 휘도로 정확하게 화상을 표시할 수 있다.

또한, 제3 실시예에서는, p채널 트랜지스터(22a)에 제2 바이어스 전압이 인가될 때에, 한쪽의 전위 V_y 및 다른쪽의 전위 V_x 가 실질적으로 동일한 전위로 되도록 제어함으로써, p채널 트랜지스터(22b)를 통해 한쪽의 전위 V_y 와 다른쪽의 전위 V_x 사이에 전류가 흐르지 않기 때문에, p채널 트랜지스터(22b)가 용량으로서 기능하는 것을 방지할 수 있다. 이에 의해, p채널 트랜지스터(22a)에 제2 바이어스 전압이 인가될 때에, p채널 트랜지스터(22b)의 용량 성분에 기인하여, 화소 전위(Pix)가 변동되는 것을 억제할 수 있다. 또한, 유기 EL 소자(22f)에 전류가 공급되지 않기 때문에, 제2 바이어스 전압이 인가될 때에, 유기 EL 소자(22f)가 발광하는 것을 방지할 수 있다.

(제4 실시예)

도 8은 본 발명의 제4 실시예에 따른 유기 EL 표시 장치의 화소부를 구성하는 p채널 트랜지스터에 제2 바이어스 전압이 인가될 때의 동작을 설명하기 위한 타이밍차트이다. 도 6 및 도 8을 참조하면, 이 제4 실시예의 바이어스 인가 모드에서는, 상기 제3 실시예와 달리, 도 5에 도시한 제2 실시예의 바이어스 인가 모드와 마찬가지로의 동작이 행해진다. 즉, 게이트선 및 SC 전극을 일정한 전위로 유지한 상태에서, 드레인선의 전위를 소정의 전위분 변화시킴으로써, p채널 트랜지스터(22a)에 제2 바이어스 전압을 인가한다. 이에 의해, 상기 제2 실시예와 마찬가지로, 제2 게이트-소스간 전압 V_{gs2} 는, $V_{DD}-V_1$ (약 8V)로 됨과 함께, 제2 드레인-소스간 전압 V_{ds2} 는, $V_1-dV-V_1=-dV$ (약 -10V)로 된다. 또한, 상기한 p채널 트랜지스터(22a)에 제2 바이어스 전압의 인가를 행하는 바이어스 인가 모드를, 약 3ms마다 5회 반복한다. 또한, 제4 실시예에 따른 바이어스 인가 모드에서는, 상기 제2 실시예와 마찬가지로, SC 전극에는, VDD 또는 VSS 등의 일정한 전압이 공급되어 있다. 또한, 이 때, 상기 제3 실시예와 마찬가지로, 한쪽의 전위 V_y 및 다른쪽의 전위 V_x 가 실질적으로 동일한 전위로 되도록 제어한다.

제4 실시예에서는, 상기와 같이 구성함으로써, 유기 EL 표시 장치에서도, p채널 트랜지스터(22a)의 게이트 전극으로부터 드레인선을 향하여 흐르는 누설 전류를 억제할 수 있기 때문에, 영상 신호에 따른 휘도로 정확하게 화상을 표시할 수 있다.

또한, 제4 실시예의 그 밖의 효과는, 상기 제3 실시예와 마찬가지이다.

또한, 금회 개시된 실시예는, 모든 점에서 예시이며 제한적인 것은 아니라고 생각되어야 한다. 본 발명의 범위는, 상기한 실시예의 설명이 아니라 특허 청구 범위에 의해 도시되며, 또한 특허 청구 범위와 균등의 의미 및 범위 내에서의 모든 변경이 포함된다.

예를 들면, 상기 제1~제4 실시예에서는, 본 발명을 표시 장치에 적용하는 예를 설명하였지만, 본 발명은 이에 한정되지 않고, 다결정 실리콘으로 이루어지는 능동층을 포함하는 TFT로 이루어지는 p형의 전계 효과형 트랜지스터를 포함하는 반도체 장치의 누설 전류의 저감에도 적용 가능하다. 즉, 통상 동작 시의 오프 상태일 때에 게이트와 소스 사이 및 드레인과 소스 사이에 인가되는 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압을, 반도체 장치의 p형의 전계 효과형 트랜지스터에 인가함으로써, 상기 제1~제4 실시예와 마찬가지로, p형의 제1 전계 효과형 트랜지스터의 누설 전류를 억제할 수 있다.

또한, 상기 제1~제4 실시예에서는, 게이트선이나 COM 전극, SC 전극에 인가하는 신호의 전위로서, VDD 또는 VSS를 이용한 예를 설명하였지만, 본 발명은 이에 한정되지 않고, VDD나 VSS 이외의 전위를 이용해도 된다.

또한, 상기 제1~제4 실시예에서는, 본 발명을 액정 표시 장치 및 유기 EL 표시 장치에 적용하는 예를 설명하였지만, 본 발명은 이에 한정되지 않고, 액정 표시 장치 및 유기 EL 표시 장치 이외의 표시 장치에도 적용 가능하다. 예를 들면, 액정 표시 장치 및 유기 EL 표시 장치 이외의 표시 장치로서, 무기 EL 표시 장치 등이 있다.

또한, 상기 제1 및 제3 실시예에서는, 액정 표시 장치 및 유기 EL 표시 장치의 전원을 투입할 때에, 제2 바이어스 전압을 인가하도록 하였지만, 본 발명은 이에 한정되지 않고, 장치의 출하 전에, 제2 바이어스 전압을 인가하도록 해도 된다.

또한, 상기 제1 및 제3 실시예에서는, 바이어스 인가 신호 발생 회로(6a)를 이용하여, 화소 전위(Pix)를 제어하도록 하였지만, 본 발명은 이에 한정되지 않고, 바이어스 인가 신호 발생 회로 이외의 다른 제어 수단을 이용하여, 화소 전위를 제어하도록 해도 된다.

발명의 효과

본 발명에 따르면, 영상 신호에 따른 휘도로 정확하게 화상을 표시하는 것이 가능한 표시 장치를 제공할 수 있다. 또한, 누설 전류를 억제하는 것이 가능한 반도체 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

게이트선과,

상기 게이트선에 교차하도록 배치된 영상 신호선과,

게이트가 상기 게이트선에 접속됨과 함께, 소스/드레인의 한쪽이 상기 영상 신호선에 접속되며, 또한, 화소 전위를 유지하는 동작의 기간에 제1 바이어스 전압이 인가되는 p형의 제1 전계 효과형 트랜지스터와, 상기 p형의 제1 전계 효과형 트랜지스터의 소스/드레인의 다른쪽에 접속된 화소 전극을 포함하는 화소부를 구비하고,

상기 화소부의 p형의 제1 전계 효과형 트랜지스터에는, 상기 화소 전위를 유지하는 동작의 기간 이외의 소정의 기간에, 상기 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압이 인가되는 것을 특징으로 하는 표시 장치.

청구항 2.

제1항에 있어서,

상기 제1 바이어스 전압은, 제1 게이트-소스간 전압과, 제1 드레인-소스간 전압을 포함하고,

상기 제2 바이어스 전압은, 상기 제1 게이트-소스간 전압보다 높은 제2 게이트-소스간 전압과, 상기 제1 드레인-소스간 전압보다 낮은 제2 드레인-소스간 전압을 포함하는 것을 특징으로 하는 표시 장치.

청구항 3.

제2항에 있어서,

상기 제2 바이어스 전압이 인가될 때에는, 상기 게이트선과 상기 영상 신호선과의 전위차가 상기 제2 게이트-소스간 전압으로 되도록, 상기 게이트선 및 상기 영상 신호선의 전위가 각각 소정의 전위로 설정됨과 함께, 상기 영상 신호선과 상기 화소 전극과의 전위차가 상기 제2 드레인-소스간 전압으로 되도록, 상기 화소 전극의 전위가 제어되는 것을 특징으로 하는 표시 장치.

청구항 4.

제2항에 있어서,

상기 제2 바이어스 전압이 인가될 때에는, 상기 게이트선과 상기 화소 전극과의 전위차가 상기 제2 게이트-소스간 전압으로 되도록, 상기 게이트선 및 상기 화소 전극의 전위가 소정의 전위로 설정됨과 함께, 상기 화소 전극과 상기 영상 신호선과의 전위차가 상기 제2 드레인-소스간 전압으로 되도록, 상기 영상 신호선의 전위가 제어되는 것을 특징으로 하는 표시 장치.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제2 바이어스 전압은, 상기 p형의 제1 전계 효과형 트랜지스터에 복수회 인가되는 것을 특징으로 하는 표시 장치.

청구항 6.

제1항에 있어서,

상기 p형의 제1 전계 효과형 트랜지스터는, 다결정 실리콘으로 이루어지는 능동층을 포함하는 박막 트랜지스터인 것을 특징으로 하는 표시 장치.

청구항 7.

제1항에 있어서,

상기 화소부는 액정을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 8.

제1항에 있어서,

상기 화소부는, 유기 재료 또는 무기 재료로 이루어지는 발광 소자를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 9.

제8항에 있어서,

상기 발광 소자는, 제1 전위에 접속된 한쪽 전극과, 다른쪽 전극을 포함하고,

상기 화소부는, 게이트가 상기 화소 전극에 접속되며, 한쪽의 소스/드레인이 상기 발광 소자의 다른쪽 전극에 접속되고, 다른쪽의 소스/드레인이 제2 전위에 접속된 p형의 제2 전계 효과형 트랜지스터를 더 포함하고,

상기 p형의 제1 전계 효과형 트랜지스터에 상기 제2 바이어스 전압이 인가될 때에는, 상기 p형의 제2 전계 효과형 트랜지스터에 전류가 흐르지 않도록 상기 제1 전위와 제2 전위를 제어하는 것을 특징으로 하는 표시 장치.

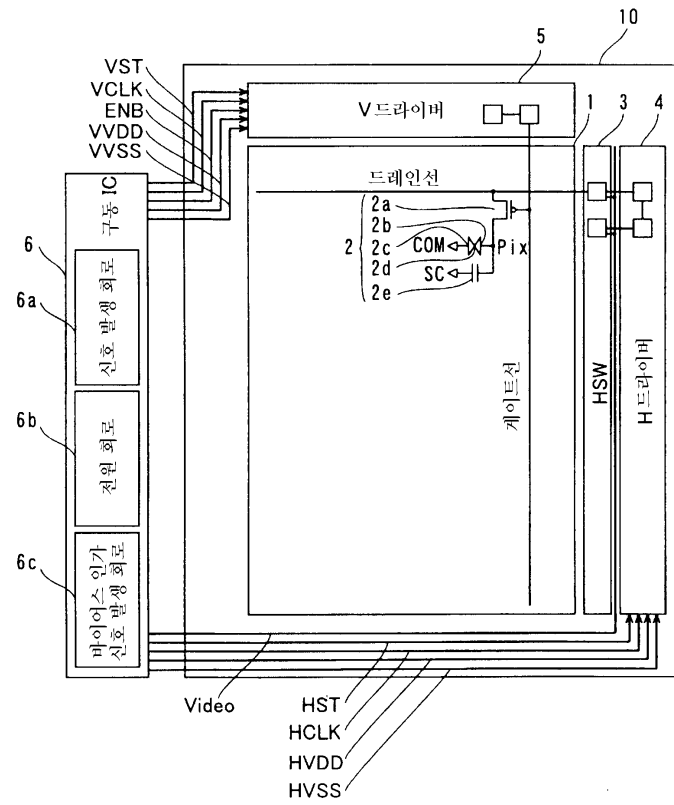
청구항 10.

게이트와 소스와 드레인을 가짐과 함께, 통상 동작 시의 오프 상태일 때에 상기 게이트와 상기 소스 사이 및 상기 드레인과 상기 소스 사이에 제1 바이어스 전압이 인가되는 다결정 실리콘으로 이루어지는 능동층을 포함하는 p형의 전계 효과형 트랜지스터를 구비하고,

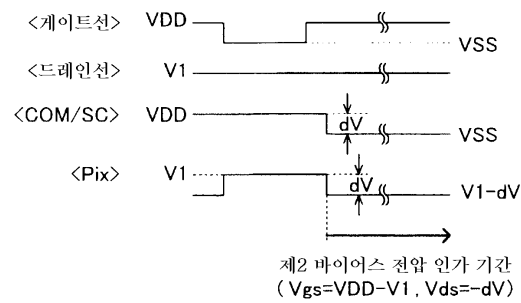
상기 p형의 전계 효과형 트랜지스터에는, 상기 통상 동작 시 이외의 기간에, 상기 제1 바이어스 전압보다 절대값이 큰 제2 바이어스 전압이 인가되는 것을 특징으로 하는 반도체 장치.

도면

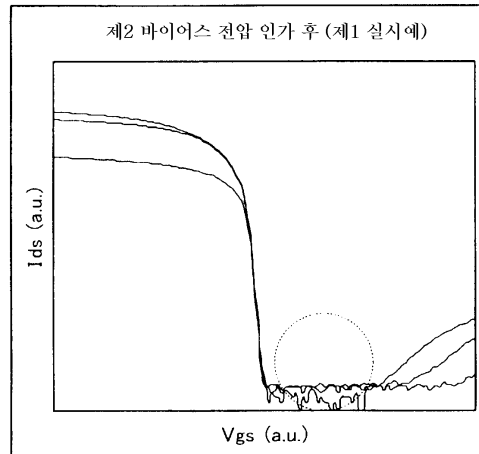
도면1



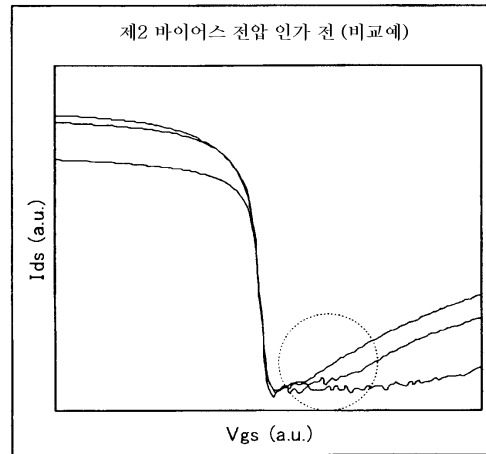
도면2



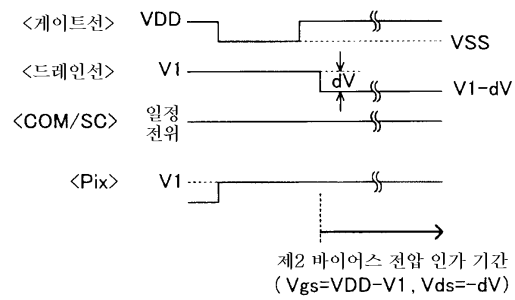
도면3



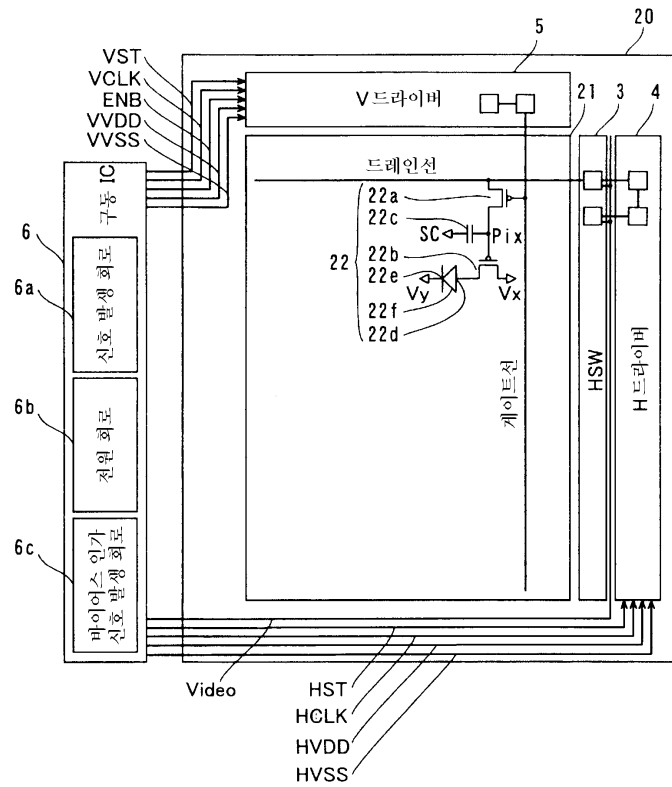
도면4



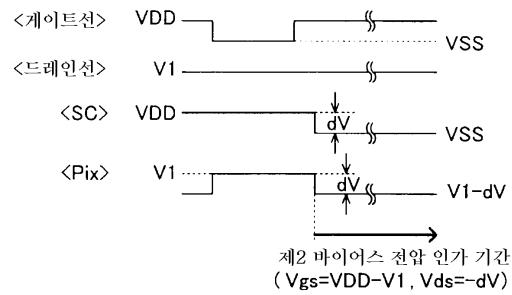
도면5



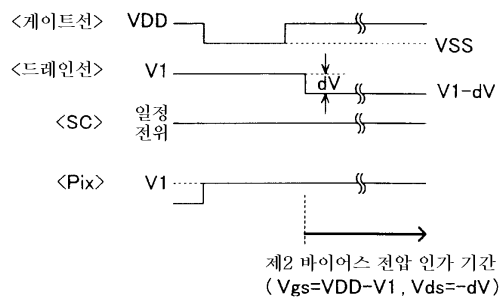
도면6



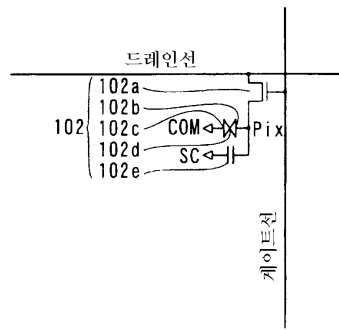
도면7



도면8



도면9



专利名称(译)	显示装置和半导体装置		
公开(公告)号	KR100608190B1	公开(公告)日	2006-08-08
申请号	KR1020040049596	申请日	2004-06-29
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	SENDA MICHIRU		
发明人	SENDA,MICHIRU		
IPC分类号	G02F1/133 G09G3/20 G09G3/30 G09G3/32 G09G3/36 H01L51/50		
CPC分类号	G09G3/32 G09G3/3648 G09G3/20 G09G2310/0275		
代理人(译)	LEE , JUNG HEE CHANG, SOO KIL		
优先权	2003186413 2003-06-30 JP		
其他公开文献	KR1020050002626A		
外部链接	Espacenet		

摘要(译)

提供一种能够精确地显示具有与视频信号对应的亮度的图像的显示装置。该显示装置具有栅极线，布置成与栅极线交叉的漏极线，连接到栅极线的栅极，连接到漏极线的源极和漏极中的一个，以及维持像素电位的操作 (Pix) 在p沟道周期期间施加第一偏压的p沟道晶体管2a，并且包括连接到晶体管2a的源极和漏极的另一侧的像素电极和像素部分2的p沟道晶体管2a的像素部分2被提供有液晶显示器的电源。并且施加具有大于第一偏压的绝对值的第二偏压。 1 指数方面 场效应晶体管，偏置电压，像素电极，栅极线，视频信号线，电位

