



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0030557
(43) 공개일자 2009년03월25일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2007-0095939

(22) 출원일자 2007년09월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박대립

경북 칠곡군 석적면 중리 141번지 3공단 부영아파트 113동 808호

박성일

대구 북구 동천동 화성센트럴파크아파트 205동 805호

(74) 대리인

김용인, 박영복

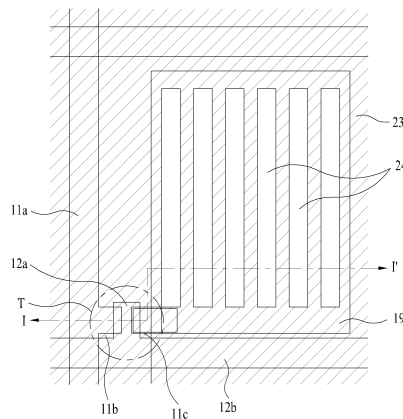
전체 청구항 수 : 총 4 항

(54) 액정표시장치의 제조방법

(57) 요약

본 발명은 액정표시장치의 제조방법에 관한 것으로, 본 발명에 따른 액정표시장치의 제조방법은 기판 상에 제1 마스크를 이용한 공정을 통해 게이트 전극, 게이트 패드, 게이트라인을 형성하는 단계와, 상기 게이트 전극 및 게이트 패드가 형성된 기판 상에 게이트 절연막, 액티브층, 오믹콘택층, 도전층을 순차적으로 형성한 후, 제2 마스크를 이용한 공정을 통해 액티브패턴, 오믹콘택패턴, 소스/드레인전극, 데이터라인 및 데이터 패드를 형성하는 단계와, 제3 마스크를 이용한 공정을 통해 상기 드레인전극과 오버랩되는 화소전극을 형성하는 단계와, 상기 소스/드레인전극을 식각 마스크로 상기 오믹콘택패턴을 식각하여 상기 액티브 패턴을 노출시키는 단계와, 상기 액티브 패턴이 노출된 기판 상에 보호막을 형성한 후, 제4 마스크를 이용한 공정을 통해 상기 게이트 패드 및 데이터 패드를 노출하는 제1 및 제2 콘택홀을 각각 형성하는 단계와, 상기 제1 및 제2 콘택홀이 형성된 기판 상에 제5 마스크를 이용한 공정을 통해 복수 개의 홀이 구비된 공통전극을 형성하는 단계를 포함한다.

대표도 - 도2a



특허청구의 범위

청구항 1

기관 상에 제1 마스크를 이용한 공정을 통해 게이트 전극, 게이트 패드, 게이트라인을 형성하는 단계와,

상기 게이트 전극 및 게이트 패드가 형성된 기관 상에 게이트 절연막, 액티브층, 오믹콘택층, 도전층을 순차적으로 형성한 후, 제2 마스크를 이용한 공정을 통해 액티브패턴, 오믹콘택패턴, 소스/드레인전극, 데이터라인 및 데이터 패드를 형성하는 단계와,

제3 마스크를 이용한 공정을 통해 상기 드레인전극과 오버랩되는 화소전극을 형성하는 단계와,

상기 소스 드레인전극을 식각 마스크로 상기 오믹콘택패턴을 식각하여 상기 액티브 패턴을 노출시키는 단계와,

상기 액티브 패턴이 노출된 기관 상에 보호막을 형성한 후, 제4 마스크를 이용한 공정을 통해 상기 게이트 패드 및 데이터 패드를 노출하는 제1 및 제2 콘택홀을 각각 형성하는 단계와,

상기 제1 및 제2 콘택홀이 형성된 기관 상에 제5 마스크를 이용한 공정을 통해 복수 개의 홀이 구비된 공통전극을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2

제1 항에 있어서,

상기 제2 마스크를 이용한 공정을 통해 액티브패턴, 오믹콘택패턴, 소스/드레인전극 데이터라인 및 데이터 패드를 형성하는 단계는

상기 도전층 상에 포토레지스트를 형성한 후, 회절 노광마스크인 상기 제2 마스크를 이용한 사진 식각공정을 수행하여, 제1 포토레지스트 패턴을 형성하되, 상기 제1 포토레지스트 패턴은 상기 게이트 전극과 대응되는 영역에는 제1 두께의 제1 포토레지스트 패턴을, 소스/드레인전극이 형성될 영역에 대응되는 영역에는 상기 제1 두께보다 두꺼운 제2 두께의 제1 포토레지스트 패턴을 갖도록 하는 단계와,

상기 제1 포토레지스트 패턴을 식각 마스크로 식각하여 액티브 패턴, 오믹콘택패턴, 도전패턴, 데이터라인 및 데이터 패드를 형성하는 단계와,

상기 도전패턴이 노출되도록 상기 제1 두께의 제1 포토레지스트 패턴을 에칭하여 제2 포토레지스트 패턴을 형성하는 단계와,

상기 제2 포토레지스트 패턴을 식각 마스크로 상기 도전패턴을 패터닝하여 소스/드레인전극을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 3

제1 항에 있어서, 상기 공통전극은

상기 데이터라인 및 게이트 라인으로 정의되는 복수 개의 화소영역을 덮도록 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제1 항에 있어서, 상기 공통전극에 형성된 복수 개의 홀은

상기 화소전극이 형성된 영역에만 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정표시장치의 제조방법에 관한 것으로, 특히 프린지 필드 스위칭 모드 액정표시장치의 제조방법에 관한 것이다.

배경 기술

- <2> 일반적인 IPS모드 액정표시장치의 낮은 개구율 및 투과율을 개선하기 위해서 고개구율 및 고투과율 액정표시장치인 프린지 필드 스위칭 모드(Fringe Field Switching mode) 액정표시장치가 제안되었다.
- <3> 도 1은 종래 기술에 따른 프린지 필드 스위칭 모드 액정표시장치의 하부기판을 개략적으로 도시한 단면도이다.
- <4> 종래 기술에 따른 프린지 필드 스위칭 모드 액정표시장치의 하부기판은, 도 1에 도시된 바와 같이, 절연기판(1)상에 형성된 게이트전극, 반도체층, 소스전극 및 드레인전극을 구비한 박막 트랜지스터(TFT: 미도시)와, 상기 박막 트랜지스터의 드레인전극(미도시)과 연결된 투명물질의 화소전극(3)과, 상기 박막 트랜지스터와 화소전극(3) 상에 형성된 보호막(5)과, 상기 보호막(5) 상에 상기 화소전극(3)과 오버랩되도록 형성된 투명물질인 공통전극(7)이 구비된다.
- <5> 여기서, 하부기판(1)과 대향되는 상부기판(도시되지 않음)은 액정층(도시되지 않음)을 사이에 두고 일정 간격 이격되어 있다. 한편, 상기 하부기판(1)과 상부 기판(도시되지 않음)의 간격인 셀 갭(cell gap)은 상기 공통전극(7)과 화소전극(3)간의 간격보다 넓게 형성되므로 상기 두 전극 간에 포물선 형태의 프린지 필드가 형성된다.
- <6> 한편, 이와 같은 프린지 필드 스위칭 모드 액정표시장치는 제조공정상 박막트랜지스터 형성을 위해 6개의 마스크를 이용한 공정(즉, 게이트 전극 형성을 위한 마스크 공정, 반도체층 형성을 위한 마스크공정, 소스/드레인전극 형성을 위한 마스크 공정, 보호막 패터닝을 위한 마스크 공정, 공통전극 형성을 위한 마스크를 이용한 공정, 화소전극 형성을 위한 마스크를 이용한 공정)이 각각 수행되므로, 마스크를 이용한 공정을 줄일 수 있는 프린지 필드 스위칭 모드 액정표시장치의 제조방법이 요구되고 있다.

발명의 내용

해결 하고자하는 과제

- <7> 상기와 같은 문제점을 해결하기 위하여, 본 발명은 마스크 공정을 줄일 수 있는 액정표시장치의 제조방법을 제 공함에 있다.

과제 해결수단

- <8> 상기와 같은 과제를 달성하기 위한 본 발명의 실시 예에 따른 액정표시장치의 제조방법은 기판 상에 제1 마스크를 이용한 공정을 통해 게이트 전극, 게이트 패드, 게이트라인을 형성하는 단계와, 상기 게이트 전극 및 게이트 패드가 형성된 기판 상에 게이트 절연막, 액티브층, 오믹콘택층, 도전층을 순차적으로 형성한 후, 제2 마스크를 이용한 공정을 통해 액티브패턴, 오믹콘택패턴, 소스/드레인전극, 데이터라인 및 데이터 패드를 형성하는 단계와, 제3 마스크를 이용한 공정을 통해 상기 드레인전극과 오버랩되는 화소전극을 형성하는 단계와, 상기 소스/드레인전극을 식각 마스크로 상기 오믹콘택패턴을 식각하여 상기 액티브 패턴을 노출시키는 단계와, 상기 액티브 패턴이 노출된 기판 상에 보호막을 형성한 후, 제4 마스크를 이용한 공정을 통해 상기 게이트 패드 및 데이터 패드를 노출하는 제1 및 제2 콘택홀을 각각 형성하는 단계와, 상기 제1 및 제2 콘택홀이 형성된 기판 상에 제5 마스크를 이용한 공정을 통해 복수 개의 홀이 구비된 공통전극을 형성하는 단계를 포함한다.
- <9> 상기 제2 마스크를 이용한 공정을 통해 액티브패턴, 오믹콘택패턴, 소스/드레인전극 데이터라인 및 데이터 패드를 형성하는 단계는 상기 도전층 상에 포토레지스트를 형성한 후, 회절 노광마스크인 상기 제2 마스크를 이용한 사진 식각공정을 수행하여, 제1 포토레지스트 패턴을 형성하되, 상기 제1 포토레지스트 패턴은 상기 게이트 전극과 대응되는 영역에는 제1 두께의 제1 포토레지스트 패턴을, 소스/드레인전극이 형성될 영역에 대응되는 영역에는 상기 제1 두께보다 두꺼운 제2 두께의 제1 포토레지스트 패턴을 갖도록 하는 단계와, 상기 제1 포토레지스트 패턴을 식각 마스크로 식각하여 액티브 패턴, 오믹콘택패턴, 도전패턴, 데이터라인 및 데이터 패드를 형성하는 단계와, 상기 도전패턴이 노출되도록 상기 제1 두께의 제1 포토레지스트 패턴을 에칭하여 제2 포토레지스트 패턴을 형성하는 단계와, 상기 제2 포토레지스트 패턴을 식각 마스크로 상기 도전패턴을 패터닝하여 소스/드레인전극을 형성하는 단계를 포함한다.
- <10> 상기 공통전극은 상기 데이터라인 및 게이트 라인으로 정의되는 복수 개의 화소영역을 덮도록 형성되고, 상기 공통전극에 형성된 복수 개의 홀은 상기 화소전극이 형성된 영역에만 형성된다.

효 과

- <11> 본 발명에 따른 액정표시장치의 제조방법은 총 5장의 마스크를 이용하여 공정을 수행함으로써 종래의 마스크수 보다 하나의 마스크를 생략함으로써 제조공정을 단순화할 수 있는 효과가 있다.
- <12> 또한, 본 발명에 따른 액정표시장치의 제조방법은 소스/드레인전극을 형성하고 제2 포토레지스트 패턴제거공정, 화소전극 증착 및 패터닝공정을 수행한 후, 제2 오믹콘택패턴을 형성함으로써, 소스/드레인전극 이후의 공정들로부터 액티브 패턴을 보호하게 되어 액티브패턴의 막질오염을 방지하여 박막 트랜지스터의 특성저하를 방지할 수 있는 효과가 있다.
- <13> 또한, 본 발명에 따른 액정표시장치의 제조방법은 복수 개의 화소영역을 덮도록 형성된 공통전극을 형성함으로써, 데이터 라인에 흐르는 신호가 수평전계에 영향을 주지 못하게 되어, 얼룩불량이 방지된 고품질의 액정표시장치를 제작할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <14> 이하, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.
- <15> 도 2a는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치의 평면도를 도시한 도면이고, 도 2b는 도 2a의 I-I'선상의 단면도로서, 이를 참조로 설명하면 다음과 같다.
- <16> 도 2a 및 도 2b에 도시된 바와 같이, 기판은 게이트 배선(12b)과 데이터배선(11a)이 교차하여 구성되며, 상기 게이트 배선(12b)과 데이터 배선(11a)이 교차하는 지점에는 스위칭 소자인 박막 트랜지스터(T)가 배치되고, 게이트 배선(12b)과 데이터 배선(11a) 사이에는 게이트 절연막(14)이 형성된다.
- <17> 상기 박막 트랜지스터(T)는 게이트 배선(12b)로부터 분기된 게이트 전극(12a)과, 게이트 전극(12a)과 오버랩되는 박막 트랜지스터의 채널층인 액티브패턴(16) 및 오믹콘택패턴(18)과, 액티브패턴(16) 및 오믹콘택패턴(18) 상에 형성되며, 상기 데이터 배선(11a)에서 분기된 소스 전극(11b)과, 소스 전극(11b)과 마주보는 드레인 전극(11c)을 포함한다.
- <18> 상기 게이트 배선(12b)과 데이터 배선(11a)이 교차하여 정의되는 화소영역 상에는 플레이트 형상의 화소전극(19)이 형성되고, 이 화소전극(19)은 보호막을 관통하는 콘택홀없이 드레인 전극(11c)에 오버랩되어 드레인전극(11c)과 직접 접촉한다.
- <19> 상기 박막 트랜지스터(T) 및 화소전극(19) 상에는 보호막(21)이 형성된다.
- <20> 상기 보호막(21)상에는 공통전극(23)이 형성되고, 이 공통전극(23)은 박막 트랜지스터(T)가 어레이로 형성되는 하부기판(10)에 정의된 복수 개의 화소영역을 덮도록 형성되며, 화소전극(19)과 오버랩되는 영역에 복수 개의 홀(24)이 형성된다.
- <21> 또한, 상기 화소전극(19)과 공통전극(23)은 투명물질인 ITO(Indium tin oxide)로 형성되고, 보호막(21)을 사이에 두고 형성되므로 셀갭 즉, 상하기판간의 거리보다 좁게 형성되어 두 전극들 상부에 포물선 형태의 프린지 필드가 형성된다.
- <22> 상기와 같은 프린지 필드 스위칭 모드 액정표시장치의 제조방법을 이하 도 3a 내지 도 3h를 참조하여 설명한다.
- <23> 도 3a 내지 도 3h는 도 2a의 I-I'선상의 단면도를 본 발명의 공정순서에 따라 도시한 공정순서도가 개시되고, (도 2a의 평면도에는 도시되지 않았지만) 게이트 패드부(Gate pad) 및 데이터 패드부(Data pad)에 대한 단면도를 본 발명의 공정순서에 따라 도시한 공정순서도 또한 개시된다.
- <24> 도 3a에 도시된 바와 같이, 절연 기판(10) 상에 게이트라인(미도시), 게이트 전극(12a), 게이트 패드(12c)이 형성된다. 게이트라인(미도시), 게이트 전극(12a), 게이트 패드(12c)는 절연 기판(10) 상에 스퍼터링 방법등의 증착방법을 통해 제1 도전층을 형성한 후 제1 마스크를 이용한 사진 식각공정으로 패터닝함으로써 형성된다.
- <25> 이어, 도 3b에 도시된 바와 같이, 게이트 전극(12a)이 형성된 절연기판(10) 상에 게이트 절연막(14), 액티브층, 오믹콘택층 및 제2 도전층을 순차적으로 형성하고, 상기 제2 도전층 상에 제1 포토레지스트 패턴(110)을 형성한 후 이를 통해 액티브패턴(16), 제1 오믹콘택패턴(18a), 제2 도전패턴(11d) 및 액티브패턴(16: 오믹콘택패턴(미도시))과 적층된 데이터 패드(11e)이 형성된다. 제1 포토레지스트 패턴(110)은 제2 도전층 상에 포토레지스트를 형성한 후, 제2 마스크를 이용한 사진공정으로 형성된다. 여기서 제2 마스크(미도시)는 광을 모두 통과시키는

투과영역과, 광의 일부분은 투과시키고 일부분은 차단시키는 복수의 슬릿으로 이루어진 회절노광 영역과, 광을 차단시키는 차단영역을 포함하는 회절 노광마스크를 사용한다. 이때, 회절 노광영역은 상기 게이트 전극(12a)와 대응되도록 배치되고, 차단영역은 소스/드레인전극이 형성될 영역에 배치된다. 또한, 회절 노광영역에 형성된 제1 포토레지스트 패턴의 두께(M2)는 차단영역에 형성된 제1 포토레지스트 패턴의 두께(M1)보다 낮은 두께가 형성된다. 이와 같이 형성된 제1 포토레지스트 패턴(110)을 식각 마스크로 제1 포토레지스트 패턴(110) 하부에 형성된 막들을 패터닝하여, 액티브패턴(16), 제1 오믹콘택패턴(18a), 제2 도전패턴(11d) 및 액티브패턴(16: 오믹 콘택패턴(미도시))과 적층된 데이터 패드(11e)를 형성한다.

- <26> 계속하여, 도 3c에 도시된 바와 같이, 절연기판(10)상에 제2 포토레지스트 패턴(111)이 형성된다. 상기 제2 포토레지스트 패턴(111)은 제2 도전패턴(11d)이 노출되도록 상기 제1 포토레지스트 패턴(110)에 에싱공정을 수행함으로써 형성한다.
- <27> 이어, 도 3d에 도시된 바와 같이, 절연기판(10)상에 소스/드레인전극(11b, 11c), 데이터라인(미도시)이 형성된다. 소스/드레인전극(11b, 11c) 및 데이터라인(미도시)은 제2 포토레지스트 패턴(111)을 식각 마스크로 제2 도전패턴(11d)를 패터닝함으로써 형성한다. 이어, 에싱공정을 통해 제2 포토레지스트 패턴(111)을 제거한다.
- <28> 다음으로, 도 3e에 도시된 바와 같이, 상기 절연기판(10)상에 화소전극(19)을 형성한다. 화소전극(19)은 절연기판(10) 전면에 스퍼터링 방법등의 증착방법을 통해 투명물질을 형성한 후, 제3 마스크를 이용한 사진 식각공정으로 패터닝함으로써 형성된다. 이때, 화소전극(19)은 드레인전극(11c)와 오버랩되어 드레인전극(11c)과 직접 접촉한다.
- <29> 이어, 도 3f에 도시된 바와 같이, 상기 절연기판(10) 상에 제2 오믹콘택패턴(18)을 형성하여 액티브패턴(16)에 채널을 형성한다.
- <30> 제2 오믹콘택패턴(18)은 소스/드레인전극(11b, 11c)을 식각 마스크로 이용하여 제1 오믹콘택패턴(18a)을 건식식각함으로써 형성되고, 제2 오믹콘택패턴(18)이 형성됨으로써 노출된 액티브패턴(16)에 채널이 형성된다. 이때, 제2 오믹콘택패턴(18)의 형성공정은 보호막(도 3g의 21)형성공정 바로 전단계에서 수행하여, 소스/드레인전극(11b, 11c) 이후의 공정들로부터 액티브 패턴(16)을 보호한다. 다시 말해, 소스/드레인전극(11b, 11c)을 형성한 후 연이어 제2 오믹콘택패턴(18)의 형성공정을 수행할 경우, 액티브 패턴(16)이 노출된 상태에서 제2 포토레지스트 패턴제거공정, 화소전극 증착 및 패터닝공정들이 수행되기 때문에 액티브패턴(16)의 막질오염이 발생하여 박막트랜지스터의 특성이 저하될 수 있다. 따라서, 소스/드레인전극(11b, 11c)을 형성한 후 제1 오믹콘택패턴(18a)을 연이어 식각하지 않고, 제2 포토레지스트 패턴제거공정, 화소전극 증착 및 패터닝공정을 수행한 후, 제2 오믹콘택패턴(18)을 형성하면, 소스/드레인전극(11b, 11c) 이후의 공정들로부터 액티브 패턴(16)을 보호하게 되어 액티브패턴(16)의 막질오염을 방지하여 박막 트랜지스터의 특성저하를 방지할 수 있다.
- <31> 다음으로, 도 3g에 도시된 바와 같이, 상기 절연기판(10) 상에 제1 및 제2 콘택홀(113a, 113b)이 형성된 제2 절연막인 보호막(21)이 형성된다.
- <32> 제1 콘택홀 및 제2 콘택홀(113a, 113b)이 구비된 보호막(21)은 절연기판(10) 상에 보호막을 증착한 후 제4 마스크를 이용한 사진 식각공정으로 패터닝함으로써 형성된다. 이때, 상기 제1 콘택홀(113a)은 게이트 패드(12c)를 노출하기 위해 게이트 절연막(14) 및 보호막(21)을 패터닝하여 형성하고, 상기 제2 콘택홀(113b)은 데이터 패드(11e)를 노출하기 위해 보호막(21)을 패터닝하여 형성한다.
- <33> 이어, 도 3h에 도시된 바와 같이, 절연 기판(10) 상에 복수 개의 홀(24)이 구비된 공통전극(23a), 제1 투명도전층(23b) 및 제2 투명도전층(23c)이 형성된다.
- <34> 복수 개의 홀(24)이 구비된 공통전극(23), 제1 투명도전층(23b) 및 제2 투명도전층(23c)은 보호막(21)이 형성된 절연 기판(10) 상에 투명 재질의 도전층을 증착한 후 제5 마스크를 이용한 사진 식각공정으로 패터닝함으로써 형성된다.
- <35> 상기 제1 투명 도전층(23b)는 제1 콘택홀(113a)을 통해 노출된 게이트 패드(12c)와 접촉하고, 상기 제2 투명 도전층(23c)는 제2 콘택홀(113b)을 통해 노출된 데이터 패드(11e)와 접촉한다.
- <36> 상기 공통전극(23)은 하부기판(10)에 정의된 복수 개의 화소영역을 덮도록 형성되며, 공통전극의 복수 개의 홀(24)은 화소전극(19)이 형성된 영역에만 형성되도록 한다.
- <37> 이때, 복수 개의 화소영역을 덮도록 형성된 공통전극(23)으로 인해, 데이터라인(11a)에 흐르는 신호가 수평전계(즉 화소전극과 공통전극간에 형성되는 전계)에 영향을 미치지 못하게 되어, 얼룩불량이 발생하지 않는 고화질

의 액정표시장치를 제작할 수 있게 된다.

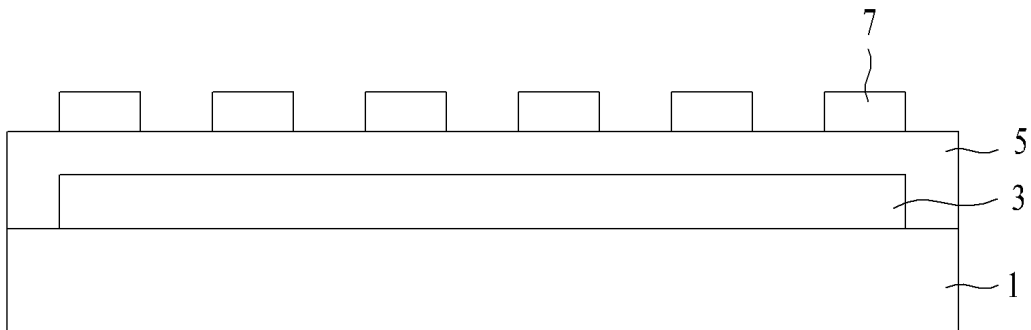
- <38> 다시 말해, 본 발명의 공통전극과 달리, 화소영역 별로 패터닝되어 화소영역의 경계부위에 공통전극의 끝단이 위치하게 되면, 데이터라인에 흐르는 신호가 수평전계에 영향을 미치게 되는 데, 이와 같이 수평 전계가 왜곡된 부분에 위치하는 액정은 화소 영역의 중심영역에 위치한 액정에 비해 액정의 배열특성이 달라지게 되고 이 부분을 투과하는 빛의 투과율이 달라져 이는 얼룩으로 관찰된다. 이와 같은 이러한 얼룩 불량에 의해 액정표시장치의 화질이 저하되는 문제가 있다. 그러나, 본 발명에 따른 복수 개의 화소영역을 덮도록 형성된 공통전극(23)을 형성하게 되면, 데이터 라인(11a)에 흐르는 신호가 수평전계에 영향을 주지 못하게 되어, 얼룩불량이 방지된 고 화질의 액정표시장치를 제작할 수 있게 된다.
- <39> 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

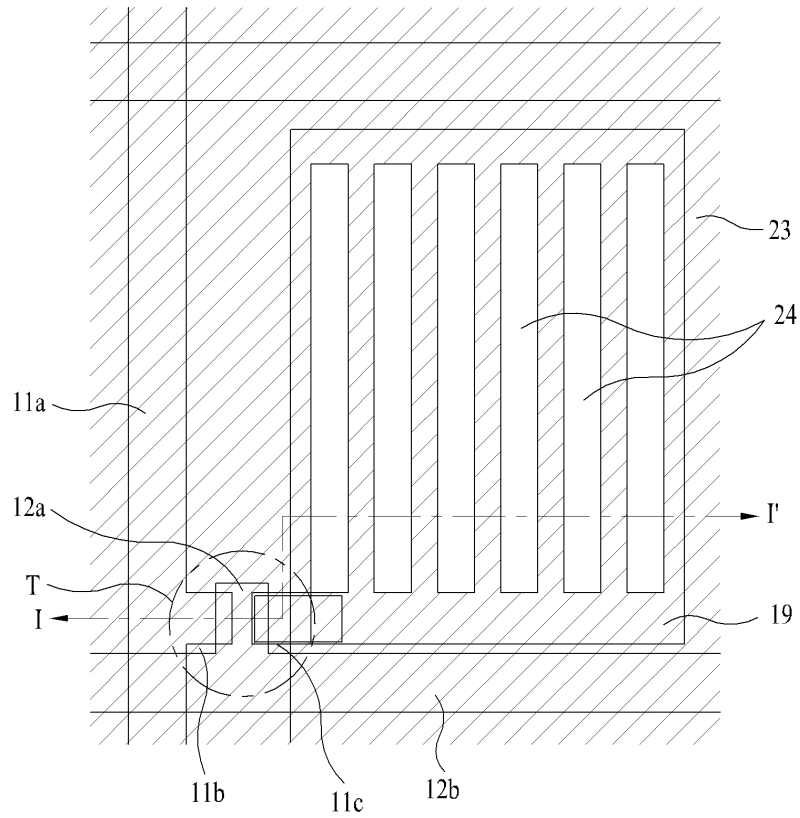
- <40> 도 1은 종래 기술에 따른 프린지 필드 스위칭 액정표시장치의 하부기판을 개략적으로 도시한 단면도
- <41> 도 2a는 본 발명의 실시예에 따른 프린지 필드 스위칭 액정표시장치의 평면도를 도시한 도면
- <42> 도 2b는 도 2a의 I-I'선상의 단면도
- <43> 3a 내지 도 3h는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치의 제조방법을 도시한 공정순서도

도면

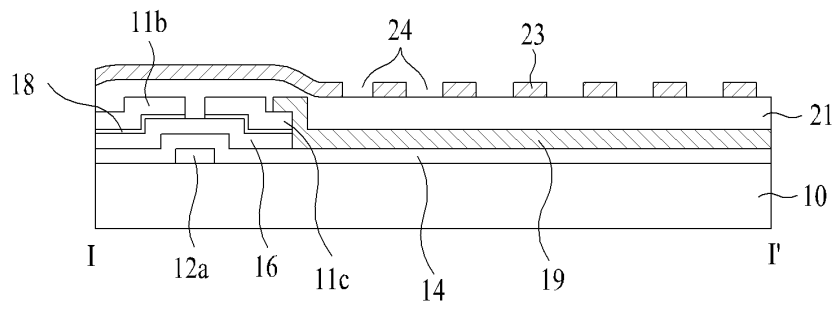
도면1



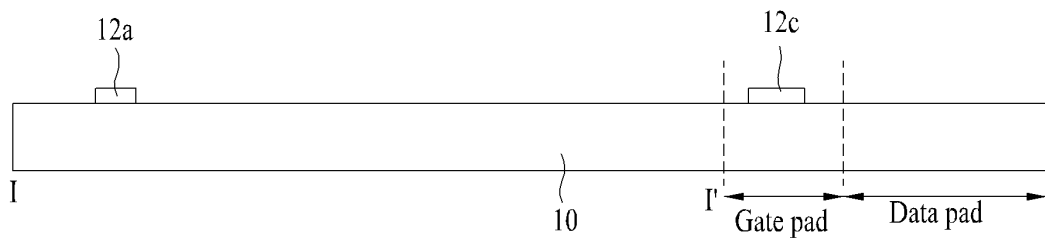
도면2a



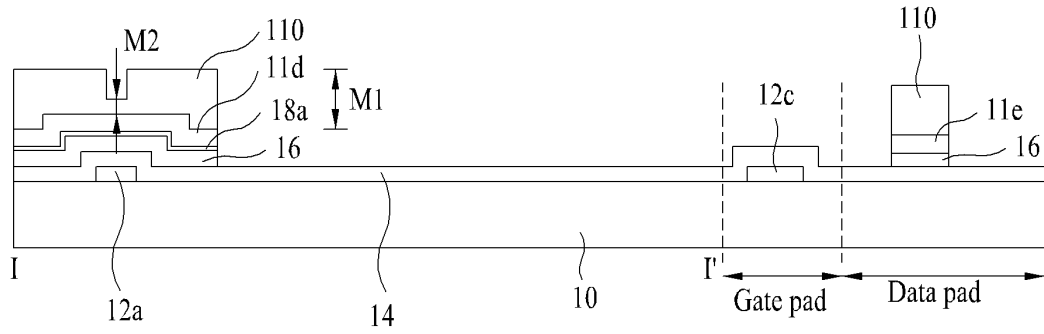
도면2b



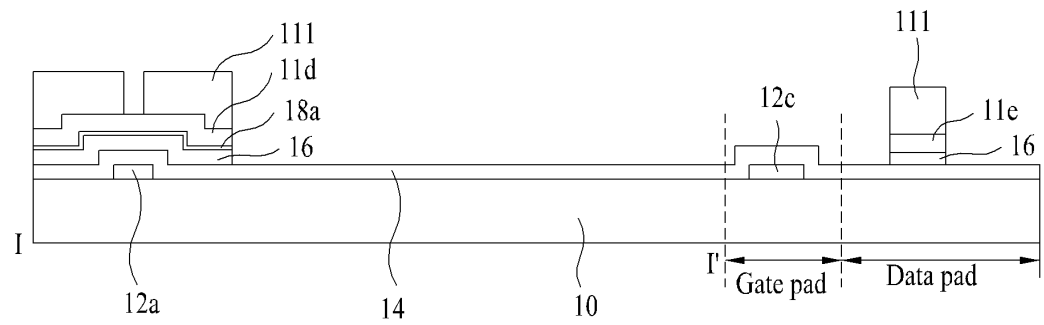
도면3a



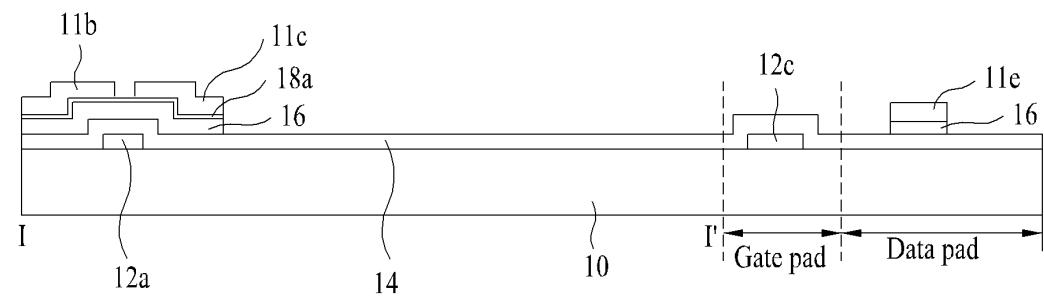
도면3b



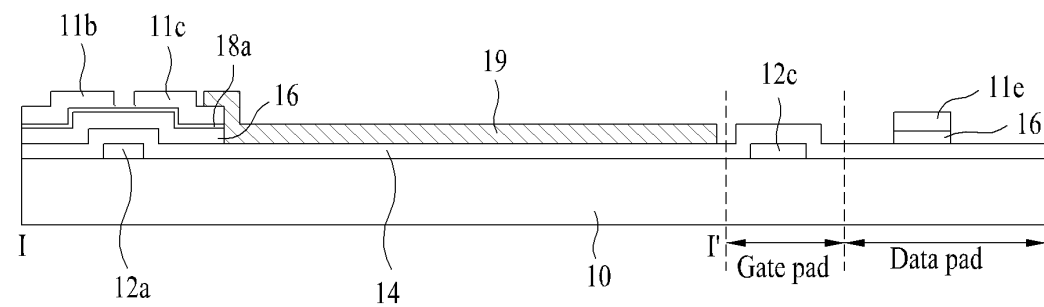
도면3c



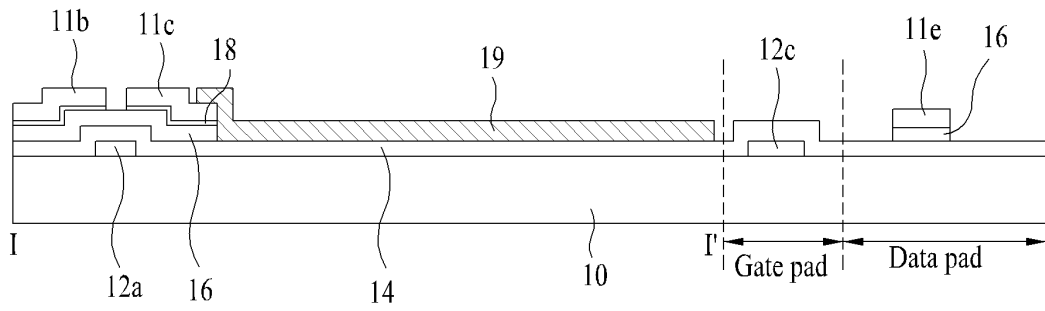
도면3d



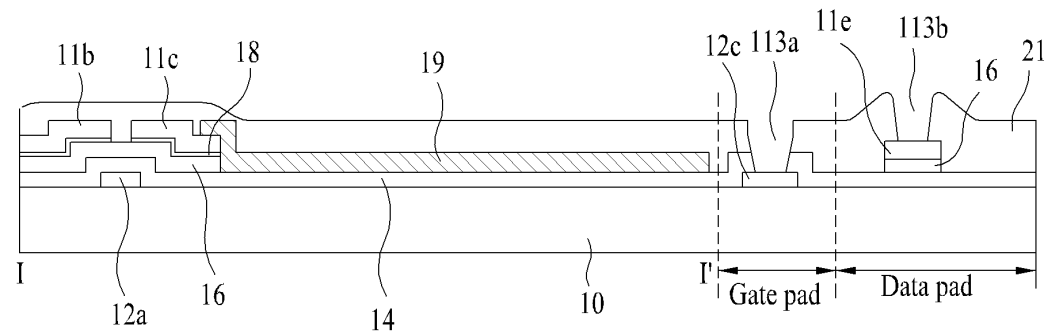
도면3e



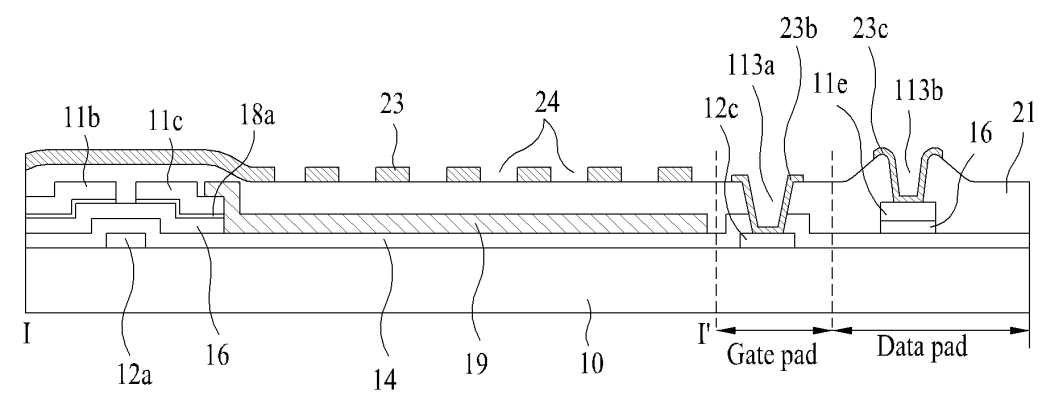
도면3f



도면3g



도면3h



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR1020090030557A	公开(公告)日	2009-03-25
申请号	KR1020070095939	申请日	2007-09-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK DAE LIM 박대림 PARK SUNG IL 박성일		
发明人	박대림 박성일		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	G02F1/134363 G02F1/13458 G02F1/1343 H01L27/1214 H01L27/1288 G02F2001/134318 G02F2001/136231 G02F1/134309 H01L27/124		
代理人(译)	Gimyongjin Bakyounbok		
其他公开文献	KR101264722B1		
外部链接	Espacenet		

摘要(译)

一种制造液晶显示装置的方法，包括通过使用基板上的第一掩模的工艺形成栅电极，栅极焊盘和栅极线，栅极在其上形成栅电极和栅极焊盘的基板，所述有源层，欧姆接触层中，为了形成导电层之后，在绝缘膜，所述有源图案，欧姆接触图案，源电极/漏电极，所述第二掩模工艺通过使用数据通过使用第三掩模的工艺形成与漏电极重叠的像素电极；用蚀刻掩模蚀刻欧姆接触图案以形成有源图案，在其上暴露有源图案的基板上形成保护膜的步骤，形成分别暴露栅极焊盘和数据焊盘的第一接触孔和第二接触孔；通过在其上形成有第一和第二接触孔的基板上使用第五掩模的工艺形成多个孔；并形成一个共同的电极。

