



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0096287  
(43) 공개일자 2008년10월30일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0041563

(22) 출원일자 2007년04월27일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이봉준

서울 종로구 소격동 37번지 지층

김경옥

서울 강남구 역삼1동 621-23

(뒷면에 계속)

(74) 대리인

특허법인가산

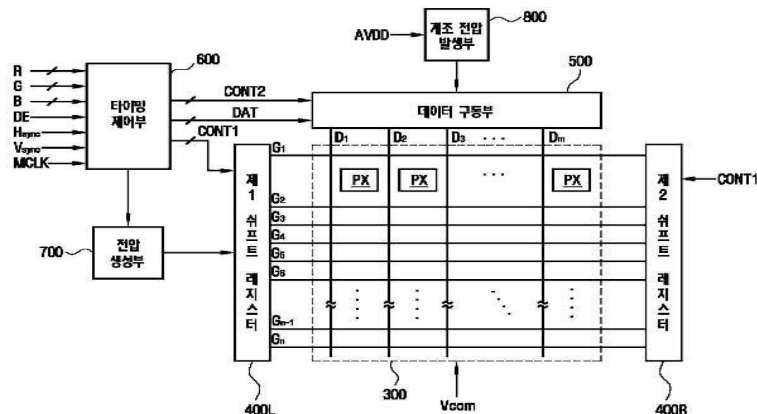
전체 청구항 수 : 총 23 항

(54) 게이트 구동 회로 및 이를 포함하는 액정 표시 장치

(57) 요약

공정 마진을 확보할 수 있는 게이트 구동 회로 및 이를 포함하는 액정 표시 장치가 제공된다. 게이트 구동 회로는, 다수의 스테이지를 포함하는 게이트 구동 회로로, 상기 각 스테이지는 제1 내지 제3 노드, 시작 신호 또는 다른 스테이지의 캐리 신호를 입력 받아 준비 구간 동안 제1 전압 레벨을 갖고, 게이트 활성화 구간 동안 제1 전압 레벨보다 높은 제2 전압 레벨을 갖으며, 제1 게이트 비활성화 구간 동안 제2 전압 레벨보다 낮은 제3 전압 레벨을 갖고, 제2 게이트 비활성화 구간 동안 상기 제3 전압 레벨보다 낮은 제4 전압 레벨을 갖는 제어 신호를 상기 제1 노드로 출력하는 풀업 구동부, 상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 게이트 온 신호를 상기 제2 노드로 출력하는 풀업부, 상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 캐리 신호를 제3 노드로 출력하는 캐리 출력부 및 상기 다른 스테이지의 캐리 신호 및 게이트 오프 신호를 입력 받아 상기 제2 게이트 비활성화 구간에 상기 제3 전압 레벨을 상기 제4 전압 레벨로 풀다운시키는 상기 제어 신호를 상기 제1 노드로 출력하는 풀다운부를 포함한다.

대 표 도 - 도1



(72) 발명자

**김종오**

충남 천안시 쌍용3동 주공9단지아파트 410동 1105호

**김성만**

서울 송파구 신천동 장미아파트 25동 1001호

**이홍우**

충남 천안시 봉명동 청솔3차아파트 301동 906호

**김혁진**

충남 천안시 목천읍 신계리 신도브래뉴아파트 212-304

## 특허청구의 범위

### 청구항 1

다수의 스테이지를 포함하는 게이트 구동 회로로,

상기 각 스테이지는

제1 내지 제3 노드;

시작 신호 또는 다른 스테이지의 캐리 신호를 입력 받아 준비 구간 동안 제1 전압 레벨을 갖고, 게이트 활성화 구간 동안 제1 전압 레벨보다 높은 제2 전압 레벨을 갖으며, 제1 게이트 비활성화 구간 동안 제2 전압 레벨보다 낮은 제3 전압 레벨을 갖고, 제2 게이트 비활성화 구간 동안 상기 제3 전압 레벨보다 낮은 제4 전압 레벨을 갖는 제어 신호를 상기 제1 노드로 출력하는 풀업 구동부;

상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 게이트 온 신호를 상기 제2 노드로 출력하는 풀업부;

상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 캐리 신호를 제3 노드로 출력하는 캐리 출력부; 및

상기 다른 스테이지의 캐리 신호 및 게이트 오프 신호를 입력 받아 상기 제2 게이트 비활성화 구간에 상기 제3 전압 레벨을 상기 제4 전압 레벨로 풀다운시키는 상기 제어 신호를 상기 제1 노드로 출력하는 풀다운부를 포함하는 게이트 구동 회로.

### 청구항 2

제 1 항에 있어서,

상기 풀업부는 상기 제어 신호에 응답하여 상기 제2 노드로 상기 클럭 신호만큼 풀업된 게이트 온 신호를 출력하는 제1 스위칭 소자를 포함하는 게이트 구동 회로.

### 청구항 3

제 1 항에 있어서,

상기 풀다운부는 상기 다른 스테이지의 캐리 신호를 제공받아 상기 제1 노드를 풀다운시키는 제2 스위칭 소자와 상기 다른 스테이지의 캐리 신호를 제공받아 상기 제2 노드를 풀다운하는 제3 스위칭 소자를 포함하지 않는 게이트 구동 회로.

### 청구항 4

제 3 항에 있어서,

상기 제2 스위칭 소자의 중형비는 상기 제1 스위칭 소자의 중형비의 1/20 내지 1/10로 설정되는 게이트 구동 회로.

### 청구항 5

제 1 항에 있어서,

상기 풀다운부는 상기 다른 스테이지의 캐리 신호를 제공받아 상기 제1 노드를 풀다운시키는 제2 스위칭 소자와 상기 다른 스테이지의 캐리 신호를 제공받아 상기 제2 노드를 풀다운하는 제3 스위칭 소자를 포함하는 게이트 구동 회로.

### 청구항 6

제 5 항에 있어서,

상기 제3 스위칭 소자의 중형비는 상기 제1 스위칭 소자의 중형비의 1/2로 설정하는 게이트 구동 회로.

### 청구항 7

제 1 항에 있어서,

상기 게이트 구동 회로는 제1 및 제2 쉬프트 레지스터를 포함하며,

각 쉬프트 레지스터는 상기 제1 및 제4 게이트 라인에 대응되는 제1 내지 제4 스테이지를 포함하고, 상기 제1 내지 제4 스테이지는 대응되는 상기 제1 및 제4 게이트 라인에 제1 내지 제4 게이트 온 신호를 순차적으로 제공하고, 상기 제1 스테이지는 상기 제4 스테이지에서 출력되는 상기 제4 게이트 온 신호를 제공받아 제1 게이트 오프 신호를 출력하는 게이트 구동 회로.

#### 청구항 8

제 7 항에 있어서,

상기 제1 게이트 온 신호는 예비 충전 구간과 본 충전 구간을 포함하며,

상기 제2 게이트 온 신호는 상기 제1 게이트 온 신호의 예비 충전 구간만큼 딜레이 된 신호인 게이트 구동 회로.

#### 청구항 9

제 7 항에 있어서,

상기 제1 및 제2 쉬프트 레지스터는 상기 제1 및 제4 게이트 라인의 일측 및 타측에 배치되는 게이트 구동 회로.

#### 청구항 10

제 9 항에 있어서,

상기 제2 쉬프트 레지스터는 상기 제1 쉬프트 레지스터와 동시에 턴온되는 게이트 구동 회로.

#### 청구항 11

제 10 항에 있어서,

상기 제1 및 제2 쉬프트 레지스터는 제1 내지 제3 더미 스테이지를 포함하고, 상기 제1 및 제3 더미 스테이지는 상기 게이트 라인에 대응되지 않는 게이트 구동 회로.

#### 청구항 12

제 9 항에 있어서,

상기 제1 쉬프트 레지스터 및 제2 쉬프트 레지스터는 번갈아 가면서 차례로 턴온되는 게이트 구동 회로.

#### 청구항 13

제 12 항에 있어서,

상기 제1 쉬프트 레지스터는 상기 제1 및 제3 게이트 라인에 대응되는 제1 및 제3 스테이지를 포함하며

상기 제2 쉬프트 레지스터는 상기 제2 및 제4 게이트 라인에 대응되는 제2 및 제4 스테이지를 포함하는 게이트 구동 회로.

#### 청구항 14

제1 내지 제 $n$ (단,  $n$ 은 자연수)의 게이트 라인과, 제1 내지 제 $m$ (단,  $m$ 은 자연수)의 데이터 라인을 포함하는 액정 패널;

상기 제1 내지 제 $n$  게이트 라인과 대응되는 제1 내지 제 $n$  스테이지와, 상기 게이트 라인과 대응되지 않는 제 $(n+1)$  내지 제 $(n+3)$  스테이지를 포함하고, 상기 제1 내지 제 $(n+3)$  스테이지는 순차적으로 제1 내지 제 $(n+3)$  게이트 온 신호를 순차적으로 제공하고, 상기  $i$ (단,  $1 \leq i \leq n$ ) 스테이지는 제 $(i+3)$  스테이지에서 출력되는 게이트 온 신호를 제공받아 게이트 오프 신호를 제공하는 게이트 구동 회로; 및

상기 제1 내지 제 $m$  데이터 라인에 데이터 전압을 제공하는 데이터 구동 회로를 포함하는 액정 표시 장치.

#### 청구항 15

제1 내지 제4 게이트 라인 및 데이터 라인과 상기 게이트 라인과 데이터 라인이 교차되어 정의되는 단위 화소를 포함하는 액정 패널;

상기 제1 내지 제4 게이트 라인의 일측 및 타측에 배치된 제1 및 제2 쉬프트 레지스터를 포함하는 게이트 구동 회로로서, 각 쉬프트 레지스터는 상기 제1 및 제4 게이트 라인에 대응되는 제1 내지 제4 스테이지를 포함하고, 상기 제1 내지 제4 스테이지는 대응되는 상기 제1 및 제4 게이트 라인에 제1 내지 제4 게이트 온 신호를 순차적으로 제공하고, 상기 제1 스테이지는 상기 제4 스테이지에서 출력되는 상기 제4 게이트 온 신호를 제공받아 제1 게이트 오프 신호를 출력하는 게이트 구동 회로; 및

상기 제1 내지 제4 데이터 라인에 데이터 전압을 제공하는 데이터 구동 회로를 포함하는 액정 표시 장치.

#### 청구항 16

제 15 항에 있어서,

상기 제2 쉬프트 레지스터는 상기 제1 쉬프트 레지스터와 동시에 턴온되는 액정 표시 장치.

#### 청구항 17

제 15 항에 있어서,

상기 제1 쉬프트 레지스터 및 제2 쉬프트 레지스터는 번갈아 가면서 차례로 턴온되는 액정 표시 장치.

#### 청구항 18

제1 내지 제 $n$ (단,  $n$ 은 자연수)의 게이트 라인과, 제1 내지 제 $m$ (단,  $m$ 은 자연수)의 데이터 라인을 포함하는 액정 패널;

다수의 스테이지를 포함하는 게이트 구동 회로로, 상기 각 스테이지는 제1 내지 제3 노드, 시작 신호 또는 다른 스테이지의 캐리 신호를 입력 받아 준비 구간 동안 제1 전압 레벨을 갖고, 게이트 활성화 구간 동안 제1 전압 레벨보다 높은 제2 전압 레벨을 갖고, 제1 게이트 비활성화 구간 동안 제2 전압 레벨보다 낮은 제3 전압 레벨을 갖고, 제2 게이트 비활성화 구간 동안 상기 제3 전압 레벨보다 낮은 제4 전압 레벨을 갖는 제어 신호를 상기 제1 노드로 출력하는 풀업 구동부, 상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 게이트 온 신호를 상기 제2 노드로 출력하는 풀업부, 상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 캐리 신호를 제3 노드로 출력하는 캐리 출력부 및 상기 다른 스테이지의 캐리 신호 및 게이트 오프 신호를 입력 받아 상기 제2 게이트 비활성화 구간에 상기 제3 전압 레벨을 상기 제4 전압 레벨로 풀다운시키는 상기 제어 신호를 상기 제1 노드로 출력하는 풀다운부를 포함하는 게이트 구동 회로; 및

상기 제1 내지 제 $m$  데이터 라인에 데이터 전압을 제공하는 데이터 구동 회로를 포함하는 액정 표시 장치.

#### 청구항 19

제 18 항에 있어서,

상기 풀업부는 상기 제어 신호에 응답하여 상기 제2 노드로 상기 클럭 신호만큼 풀업된 게이트 온 신호를 출력하는 제1 스위칭 소자를 포함하는 액정 표시 장치.

#### 청구항 20

제 18 항에 있어서,

상기 풀다운부는 상기 다른 스테이지의 캐리 신호를 제공받아 상기 제1 노드를 풀다운시키는 제2 스위칭 소자와 상기 다른 스테이지의 캐리 신호를 제공받아 상기 제2 노드를 풀다운하는 제3 스위칭 소자를 포함하지 않는 액정 표시 장치.

#### 청구항 21

제 20 항에 있어서,

상기 제2 스위칭 소자의 중횡비는 상기 제1 스위칭 소자의 중횡비의 1/20 내지 1/10로 설정되는 액정 표시 장치.

## 청구항 22

제 18 항에 있어서,

상기 풀다운부는 상기 다른 스테이지의 캐리 신호를 제공받아 상기 제1 노드를 풀다운시키는 제2 스위칭 소자와 상기 다른 스테이지의 캐리 신호를 제공받아 상기 제2 노드를 풀다운하는 제3 스위칭 소자를 포함하는 액정 표시 장치.

## 청구항 23

제 22 항에 있어서,

상기 제3 스위칭 소자의 중횡비는 상기 제1 스위칭 소자의 중횡비의 1/2로 설정하는 액정 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 게이트 구동 회로 및 이를 포함하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 공정 마진을 확보할 수 있는 게이트 구동 회로 및 이를 포함하는 액정 표시 장치에 관한 것이다.
- <17> 액정 표시 장치(Liquid Crystal Display)는 공통 전극과 컬러 필터 등이 형성되어 있는 공통 전극 표시판과 스위칭 소자와 화소 전극 등이 형성되어 있는 박막 트랜지스터 기관 사이에 형성된 액정층으로 이루어져 영상을 표시하는 액정 패널을 구비한다.
- <18> 액정 패널에는 다수의 게이트 라인 및 데이터 라인과, 다수의 게이트 라인에 다수의 데이터 라인에 연결된 다수의 화소가 구비된다. 액정 패널에는 다수의 게이트 라인에 게이트 온 신호를 순차적으로 출력하기 위한 게이트 구동 회로가 박막 트랜지스터와 함께 형성된다.
- <19> 일반적으로, 게이트 구동 회로는 다수의 스테이지가 서로 종속적으로 연결되어 이루어진 하나의 쉬프트 레지스터로 이루어진다. 즉, 각 스테이지는 대응되는 게이트 라인에 게이트 온 신호를 제공하고, 전단 스테이지와 후단 스테이지의 구동을 제어한다. 각 스테이지의 내부에는 다수의 스위칭 소자와 다수의 캐패시터들로 이루어진다.
- <20> 여기서, 다수의 게이트 라인에 게이트 오프 신호를 출력하는 스위칭 소자는 게이트 구동 회로의 약 20%를 차지하게 된다. 이로 인해 게이트 구동 회로는 액정 패널 내에 많은 공간을 차지하게 된다. 따라서, 액정 패널 내에서 게이트 구동 회로의 공정 마진을 확보하기가 어렵다.

#### 발명이 이루고자 하는 기술적 과제

- <21> 본 발명이 이루고자 하는 기술적 과제는, 공정 마진을 확보할 수 있는 게이트 구동 회로를 제공하고자 하는 것이다.
- <22> 본 발명이 이루고자 하는 다른 기술적 과제는, 공정 마진을 확보할 수 있는 게이트 구동 회로를 포함하는 액정 표시 장치를 제공하고자 하는 것이다.
- <23> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

#### 발명의 구성 및 작용

- <24> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 게이트 구동 회로는, 다수의 스테이지를 포함하는 게이트 구동 회로로, 상기 각 스테이지는 제1 내지 제3 노드, 시작 신호 또는 다른 스테이지의 캐리 신호를

입력 받아 준비 구간 동안 제1 전압 레벨을 갖고, 게이트 활성화 구간 동안 제1 전압 레벨보다 높은 제2 전압 레벨을 갖고, 제1 게이트 비활성화 구간 동안 제2 전압 레벨보다 낮은 제3 전압 레벨을 갖고, 제2 게이트 비활성화 구간 동안 상기 제3 전압 레벨보다 낮은 제4 전압 레벨을 갖는 제어 신호를 상기 제1 노드로 출력하는 풀업 구동부, 상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 게이트 온 신호를 상기 제2 노드로 출력하는 풀업부, 상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 캐리 신호를 제3 노드로 출력하는 캐리 출력부 및 상기 다른 스테이지의 캐리 신호 및 게이트 오프 신호를 입력 받아 상기 제2 게이트 비활성화 구간에 상기 제3 전압 레벨을 상기 제4 전압 레벨로 풀다운시키는 상기 제어 신호를 상기 제1 노드로 출력하는 풀다운부를 포함한다.

<25> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 내지 제 $n$ (단,  $n$ 은 자연수)의 게이트 라인과, 제1 내지 제 $m$ (단,  $m$ 은 자연수)의 데이터 라인을 포함하는 액정 패널, 상기 제1 내지 제 $n$  게이트 라인과 대응되는 제1 내지 제 $n$  스테이지와, 상기 게이트 라인과 대응되지 않는 제 $(n+1)$  내지 제 $(n+3)$  스테이지를 포함하고, 상기 제1 내지 제 $(n+3)$  스테이지는 순차적으로 제1 내지 제 $(n+3)$  게이트 온 신호를 순차적으로 제공하고, 상기  $i$ (단,  $1 \leq i \leq n$ ) 스테이지는 제 $(i+3)$  스테이지에서 출력되는 게이트 온 신호를 제공 받아 게이트 오프 신호를 제공하는 게이트 구동 회로 및 상기 제1 내지 제 $m$  데이터 라인에 데이터 전압을 제공하는 데이터 구동 회로를 포함한다.

<26> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 제1 내지 제4 게이트 라인 및 데이터 라인과 상기 게이트 라인과 데이터 라인이 교차되어 정의되는 단위 화소를 포함하는 액정 패널, 상기 제1 내지 제4 게이트 라인의 일측 및 타측에 배치된 제1 및 제2 쉬프트 레지스터를 포함하는 게이트 구동 회로로서, 각 쉬프트 레지스터는 상기 제1 및 제4 게이트 라인에 대응되는 제1 내지 제4 스테이지를 포함하고, 상기 제1 내지 제4 스테이지는 대응되는 상기 제1 및 제4 게이트 라인에 제1 내지 제4 게이트 온 신호를 순차적으로 제공하고, 상기 제1 스테이지는 상기 제4 스테이지에서 출력되는 상기 제4 게이트 온 신호를 제공받아 제1 게이트 오프 신호를 출력하는 게이트 구동 회로 및 상기 제1 내지 제4 데이터 라인에 데이터 전압을 제공하는 데이터 구동 회로를 포함한다.

<27> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 액정 표시 장치는, 제1 내지 제 $n$ (단,  $n$ 은 자연수)의 게이트 라인과, 제1 내지 제 $m$ (단,  $m$ 은 자연수)의 데이터 라인을 포함하는 액정 패널, 다수의 스테이지를 포함하는 게이트 구동 회로로, 상기 각 스테이지는 제1 내지 제3 노드, 시작 신호 또는 다른 스테이지의 캐리 신호를 입력 받아 준비 구간 동안 제1 전압 레벨을 갖고, 게이트 활성화 구간 동안 제1 전압 레벨보다 높은 제2 전압 레벨을 갖고, 제1 게이트 비활성화 구간 동안 제2 전압 레벨보다 낮은 제3 전압 레벨을 갖고, 제2 게이트 비활성화 구간 동안 상기 제3 전압 레벨보다 낮은 제4 전압 레벨을 갖는 제어 신호를 상기 제1 노드로 출력하는 풀업 구동부, 상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 게이트 온 신호를 상기 제2 노드로 출력하는 풀업부, 상기 게이트 활성화 구간 동안 제어 신호 및 클럭 신호를 입력 받아 캐리 신호를 제3 노드로 출력하는 캐리 출력부 및 상기 다른 스테이지의 캐리 신호 및 게이트 오프 신호를 입력 받아 상기 제2 게이트 비활성화 구간에 상기 제3 전압 레벨을 상기 제4 전압 레벨로 풀다운시키는 상기 제어 신호를 상기 제1 노드로 출력하는 풀다운부를 포함하는 게이트 구동 회로 및 상기 제1 내지 제 $m$  데이터 라인에 데이터 전압을 제공하는 데이터 구동 회로를 포함한다.

<28> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<29> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<30> 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.

<31> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 블록도이다.

<32> 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치는 액정 패널(300) 및 이에 연결된 제1 및 제2 쉬프트 레지스터(400L, 400R), 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 이들을 제어하는 타이밍 제어부(600) 및 전압 생성부(700)를 포함한다.

<33> 액정 패널(300)은 등가 회로로 볼 때 다수의 표시 신호선( $G1 - G_n$ ,  $D1 - D_m$ )과 이에 연결되어 있으며, 매트릭스

(matrix) 형태로 배열된 다수의 단위 화소(PX)를 포함한다.

- <34> 여기서, 표시 신호선(G1 - Gn, D1 - Dm)은 게이트 온 신호를 전달하는 다수의 게이트 라인(G1 - Gn)과 데이터 신호를 전달하는 데이터선(D1 - Dm)을 포함한다. 게이트 라인(G1 - Gn)은 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D1 - Dm)은 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- <35> 각 단위 화소(PX)는 표시 신호선(G1 - Gn, D1 - Dm)에 연결된 스위칭 소자와 이에 연결된 액정 캐패시터(liquid crystal capacitor) 및 스토리지 캐패시터(storage capacitor)를 포함한다. 스토리지 캐패시터는 필요에 따라 생략할 수 있다.
- <36> 한편, 색 표시를 구현하기 위해서는 각 단위 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극에 대응하는 영역에 적색, 녹색, 또는 청색의 컬러 필터를 구비함으로써 가능하다. 또한, 컬러 필터는 제2 표시판의 해당 영역에 형성되어 있지만 이와는 달리 제1 표시판의 화소 전극 위 또는 아래에 형성할 수도 있다.
- <37> 액정 패널(300)의 제1 표시판 및 제2 표시판 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(미도시)가 부착된다.
- <38> 계조 전압 생성부(800)는 단위 화소의 투과율과 관련된 두 벌의 복수 계조 전압을 생성할 수 있다. 즉, 두 벌 중 한 벌은 정극성 전압이고, 다른 한 벌은 부극성 전압이 된다. 정극성 전압과 부극성 전압은 공통 전압(Vcom)에 대해 데이터 전압의 극성이 반대인 전압을 의미하며, 반전 구동시 교대하여 액정 패널에 각각 제공된다.
- <39> 제1 및 제2 쉬프트 레지스터(400L, 400R)는 액정 패널(300)의 일측과 타측에 배치되고, 각각의 게이트 라인(G1 - Gn)과 연결되어 있으며, 게이트 온 신호를 게이트 라인(G1 - Gn)에 인가한다.
- <40> 데이터 구동부(500)는 액정 패널(300)의 데이터선(D1 - Dm)에 연결되어 있으며, 계조 전압 생성부(800)로부터 제공된 전압에 기초하여 다수의 계조 전압을 생성하고, 생성된 계조 전압을 선택하여 데이터 신호로서 단위 화소에 인가하며 통상 다수의 집적 회로로 이루어진다.
- <41> 타이밍 제어부(600)는 제1 및 제2 쉬프트 레지스터(400L, 400R) 및 데이터 구동부(500) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 제1 및 제2 쉬프트 레지스터(400L, 400R) 및 데이터 구동부(500)에 제공한다.
- <42> 전압 생성부(700)는 다수의 구동 전압을 생성한다. 예를 들어, 제1 및 제2 클럭 신호(CKV1, CKV2) 및 공통 전압(Vcom)을 생성한다.
- <43> 이하에서 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.
- <44> 타이밍 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 타이밍 제어부(600)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 액정 패널(300)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 제1 및 제2 쉬프트 레지스터(400L, 400R)로 제공하고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R', G', B')는 데이터 구동부(500)로 제공한다.
- <45> 여기서, 게이트 제어 신호(CONT1)는 게이트 온 신호 구간의 출력 시작을 지시하는 제1 및 제2 시작 신호(STV1, STV2), 게이트 온 신호의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- <46> 데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선(D1 - Dm)에 해당 데이터 전압을 인가하라는 데이터 로드 신호(TP), 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 '공통 전압에 대한 데이터 전압의 극성'을 줄여 '데이터 전압의 극성'이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.
- <47> 데이터 구동부(500)는 타이밍 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 단위 화소에 대응하는 영상 데이터(R', G', B')를 차례로 입력받고, 계조 전압 중 각 영상 데이터(R', G', B')에 대응하는 계조 전압을 선택함으로써, 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환한다.
- <48> 제1 및 제2 쉬프트 레지스터(400L, 400R)는 게이트 제어 신호(CONT1)에 따라 게이트 온 신호를 게이트 라인(G1 - Gn)에 인가하여 이 게이트 라인(G1 - Gn)에 연결된 스위칭 소자를 턴온시킨다.
- <49> 하나의 게이트 라인(G1 - Gn)에 게이트 온 신호가 인가되어 이에 연결된 한 행의 스위칭 소자가 턴온되어 있는

동안[이 기간을 '1H' 또는 '1 수평주기(horizontal period)'이라고 함], 데이터 구동부(500)는 각 데이터 전압을 해당 데이터선(D1 - Dm)에 공급한다. 데이터선(D1 - Dm)에 공급된 데이터 전압은 턴온된 스위칭 소자를 통해 해당 단위 화소에 인가된다.

- <50> 액정 분자들은 화소 전극과 공통 전극이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 제1 표시판 및 제2 표시판에 부착된 편광자(미도시)에 의하여 빛의 투과율 변화로 나타난다.
- <51> 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트 라인(G1 - Gn)에 대하여 차례로 게이트 온 신호를 인가하여 모든 단위 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 단위 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다(프레임 반전). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(라인 반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(도트 반전).
- <52> 이하, 도 2 내지 도 5를 참조하여 본 발명의 제1 실시예에 따른 게이트 구동 회로에서 사용되는 쉬프트 레지스터에 대해 설명하기로 한다.
- <53> 도 2 및 도 3은 본 발명의 제1 실시예에 따른 게이트 구동 회로에서 사용되는 제1 및 제2 쉬프트 레지스터를 나타낸 블록도이고, 도 4는 도 2의 각 스테이지의 내부 회로도이고, 도 5는 도 4의 각 스테이지의 동작을 나타내는 파형도이다.
- <54> 도 1 및 도 2를 참조하면, 제1 쉬프트 레지스터(400L)는 다수의 게이트 라인(G1-Gn)의 일측에 연결되고, 제2 쉬프트 레지스터(400R)는 다수의 게이트 라인(G1-Gn)의 타측에 연결되어 있다. 이때, 제2 쉬프트 레지스터(400R)는 제1 쉬프트 레지스터(400L)와 동시에 턴온되어 제1 및 제2 쉬프트 레지스터(400L, 400R)에서 각각 출력되는 게이트 온 신호(Gout1, ..., Gout(j))가 동시에 해당 게이트 라인에 제공된다.
- <55> 제1 쉬프트 레지스터(400L)는 순차적으로 게이트 온 신호(Gout1, ..., Gout(j))를 출력하는 다수의 좌측 스테이지(STL1, ..., STL(j))로 이루어지고, 제2 쉬프트 레지스터(400R)는 순차적으로 게이트 온 신호(Gout1, ..., Gout(j))를 출력하는 다수의 우측 스테이지(STR1, ..., STR(j))로 이루어진다. 이때, 좌측 홀수 스테이지들(STL1, STL3, STL5)은 서로 종속적으로 연결되고, 좌측 짝수 스테이지들(STL2, STL4, STL6)은 서로 종속적으로 연결된다. 또한, 우측 홀수 스테이지들(STR1, STR3, STR5)은 서로 종속적으로 연결되고, 우측 짝수 스테이지들(STR2, STR4, STR6)은 서로 종속적으로 연결된다.
- <56> 여기서, 첫 번째 게이트 라인(G1)에 인가되는 게이트 온 신호(Gout1)는 도 5에 도시된 바와 같이 예비 충전 구간(P1)과 본 충전 구간(M1)을 포함하며, 두 번째 게이트 라인(G2)에 인가되는 게이트 온 신호(Gout2)는 예비 충전 구간(P1)만큼 딜레이 된 신호이다.
- <57> 본 발명의 제1 실시예에서 제1 및 제2 쉬프트 레지스터(400L, 400R)는 서로 동일한 구조를 갖는다. 따라서, 제1 쉬프트 레지스터(400L)에 대해서만 설명하고, 제2 쉬프트 레지스터(400R)에 대한 설명은 생략하기로 한다.
- <58> 다수의 좌측 스테이지(STL1, ..., STL(j))는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 포함한다.
- <59> 도 2 및 도 5에 도시된 바와 같이, 좌측 홀수 스테이지(STL1, STL3, STL5)에는 제1 클럭 신호(CKV1) 및 제1 반전 클럭 신호(CKVB1), 제1 시작 신호(STV1), 게이트 오프 신호(Voff)가 제공되고, 좌측 짝수 스테이지(STL2, STL4, STL6)에는 제2 클럭 신호(CKV2) 및 제2 반전 클럭 신호(CKVB2), 제2 시작 신호(STV2), 게이트 오프 신호(Voff)가 제공된다.
- <60> 여기서, 제1 반전 클럭 신호(CKVB1)는 제1 클럭 신호(CKV1)와 반전된 위상을 갖고, 제2 반전 클럭 신호(CKVB2)는 제2 클럭 신호(CKV2)와 반전된 위상을 갖는다. 또한, 제2 클럭 신호(CKV2)는 제1 클럭 신호(CKV1)의 한 주기(T)의 T/4 주기만큼 딜레이 된 신호이고, 제1 반전 클럭 신호(CKVB1)는 제2 반전 클럭 신호(CKVB2)의 한 주기(T)의 T/4 주기만큼 딜레이 된 신호이다.
- <61> 또한, 좌측 스테이지(STL1)의 셋 단자(S)에는 전단 캐리 신호 대신 제1 시작 신호(STV1)가 입력되며, 좌측 스테이지(STL2)의 셋 단자(S)에는 제2 시작 신호(STV2)가 입력된다. 이때, 제2 시작 신호(STV2)는 제1 시작 신호

(STV1)의 T/4 주기만큼 딜레이 된 신호이다.

- <62> 그리고, 마지막 스테이지(STL(j))의 리셋 단자(R)에는 후단 게이트 온 신호 대신 제1 시작 신호(STV1)가 입력된다.
- <63> 좌측 각 스테이지(STL1, ..., STL(j)), 예를 들면, 좌측 세 번째 스테이지(STL3)의 셋 단자(S) 및 리셋 단자(R)에는 각각 전단 스테이지(STL1)의 캐리 신호와 후단 스테이지(STL6)의 게이트 온 신호(Gout6)가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 제1 반전 클럭 신호(CKVB1)와 제1 클럭 신호(CKV1)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 신호(Voff)가 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT)가 입력된다. 게이트 출력 단자(OUT1)는 게이트 온 신호(Gout3)를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호를 출력한다.
- <64> 마지막 스테이지(STL(j))의 캐리 신호는 초기화 신호로서 각 스테이지(STL1, ..., STL(j))에 제공된다.
- <65> 도 3은 게이트 라인이 4개인 경우를 예를 들어 설명하고 있다.
- <66> 도 1 및 도 3을 참조하면, 4개의 게이트 라인(G1, G2, G3, G4)에 각각의 게이트 온 신호(Gout1, Gout2, Gout3, Gout4)를 제공하기 위해 다수의 스테이지(STL1, STL2, STL3, STL4)와 다수의 터미 스테이지(STL5, STL6, STL7)가 필요하다. 여기서, 다수의 스테이지(STL1, STL2, STL3, STL4)는 게이트 라인(G1, G2, G3, G4)에 각각 게이트 온 신호(Gout1, Gout2, Gout3, Gout4)를 출력하며, 다수의 터미 스테이지(STL5, STL6, STL7)는 각각 게이트 온 신호(Gout5, Gout6, Gout7)를 출력한다.
- <67> 그리고, 좌측 스테이지(STL1)의 리셋 단자(R)에는 좌측 후단 스테이지(STL4)의 게이트 온 신호(Gout4)가 입력되고, 좌측 후단 스테이지(STL3)의 리셋 단자(R)에는 후단 스테이지(STL6)의 게이트 온 신호(Gout6)가 입력된다. 또한, 좌측 스테이지(STL2)의 리셋 단자(R)에는 후단 스테이지(STL5)의 게이트 온 신호(Gout5)가 입력되고, 좌측 후단 스테이지(STL4)의 리셋 단자(R)에는 후단 스테이지(STL7)의 게이트 온 신호(Gout7)가 입력된다. 즉, 좌측 홀수 스테이지들(STL1, STL3, STL5, STL7)의 리셋 단자(R)에는 좌측 짝수 스테이지들(STL2, STL4, STL6)의 게이트 온 신호가 입력되고, 좌측 짝수 스테이지들(STL2, STL4, STL6)의 리셋 단자(R)에는 좌측 홀수 스테이지들(STL1, STL3, STL5, STL7)의 게이트 온 신호가 입력된다. 따라서, 본 발명의 제1 실시예에서는 각 스테이지의 리셋 시점을 조절할 수 있다. 이에 대한 자세한 설명은 도 4를 참조하여 설명하기로 한다.
- <68> 여기서, 제1 및 제2 쉬프트 레지스터(400L, 400R)의 좌측 및 우측 스테이지들은 서로 동일한 구성을 갖는다.
- <69> 이하, 도 4를 참조하여 각 스테이지의 내부 회로에 대해서 설명한다.
- <70> 도 4를 참조하면, 각 스테이지는 폴업 구동부(211), 폴다운부(212), 폴업부(213), 캐리 출력부(214), 리플 방지부(215), 스위칭부(216), 홀딩부(217) 및 리셋부(218)를 포함한다.
- <71> 폴업 구동부(211)는 스위칭 소자(T4), 제1 캐패시터(C1) 및 제2 캐패시터(C2)를 포함한다. 스위칭 소자(T4)의 게이트와 소스는 셋 단자(S)와 연결되어 있으며, 드레인은 제1 노드(N1)에 연결되어 있다. 제1 캐패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결되어 있으며, 제2 캐패시터(C2)는 제1 노드(N1)와 캐리 출력 단자(OUT2) 사이에 연결되어 있다.
- <72> 폴다운부(212)는 게이트는 리셋 단자(R)에 연결되어 있으며, 소스는 전원 전압 단자(GV)에 연결되어 있고, 드레인은 제1 노드(N1)에 연결되어 있는 스위칭 소자(T9)를 포함한다. 여기에서, 스위칭 소자(T9)의 종횡비(aspect ratio)는 스위칭 소자(T1)의 종횡비의 1/20 내지 1/10로 설정될 수 있다.
- <73> 폴업부(213)는 게이트는 제1 노드(N1)에 연결되어 있으며 소스는 제1 클럭 단자(CK1)에 연결되어 있고 드레인은 게이트 출력 단자(OUT1)에 연결되어 있는 스위칭 소자(T1)을 포함한다. 따라서, 폴업부(211)는 제1 클럭 단자(CK1)를 통해 제공되는 클럭 신호(CKV1)만큼 폴업된 게이트 온 신호(Gout(j))를 게이트 출력 단자(OUT1)로 출력한다.
- <74> 캐리 출력부(214)는 게이트는 제1 노드(N1)에 연결되어 있으며 소스는 제1 클럭 단자(CK1)에 연결되어 있고 드레인은 캐리 출력 단자(OUT2)에 연결되어 있는 스위칭 소자(T15)을 포함한다. 따라서, 캐리 출력부(214)는 제1 클럭 단자(CK1)를 통해 제공되는 클럭 신호(CKV1)만큼 폴업된 캐리 신호(Cout(j)))를 캐리 출력 단자(OUT2)로 출력한다.
- <75> 리플 방지부(215)는 셋 단자(S)와 전원 전압 단자(GV) 사이에 직렬로 연결되어 있는 다수의 스위칭 소자(T11, T10, T5)를 포함한다. 스위칭 소자(T11)의 게이트에는 제2 클럭 단자(CK2)가 연결되어 있고, 소스에는 셋 단자

(S)가 연결되어 있고, 드레인에는 제1 노드(N1)가 연결되어 있다. 스위칭 소자(T10)의 게이트에는 제1 클럭 단자(CK1)가 연결되어 있고, 소스에는 제2 노드(N2)와 연결되어 있으며, 드레인에는 제1 노드(N1)가 연결되어 있다. 스위칭 소자(T5)의 게이트에는 제2 클럭 단자(CK2)가 연결되어 있으며, 소스에는 전원 전압 단자(GV)가 연결되어 있으며, 드레인에는 제2 노드(N2)가 연결되어 있다.

<76> 스위칭 소자(T10)는 제1 클럭 신호(CKV1)에 응답하여 제2 노드(N2)의 신호를 제1 노드(N1)로 제공하여 게이트 출력 단자(OUT1)로부터 출력되는 게이트 온 신호(Gout(j))의 리플을 방지한다. 그리고, 스위칭 소자(T11)는 제2 클럭 단자(CK2)를 통해 제공되는 제1 반전 클럭 신호(CKVB1)에 응답하여 다른 스테이지의 캐리 신호(Cout(j))를 제1 노드(N1)로 제공하여 게이트 출력 단자(OUT1)로부터 출력되는 게이트 온 신호(Gout(j))의 리플을 방지한다. 또한, 스위칭 소자(T5)는 제2 클럭 단자(CK2)를 통해 제공되는 제1 반전 클럭 신호(CKVB1)에 응답하여 게이트 오프 신호(Voff)를 제2 노드(N2)로 제공하여 게이트 출력 단자(OUT1)로부터 출력되는 게이트 온 신호(Gout(j))의 리플을 방지한다.

<77> 스위칭부(216)는 다수의 스위칭 소자(T12, T7, T13, T18)와 제3 및 제4 캐패시터(C3, C4)를 포함하며, 스위칭 소자(T3)를 턴온 또는 턴오프시키는 역할을 한다.

<78> 스위칭 소자(T12)의 게이트와 소스는 제1 클럭 단자(CK1)에 연결되어 있고, 드레인은 제3 노드(N3)에 연결되어 있다. 그리고, 스위칭 소자(T7)의 게이트는 제3 노드(N3)에 연결되어 있고, 소스는 제1 클럭 단자(CK1)에 연결되어 있으며, 드레인은 제4 노드(N4)와 연결되어 있다. 제3 캐패시터(C3)는 제1 클럭 단자(CK1)와 제3 노드(N3) 사이에 연결되어 있으며, 제4 캐패시터(C4)는 제3 노드(N3)와 제4 노드(N4) 사이에 연결되어 있다. 또한, 스위칭 소자(T13, T8)의 각각의 게이트는 제2 노드(N2)에 연결되어 있고, 각각의 소스는 전원 전압 단자(GV)에 연결되어 있으며, 각각의 드레인은 제3 노드(N3)와 제4 노드(N4)에 연결되어 있다.

<79> 스위칭 소자(T12, T7)은 제1 클럭 신호(CKV1)에 응답하여 턴온되어 제1 클럭 신호(CKV1)를 제3 및 제4 노드(N3, N4)로 출력하고, 이때에 하이 레벨의 게이트 온 신호(Gout(j))가 게이트 출력단자(OUT1)를 통해 출력된다. 그리고, 스위칭 소자(T13, T8)가 턴온되어 제3 및 제4 노드(N3, N4)가 게이트 오프 신호(Voff)로 방전된다. 이때, 스위칭 소자(T3)는 턴오프 상태로 유지된다.

<80> 이후, 게이트 출력 단자(OUT1)에서 로우 레벨의 게이트 온 신호(Gout(j))가 출력되면, 스위칭 소자(T13, T8)은 턴오프 된다. 이때에 스위칭 소자(T12, T7)가 턴온되어 제4 노드(N4)에 하이 레벨의 클럭 신호(CKV1)가 인가되고, 스위칭 소자(T3)는 클럭 신호(CKV1)에 응답하여 게이트 오프 신호(Voff)를 출력 단자 게이트 출력 단자(OUT1)로 출력한다. 따라서, 게이트 출력 단자(OUT1)는 게이트 오프 신호(Voff)로 홀딩된다.

<81> 홀딩부(217)는 스위칭부(216)에 연결되어 있으며, 게이트에는 제4 노드(N4)가 연결되어 있고, 소스에는 전원 전압 단자(GV)가 연결되어 있고, 드레인에는 게이트 출력 단자(OUT1)가 연결되어 있는 스위칭 소자(T3)를 포함한다.

<82> 리셋부(218)는 풀업 구동부(211)에 연결되어 있으며, 게이트에는 프레임 리셋 단자(FR)가 연결되어 있고, 소스에는 접지 전압 단자(GV)가 연결되어 있으며, 드레인은 제1 노드(N1)와 연결되어 있는 스위칭 소자(T6)를 포함한다. 스위칭 소자(T6)는 마지막 스테이지의 캐리 신호(Cout(j))에 응답하여 셋 단자(S)를 통해 입력된 노이즈를 게이트 오프 신호(Voff)로 방전시킨다. 따라서, 제2 노드(N2)는 게이트 오프 신호(Voff)가 출력되고, 스위칭 소자(T1, T15)를 턴오프시켜 출력 단자(OUT1, OUT2)를 각각 리셋시킨다.

<83> 이하에서는 도 4 및 도 5를 참조하여 각 스테이지의 동작에 대해 설명한다.

<84> 도 4 및 도 5를 참조하면, 시간 t1에서 스위칭 소자(T4)가 제1 시작 신호(STV1) 또는 다른 스테이지의 캐리 신호에 응답하여 턴온되면, 제1 및 제2 캐패시터(C1, C2)가 충전된다. 이때, 제1 노드(N1)는 준비 구간(a)에서 제1 전압 레벨을 갖으며, 준비 구간(a)은 2H 동안 유지된다.

<85> 시간 t2에서 스위칭 소자(T4)는 턴오프 상태가 되어 제1 노드(N1)는 플로팅(floating) 상태가 되고, 제1 클럭 단자(CK1)에 하이 레벨을 갖는 제1 클럭 신호(CKV1)가 인가되어 풀업부(213)의 스위칭 소자(T1)와 캐리 출력부(214)의 스위칭 소자(T15)가 턴온된다. 따라서, 제1 클럭 단자(CK1)로 제공되는 클럭 신호(CKV1)가 각각 게이트 출력 단자(OUT1)와 캐리 출력 단자(OUT2)를 통해 게이트 온 신호(Gout(j)) 및 캐리 신호(Cout(j))로 출력된다. 이때, 스위칭 소자(T1)가 턴온되면서 제1 노드(N1)는 게이트 활성화 구간(b)에서 제1 전압 레벨보다 높은 제2 전압 레벨을 갖게 되고, 게이트 활성화 구간(b)은 2H 동안 유지된다.

<86> 시간 t3에서, 스위칭 소자(T1)는 턴온 상태가 유지되어 제1 클럭 단자(CK1)로 제공되는 클럭 신호(CKV1)가 게이트

트 출력 단자(OUT1)를 통해 게이트 오프 신호(Gout(j))로 출력된다. 이때, 제1 노드(N1)는 제1 게이트 비활성 구간(c)에서 제2 전압 레벨보다 낮은 제3 전압 레벨을 갖게 되고, 제1 게이트 비활성 구간(c)은 1H 동안 유지된다. 여기서, 제1 게이트 비활성 구간(c)은 스위칭 소자(T9)의 게이트에 다른 스테이지의 게이트 온 신호(Gout(j+3))가 입력되기 전까지의 구간을 나타낸다.

<87> 시간 t4에서, 스위칭 소자(T9)가 다른 스테이지의 게이트 온 신호(Gout(j+3))에 응답하여 턴온되면, 제1 노드(N1)는 제2 게이트 비활성 구간(d)에서 제3 전압 레벨보다 낮은 제4 전압 레벨 즉, 게이트 오프 신호(Voff)로 방전된다. 이때에 제1 및 제2 캐패시터(C1, C2)에 충전된 전하는 스위칭 소자(T9)를 통해 게이트 오프 신호(Voff)로 방전된다.

<88> 상기와 같이 본 발명에서는 제2 노드의 전압 레벨을 게이트 오프 신호의 전압 레벨로 풀다운시키는 스위칭 소자(T2)를 제거하고, 각 스테이지의 리셋 단자(R)에 다른 스테이지의 게이트 온 신호(Gout(j+3))를 제공함으로써 제1 노드가 제1 게이트 비활성화 구간에서 일정 레벨을 갖도록 하여 스위칭 소자(T1)가 게이트 오프 신호를 제2 노드로 출력하게 한다. 그러므로, 스위칭 소자(T2) 없이도 스위칭 소자(T9)가 스위칭 소자(T2)의 역할을 할 수 있다. 따라서, 게이트 구동 회로에서 가장 많은 공간을 차지하는 스위칭 소자(T2)를 제거함으로써 액정 패널 내에서 게이트 구동 회로가 차지하는 공간을 줄일 수 있으며, 이로 인해 게이트 구동 회로의 공정 마진을 확보할 수 있다.

<89> 도 6은 도 2의 각 스테이지의 다른 내부 회로도이다.

<90> 도 6을 참조하면, 각 스테이지는 풀업 구동부(211), 풀다운부(212, 314), 풀업부(213), 캐리 출력부(214), 리플 방지부(215), 스위칭부(216), 홀딩부(217) 및 리셋부(218)를 포함한다.

<91> 본 발명의 제2 실시예에서는 풀다운부(212, 314)를 제외한 나머지 부분에 대한 설명은 본 발명의 제1 실시예와 동일하므로 생략하기로 한다.

<92> 풀다운부(212, 314)는 게이트는 리셋 단자(R)에 연결되어 있으며, 소스는 전원 전압 단자(GV)에 연결되어 있고, 드레인은 제1 노드(N1)에 연결되어 있는 스위칭 소자(T9)와, 게이트는 리셋 단자(R)에 연결되어 있고, 소스는 전원 전압 단자(GV)에 연결되어 있으며, 드레인은 게이트 출력 단자(OUT1)에 연결되어 있는 스위칭 소자(T2)를 포함한다.

<93> 여기서, 스위칭 소자(T2)의 종횡비는 스위칭 소자(T1)의 종횡비의 1/2 이하로 설정할 수 있다.

<94> 이하에서는 도 5 및 도 6을 참조하여 각 스테이지의 동작에 대해 설명한다.

<95> 도 5 및 도 6을 참조하면, 시간 t1에서 풀업 구동부(211)의 스위칭 소자(T4)가 제1 시작 신호(STV1) 또는 다른 스테이지의 캐리 신호에 응답하여 턴온되면, 제1 및 제2 캐패시터(C1, C2)가 충전된다. 여기서, 제1 노드(N1)는 준비 구간(a)에서 제1 전압 레벨을 갖으며, 준비 구간(a)은 2H 동안 유지된다.

<96> 시간 t2에서 스위칭 소자(T4)는 턴오프 상태가 되어 제1 노드(N1)는 플로팅(floating) 상태가 되고, 제1 클럭 단자(CK1)에 하이 레벨을 갖는 제1 클럭 신호(CKV1)가 인가되어 스위칭 소자(T1)와 스위칭 소자(T15)가 턴온된다. 따라서, 제1 클럭 단자(CK1)로 제공되는 클럭 신호(CKV1)가 각각 게이트 출력 단자(OUT1)와 캐리 출력 단자(OUT2)를 통해 게이트 온 신호(Gout(j)) 및 캐리 신호(Cout(j))로 출력된다. 이때, 스위칭 소자(T1)가 턴온되면서 제1 노드(N1)는 게이트 활성화 구간(b)에서 제1 전압 레벨보다 높은 제2 전압 레벨을 갖게 되고, 게이트 활성화 구간(b)은 2H 동안 유지된다.

<97> 시간 t3에서, 스위칭 소자(T1)는 턴온 상태가 유지되어 제1 클럭 단자(CK1)로 제공되는 클럭 신호(CKV1)가 게이트 출력 단자(OUT1)를 통해 게이트 오프 신호(Gout(j))로 출력된다. 이때, 제1 노드(N1)는 제1 게이트 비활성 구간(c)에서 제2 전압 레벨보다 낮은 제3 전압 레벨을 갖게 되고, 제1 게이트 비활성 구간(c)은 1H 동안 유지된다. 여기서, 게이트 비활성 구간(c)은 스위칭 소자(T9)의 게이트에 다른 스테이지의 게이트 온 신호(Gout(j+3))가 입력 되기 전까지의 구간을 나타낸다.

<98> 시간 t4에서, 스위칭 소자(T9)가 다른 스테이지의 게이트 온 신호(Gout(j+3))에 응답하여 턴온되면, 제1 노드(N1)는 제2 게이트 비활성 구간(d)에서 제3 전압 레벨보다 낮은 제4 전압 레벨 즉, 게이트 오프 신호(Voff)로 방전된다. 이때에 제1 및 제2 캐패시터(C1, C2)에 충전된 전하는 스위칭 소자(T9)를 통해 게이트 오프 신호(Voff)로 방전된다.

<99> 여기에서는 도 4와 같이 스위칭 소자(T2)를 제거하지 않고, 스위칭 소자(T2)의 종횡비를 스위칭 소자(T1)의 종

횡비의 1/2 이하로 설정한 후에 각 스테이지의 리셋 단자(R)에 다른 스테이지의 게이트 온 신호(Gout(j+3))를 제공함으로써 제1 노드가 제1 게이트 비활성화 구간에서 일정 레벨을 갖도록 하여 스위칭 소자(T1)가 게이트 오프 신호를 제2 노드로 출력하게 하고, 이와 동시에 스위칭 소자(T2)도 턴온되어 제2 노드로 게이트 오프 신호를 출력한다. 따라서, 게이트 구동 회로에서 가장 많은 공간을 차지하는 스위칭 소자(T2)의 크기를 줄임으로써 액정 패널 내에서 게이트 구동 회로가 차지하는 공간을 줄일 수 있으며, 이로 인해 게이트 구동 회로의 공정 마진을 확보할 수 있다.

<100> 도 7 및 도 8은 본 발명의 제2 실시예에 따른 게이트 구동 회로에서 사용되는 제1 및 제2 쉬프트 레지스터를 나타낸 블록도이다.

<101> 도 1 및 7을 참조하면, 제1 쉬프트 레지스터(400L)는 다수의 게이트 라인( $G_1, \dots, G_n$ )의 일측에 연결되고, 제2 쉬프트 레지스터(400R)는 다수의 게이트 라인( $G_1, \dots, G_n$ )의 타측에 연결되어 있다. 이때, 제1 쉬프트 레지스터(400L) 및 제2 쉬프트 레지스터(400R)는 번갈아 가면서 차례로 턴온된다. 예를 들면, 첫 번째 게이트 라인( $G_1$ )에 인가되는 게이트 온 신호(Gout1)는 제1 쉬프트 레지스터(400L)에서 출력되며, 두 번째 게이트 라인( $G_2$ )에 인가되는 게이트 온 신호(Gout2)는 제2 쉬프트 레지스터(400R)에서 출력된다.

<102> 여기서, 첫 번째 게이트 라인( $G_1$ )에 인가되는 게이트 온 신호(Gout1)는 도 5에 도시된 바와 같이 예비 충전 구간(P1)과 본 충전 구간(M1)을 포함하며, 두 번째 게이트 라인( $G_2$ )에 인가되는 게이트 온 신호(Gout2)는 예비 충전 구간(P1)만큼 딜레이 된 신호이다.

<103> 제1 쉬프트 레지스터(400L)는 순차적으로 홀수 번째 게이트 온 신호를 출력하는 다수의 좌측 스테이지(STL1,  $\dots$ , STL(j))로 이루어지고, 제2 쉬프트 레지스터(400R)는 순차적으로 짝수 번째 게이트 온 신호를 출력하는 다수의 우측 스테이지(STR1,  $\dots$ , STR(j))로 이루어진다. 여기서, 다수의 좌측 스테이지들(STL1,  $\dots$ , STL(j))과 다수의 우측 스테이지들(STR1,  $\dots$ , STR(j))은 서로 종속적으로 연결된다.

<104> 다수의 좌측 홀수 스테이지(STL1, STL3, STL5, STL7)와 다수의 우측 짝수 스테이지(STR2, STR4, STR6, STR8)는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 포함한다.

<105> 다수의 좌측 짝수 스테이지(STL2, STL4, STL6, STL8)와 다수의 우측 홀수 스테이지(STR1, STR3, STR5, STR7)는 전원 전압 단자(GV), 리셋 단자(R) 및 게이트 출력 단자(OUT1)를 포함한다.

<106> 도 7 및 도 5에 도시된 바와 같이, 좌측 홀수 스테이지(STL1, STL3, STL5, STL7)에는 제1 클럭 신호(CKV1) 및 제1 반전 클럭 신호(CKVB1), 제1 시작 신호(STV1), 게이트 오프 신호(Voff)가 제공되고, 우측 짝수 스테이지(STR2, STR4, STR6, STR8)에는 제2 클럭 신호(CKV2) 및 제2 반전 클럭 신호(CKVB2), 제2 시작 신호(STV2), 게이트 오프 신호(Voff)가 제공된다.

<107> 여기서, 제1 반전 클럭 신호(CKVB1)는 제1 클럭 신호(CKV1)와 반전된 위상을 갖고, 제2 반전 클럭 신호(CKVB2)는 제2 클럭 신호(CKV2)와 반전된 위상을 갖는다. 또한, 제2 클럭 신호(CKV2)는 제1 클럭 신호(CKV1)의 한 주기(T)의 T/4 주기만큼 딜레이 된 신호이고, 제1 반전 클럭 신호(CKVB1)는 제2 반전 클럭 신호(CKVB2)의 한 주기(T)의 T/4 주기만큼 딜레이 된 신호이다.

<108> 또한, 좌측의 첫 번째 스테이지(STL1)의 셋 단자(S)에는 전단 캐리 신호 대신 제1 시작 신호(STV1)가 입력되며, 좌측의 두 번째 스테이지(STL2)의 셋 단자(S)에는 제2 시작 신호(STV2)가 입력된다. 이때, 제2 시작 신호(STV2)는 제1 시작 신호(STV1)의 T/4 주기만큼 딜레이 된 신호이다.

<109> 그리고, 좌측 마지막 스테이지(STL(j))와 우측 마지막 스테이지(STR(j))의 리셋 단자(R)에는 제1 시작 신호(STV1)가 입력된다.

<110> 좌측 홀수 스테이지(STL1, STL3, STL5, STL7), 예를 들면, 좌측 세 번째 스테이지(STL3)의 셋 단자(S) 및 리셋 단자(R)에는 각각 전단 스테이지(STL1)의 캐리 신호와 우측후단 스테이지(STR6)의 게이트 온 신호(Gout6)가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 제1 반전 클럭 신호(CKVB1)와 제1 클럭 신호(CKV1)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 신호(Voff)가 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT)가 입력된다. 게이트 출력 단자(OUT1)는 게이트 온 신호(Gout3)를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호를 출력한다.

<111> 여기서, 세 번째 스테이지(STL3)의 리셋 단자(R)에 우측 후단 스테이지(STR6)의 게이트 온 신호(Gout6)가 입력

될 때, 우측 홀수 스테이지(STR3)의 리셋 단자(R)에 게이트 온 신호(Gout6)가 동시에 입력된다.

- <112> 마지막 스테이지(STL(j))의 캐리 신호(Cout(j))는 초기화 신호로서 각 스테이지(STL1, ..., STL(j))에 제공된다.
- <113> 도 8은 게이트 라인이 6개인 경우를 예를 들어 설명하고 있다.
- <114> 도 1 및 도 8을 참조하면, 6개의 게이트 라인(G1 내지 G6)에 해당 게이트 온 신호(Gout1 내지 Gout6)를 제공하기 위해 좌측 홀수 스테이지(STL1, STL3, STL5)와 우측 짝수 스테이지(STR2, STR4, STR6)이 필요하며, 좌측 더미 스테이지(STL7, STL8, STL9)와 우측 더미 스테이지(STR7, STR8, STR9)가 필요하다.
- <115> 여기서, 좌측 홀수 스테이지(STL1, STL3, STL5)는 게이트 라인(G1, G3, G5)에 각각 게이트 온 신호(Gout1, Gout3, Gout5)를 출력하며, 좌측 더미 스테이지(STL7, STL9)는 각각 게이트 온 신호(Gout7, Gout9)를 출력한다. 또한, 우측 짝수 스테이지(STR2, STR4, STR6)는 게이트 라인(G2, G4, G6)에 각각 게이트 온 신호(Gout2, Gout4, Gout6)를 출력하며, 우측 더미 스테이지(STR8)는 게이트 온 신호(Gout8)를 출력한다.
- <116> 그리고, 좌측 첫 번째 스테이지(STL1)의 리셋 단자(R)에 우측 후단 스테이지(STR4)의 게이트 온 신호(Gout4)가 입력되고, 이때에 좌측 스테이지(STL1)에 대응되는 우측 스테이지(STR1)의 리셋 단자(R)에도 게이트 온 신호(Gout4)가 동시에 입력된다. 그리고, 좌측 스테이지(STL3)의 리셋 단자(R)에 우측 후단 스테이지(STR6)의 게이트 온 신호(Gout6)가 입력되고, 이때에 좌측 스테이지(STL3)에 대응되는 우측 후단 스테이지(STR3)의 리셋 단자(R)에도 게이트 온 신호(Gout6)가 동시에 입력된다.
- <117> 또한, 우측 스테이지(STR2)의 리셋 단자(R)에 좌측 후단 스테이지(STL5)의 게이트 온 신호(Gout5)가 입력되고, 이때에 우측 스테이지(STR2)에 대응되는 좌측 스테이지(STL2)의 리셋 단자(R)에는 게이트 온 신호(Gout5)가 동시에 입력된다. 그리고, 우측 스테이지(STR4)의 리셋 단자(R)에는 좌측 후단 스테이지(STL7)의 게이트 온 신호(Gout7)가 입력되고 이때에 우측 스테이지(STR4)에 대응되는 좌측 후단 스테이지(STL7)의 리셋 단자(R)에는 게이트 온 신호(Gout7)가 동시에 입력된다. 따라서, 본 발명의 제2 실시예에서는 본 발명의 제1 실시예와 동일하게 각 스테이지의 리셋 시점을 조절할 수 있다.
- <118> 여기서, 제1 쉬프트 레지스터(400L)의 좌측 홀수 스테이지들과 제2 쉬프트 레지스터(400R)의 우측 짝수 스테이지들은 서로 동일한 구성을 갖는다. 이때, 좌측 홀수 스테이지들과 우측 짝수 스테이지들은 도 4 및 도 6과 동일한 회로로 이루어질 수 있다. 그러므로, 각 스테이지의 내부 회로에 대한 설명은 생략하기로 한다.
- <119> 따라서, 본 발명의 제2 실시예에서도 본 발명의 제1 실시예와 동일한 효과를 얻을 수 있다.
- <120> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

### 발명의 효과

- <121> 상술한 바와 같이 본 발명에 따른 게이트 구동 회로 및 이를 포함하는 액정 표시 장치에 의하면, 액정 패널 내에서 게이트 구동 회로의 공정 마진을 용이하게 확보할 수 있다.

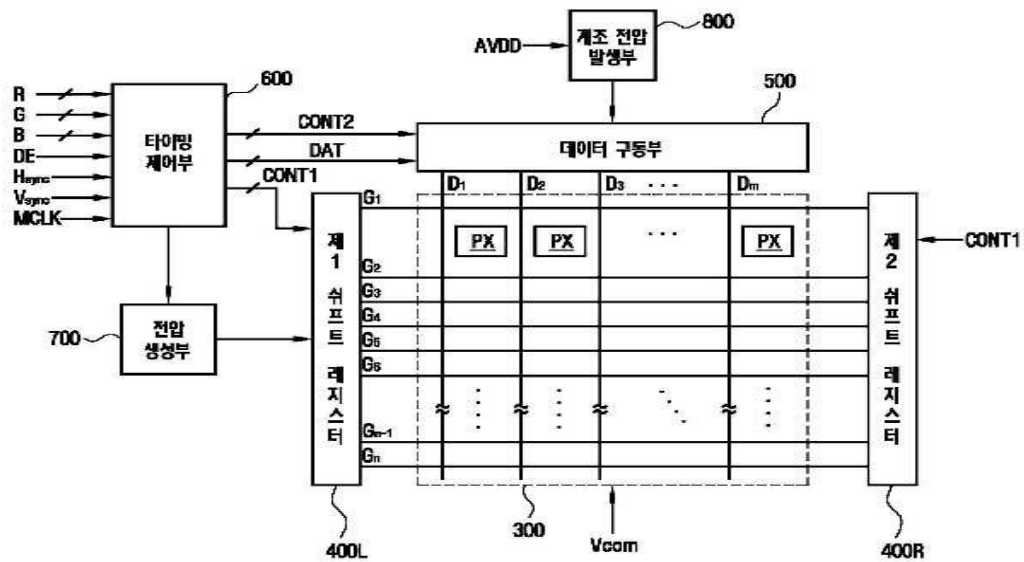
### 도면의 간단한 설명

- <1> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 블록도이다.
- <2> 도 2 및 도 3은 본 발명의 제1 실시예에 따른 게이트 구동 회로에서 사용되는 제1 및 제2 쉬프트 레지스터를 나타낸 블록도이다.
- <3> 도 4는 도 2의 각 스테이지의 내부 회로도이다.
- <4> 도 5는 도 4의 각 스테이지의 동작을 나타내는 파형도이다.
- <5> 도 6은 도 2의 각 스테이지의 다른 내부 회로도이다.
- <6> 도 7 및 도 8은 본 발명의 제2 실시예에 따른 게이트 구동 회로에서 사용되는 제1 및 제2 쉬프트 레지스터를 나타낸 블록도이다.
- <7> (도면의 주요부분에 대한 부호의 설명)

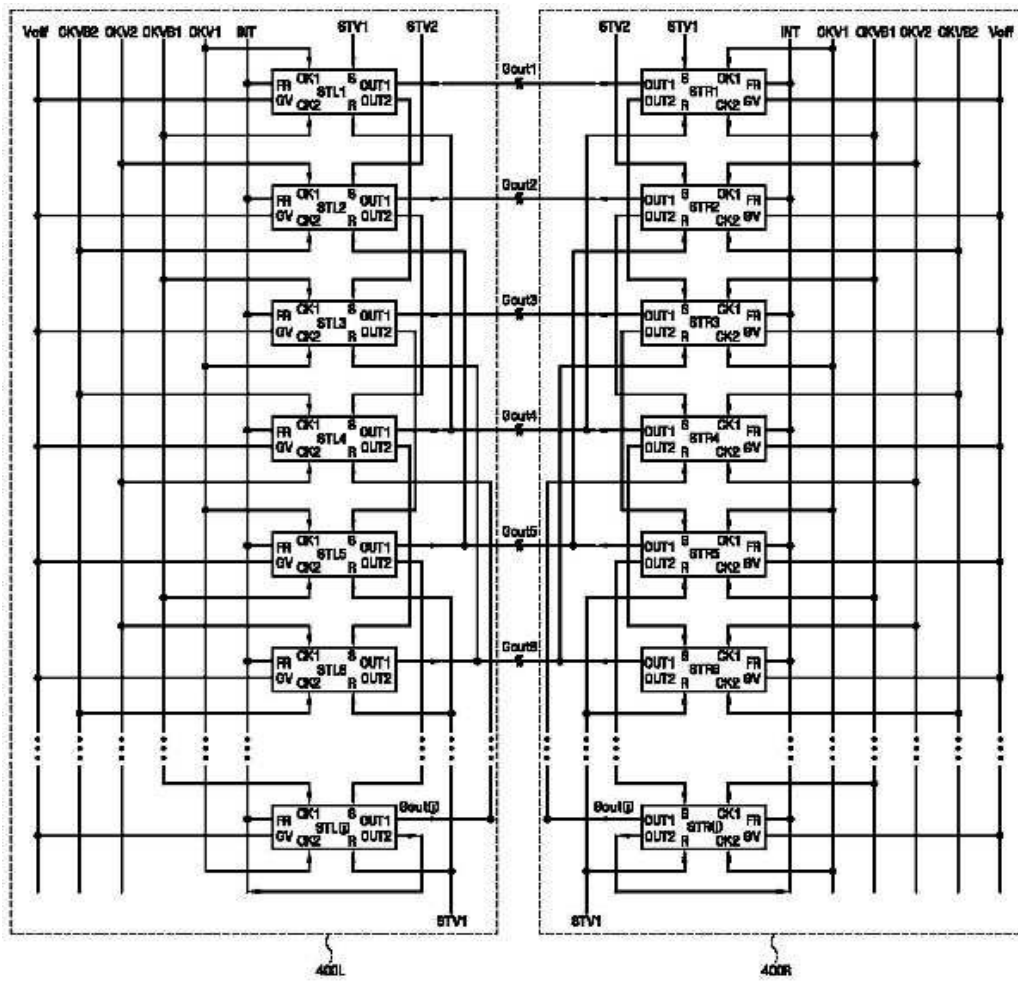
- |      |                   |                   |
|------|-------------------|-------------------|
| <8>  | 211: 폴업 구동부       | 212: 폴다운 구동부      |
| <9>  | 213: 폴업부          | 214: 캐리 출력부       |
| <10> | 215: 리플 방지부       | 216: 스위칭부         |
| <11> | 217: 홀딩부          | 218: 리셋부          |
| <12> | 300: 액정 패널        | 400L: 제1 쉬프트 레지스터 |
| <13> | 400R: 제2 쉬프트 레지스터 | 500L: 데이터 구동부     |
| <14> | 600: 타이밍 제어부      | 700: 전압 생성부       |
| <15> | 800: 계조 전압 발생부    |                   |

도면

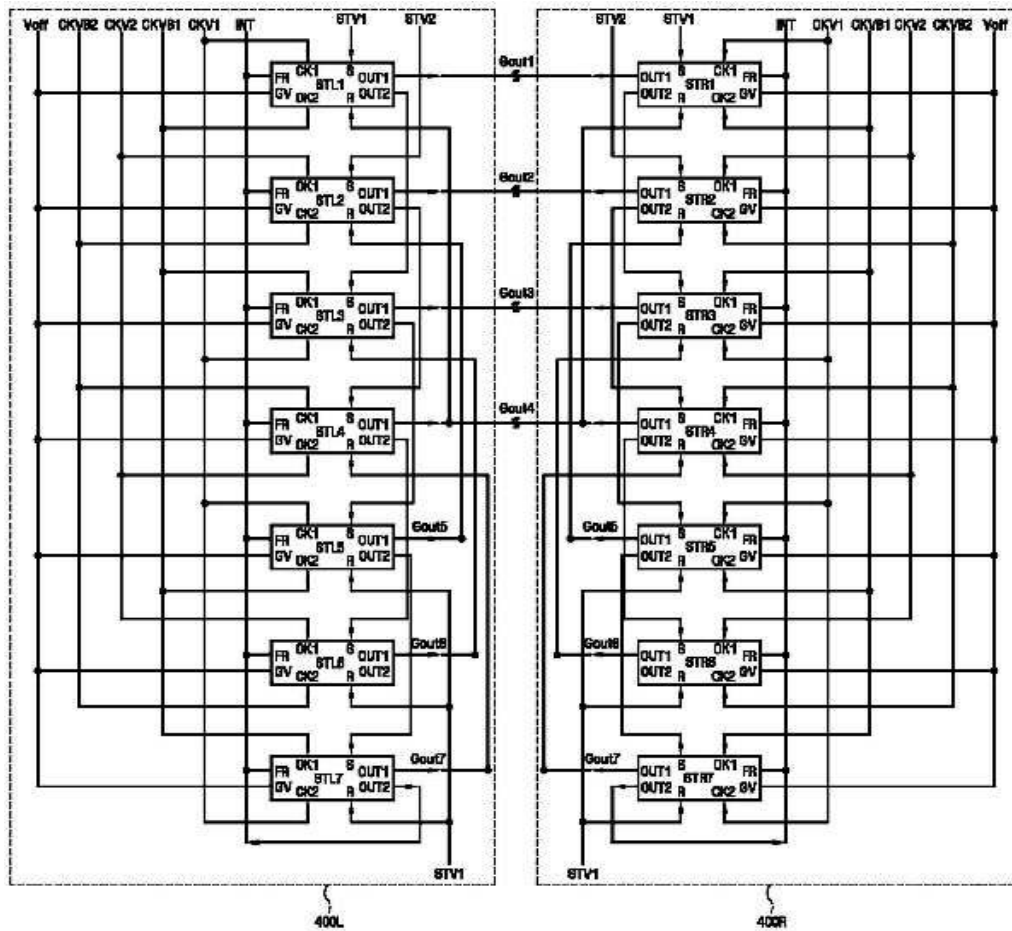
도면1



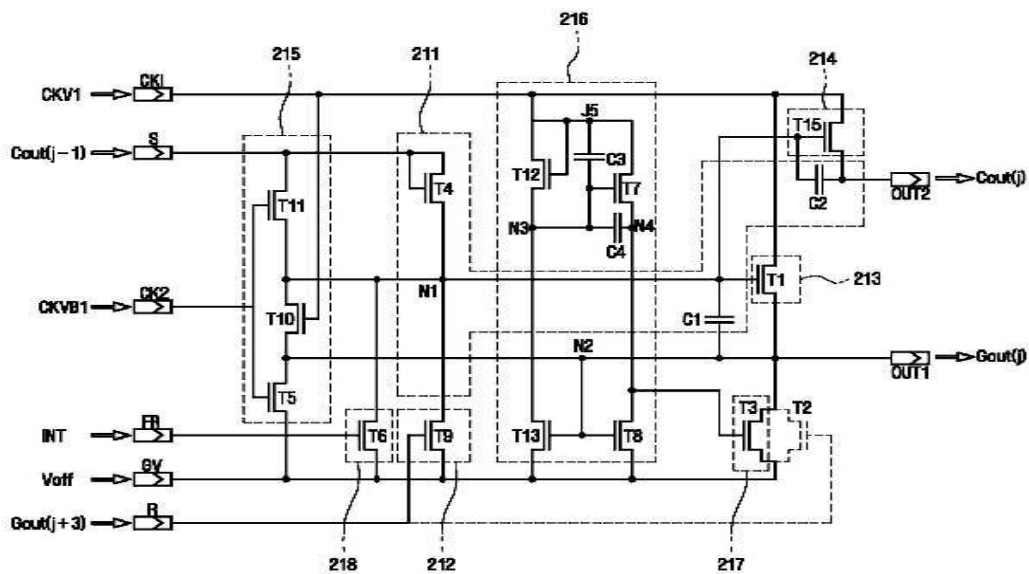
도면2



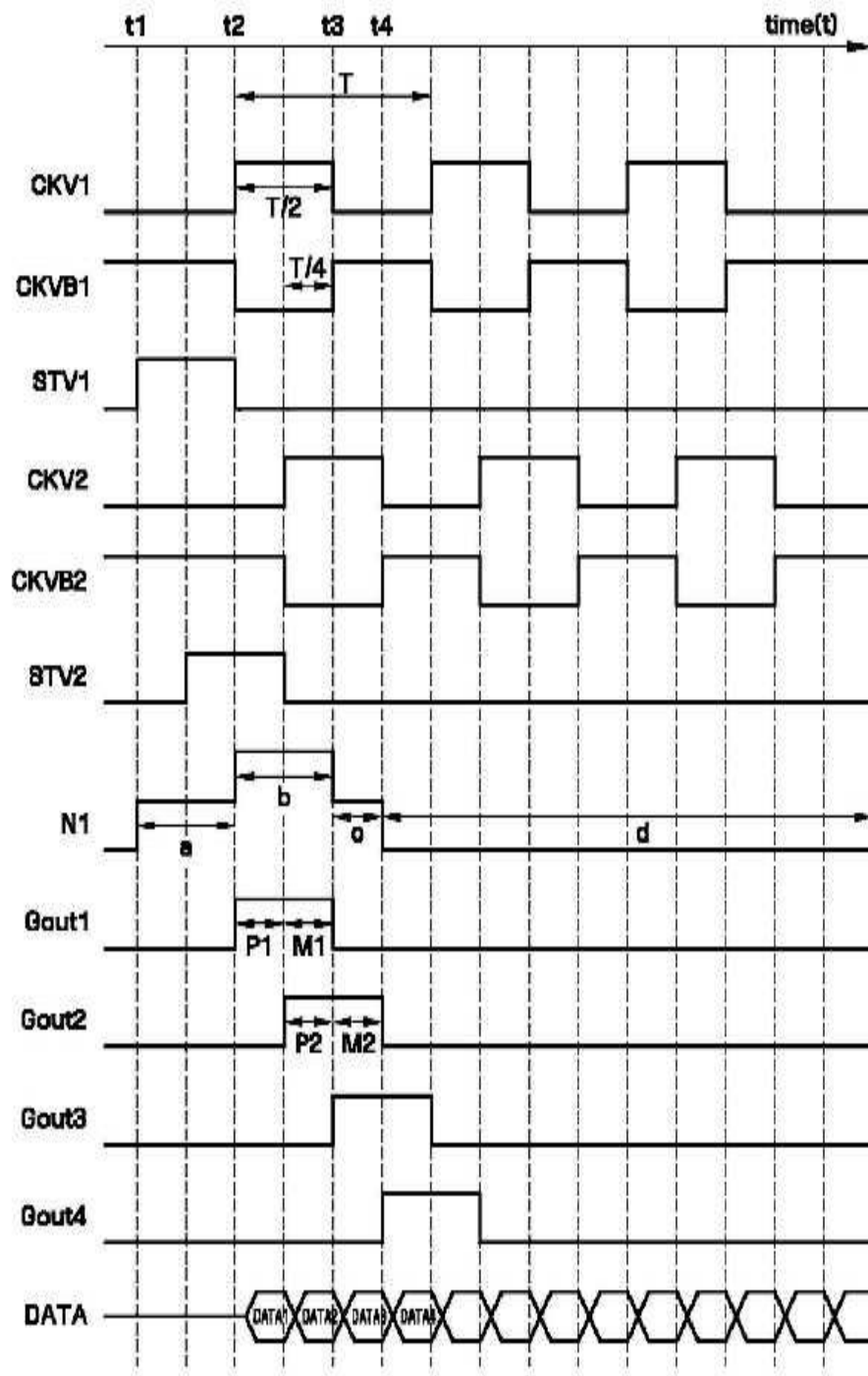
도면3



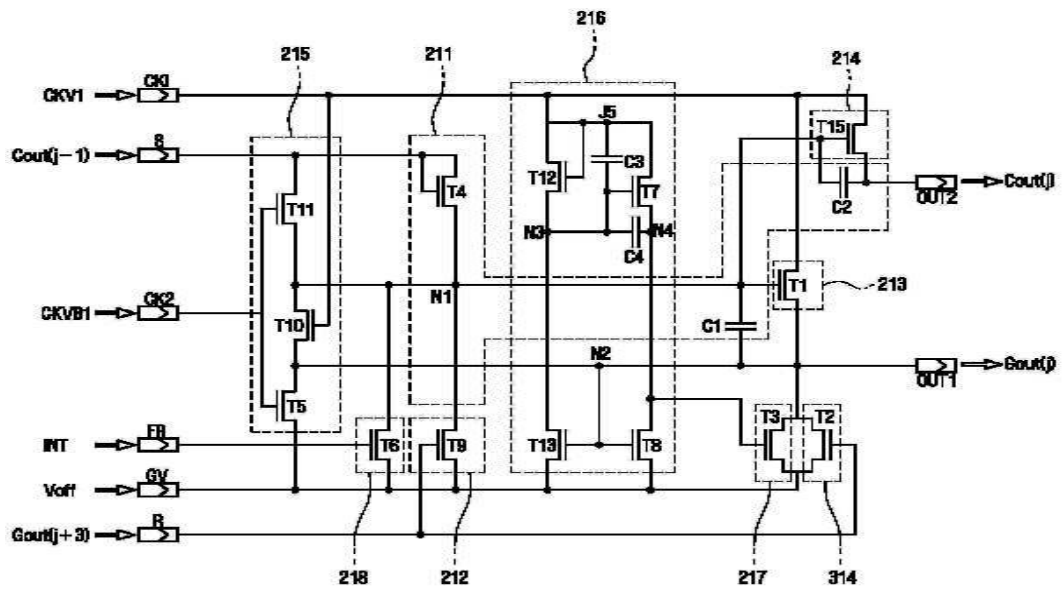
도면4



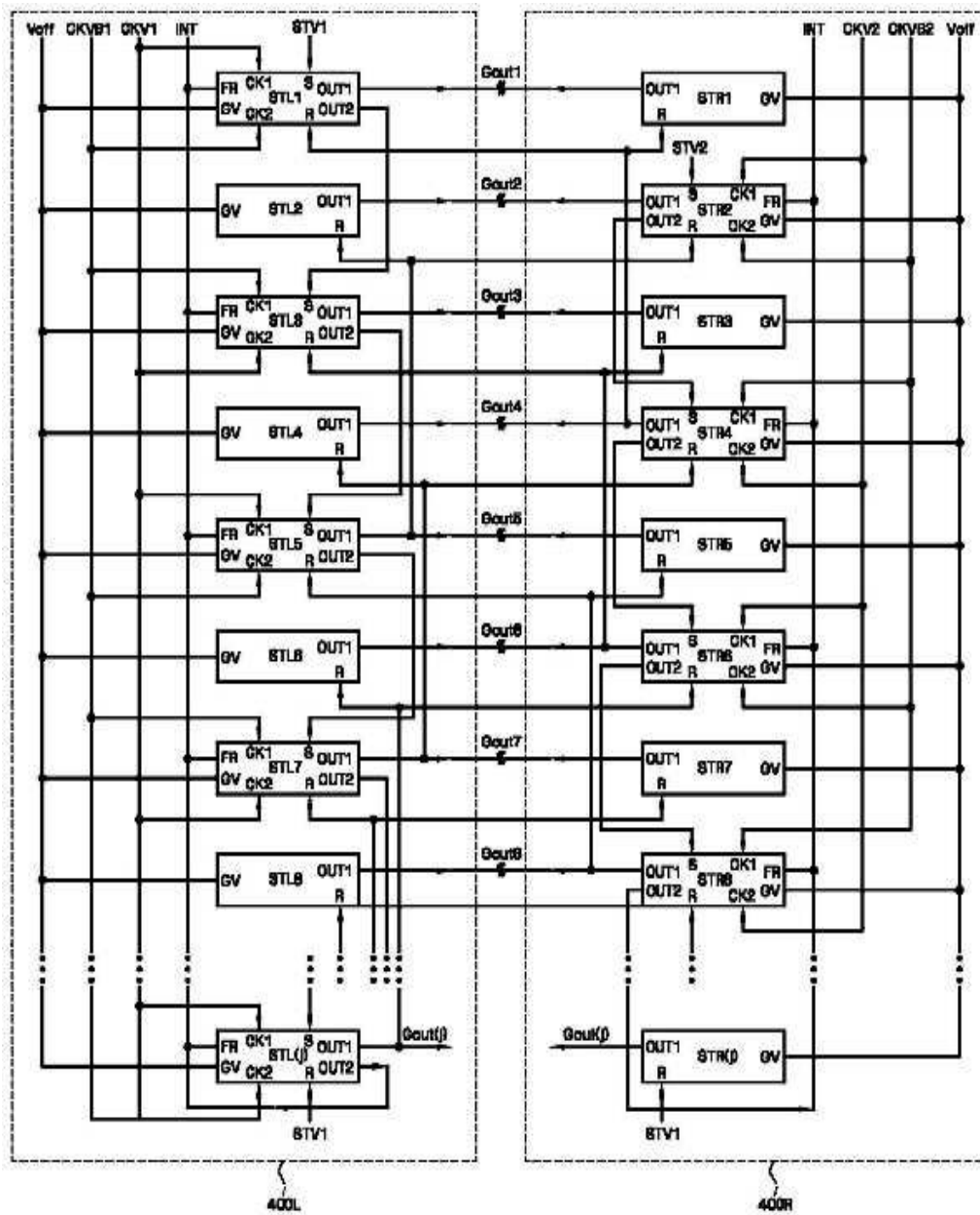
도면5



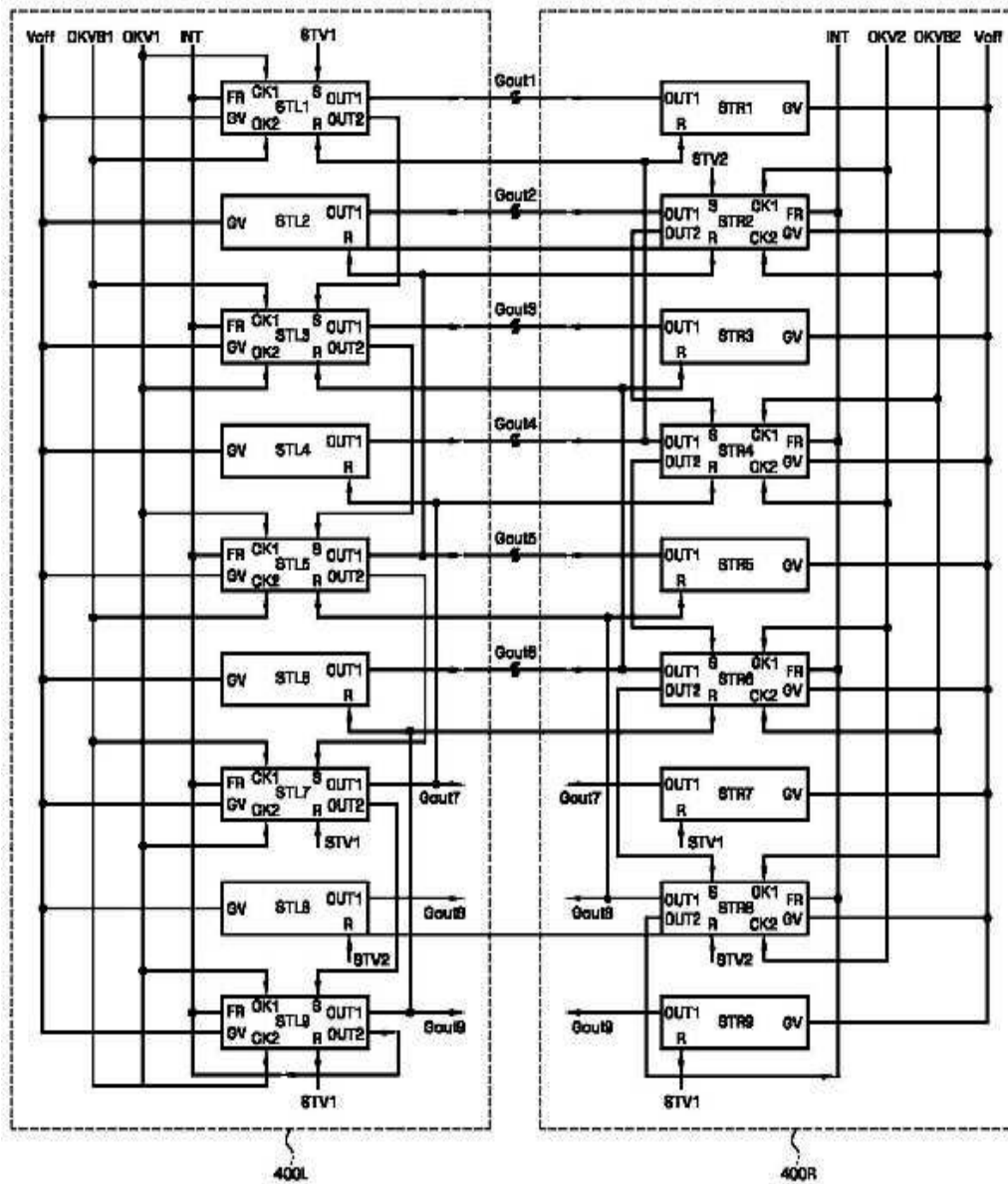
도면6



도면7



도면8



专利名称(译)	栅极驱动电路和包括其的液晶显示装置		
公开(公告)号	<a href="#">KR1020080096287A</a>	公开(公告)日	2008-10-30
申请号	KR1020070041563	申请日	2007-04-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE BONG JUN 이봉준 KIM KYUNG WOOK 김경욱 KIM JONG OH 김종오 KIM SUNG MAN 김성만 LEE HONG WOO 이홍우 KIM HYUK JIN 김혁진		
发明人	이봉준 김경욱 김종오 김성만 이홍우 김혁진		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G02F1/13454 G09G2310/0286 G09G2340/145 G11C19/184		
其他公开文献	KR101307414B1		
外部链接	<a href="#">Espacenet</a>		

# 摘要(译)

用途：提供栅极驱动电路和包括该栅极驱动电路的液晶显示器，以通过减小开关元件的尺寸或移除开关元件来确保工艺余量。组成：栅极驱动电路包括多个级。每个级包括第一至第三节点，上拉驱动器（211），上拉单元（213），进位输出单元（214）和下拉单元（212）。上拉驱动器接收其他级的启动信号或进位信号，并将控制信号输出到第一节点。控制信号在准备时段期间具有第一电压电平，在栅极有效时段期间具有高于第一电压电平的第三电压电平，在第一栅极无效时段期间具有低于第二电压电平的第三电压电平，以及第四电压在第二栅极无效期间，电平低于第三电压电平。上拉单元在栅极有效时段期间接收控制信号和时钟信号，并将栅极导通信号输出到第二节点。进位输出单元在栅极有效时段期间接收控制信号和时钟信号，并将进位信号输出到第三节点。下拉单元接收进位信号和其他级的栅极截止信号，并将在第二栅极无效期间将第三电压电平下拉至第四电压电平的第三电压电平的控制信号输出到第一节点。

©KIPO 2009

