



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0069733
(43) 공개일자 2008년07월29일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0007306

(22) 출원일자 2007년01월24일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김장일

충남 아산시 탕정면 명암리 산 20-12 삼성크리스탈청옥동 406호

홍권삼

서울특별시 동작구 대방동 성원아파트 102동 902호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

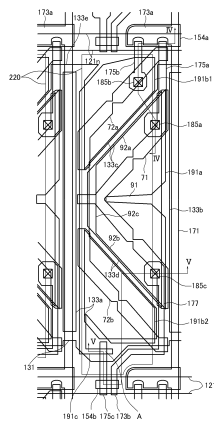
전체 청구항 수 : 총 8 항

(54) 박막 트랜지스터 표시판

(57) 요약

본 발명에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 형성되어 있으며 상호 이웃하는 제1 및 제2 게이트선, 제1 게이트선과 연결되어 있는 제1 및 제2 박막 트랜지스터, 제2 게이트선과 연결되어 있으며, 드레인 전극을 포함하는 제3 박막 트랜지스터, 제1 박막 트랜지스터 및 제2 박막 트랜지스터와 연결되어 있는 데이터선, 제1 및 제3 박막 트랜지스터와 전기적으로 연결되어 있는 제1 부화소 전극, 제2 박막 트랜지스터와 전기적으로 연결되어 있으며 돌출부를 포함하는 제2 부화소 전극을 포함하는 화소 전극을 포함하며, 돌출부와 드레인 전극은 각각 중앙부가 상호 절연 중첩한다. 이에 의해 액정 표시 장치의 측면 시인성 및 휘도의 균일성을 향상할 수 있다.

대표도 - 도1



(72) 발명자

유두환

경기도 광명시 소하2동 미도아파트 101동 602호

박인호

충청남도 천안시 두정동 우성아파트 105동 1207호

손현덕

경기 용인시 수지구 상현동 서원마을 금호베스트빌
508동801호

특허청구의 범위

청구항 1

기관,

상기 기관 위에 형성되어 있으며 상호 이웃하는 제1 및 제2 게이트선,

상기 제1 게이트선과 연결되어 있는 제1 및 제2 박막 트랜지스터,

상기 제2 게이트선과 연결되어 있으며, 드레인 전극을 포함하는 제3 박막 트랜지스터,

상기 제1 박막 트랜지스터 및 제2 박막 트랜지스터와 연결되어 있는 데이터선,

상기 제1 및 제3 박막 트랜지스터와 전기적으로 연결되어 있는 제1 부화소 전극, 상기 제2박막 트랜지스터와 전기적으로 연결되어 있으며 돌출부를 포함하는 제2 부화소 전극을 포함하는 화소 전극

을 포함하며,

상기 돌출부와 상기 드레인 전극은 각각 중앙부가 상호 절연 중첩하는 박막 트랜지스터 표시판.

청구항 2

제1항에서,

상기 드레인 전극은 상기 제2 부화소 전극을 향해 뻗어 있는 박막 트랜지스터 표시판.

청구항 3

제1항에서,

상기 돌출부는 중앙부가 막대 형상인 박막 트랜지스터 표시판.

청구항 4

제1항에서,

상기 드레인 전극은 중앙부가 막대 형상인 박막 트랜지스터 표시판.

청구항 5

제1항에서,

상기 제1 부화소 전극과 상기 제2 부화소 전극은 간극을 사이에 두고 분리되어 있으며,

상기 제2부화소 전극은 상부 제2부화소 전극과 하부 제2 부화소 전극을 포함하는 박막 트랜지스터 표시판.

청구항 6

제5항에서,

상기 돌출부는 상기 하부 제2 부화소 전극의 모서리로부터 뻗어 나와 상기 드레인 전극을 향해 돌출되어 있는 박막 트랜지스터 표시판.

청구항 7

제5항에서,

상기 돌출부는 상기 하부 제2 부화소 전극의 하측면으로부터 뻗어 나와 상기 드레인 전극을 향해 돌출되어 있는 박막 트랜지스터 표시판.

청구항 8

제5항에서,

상기 제2 부화소 전극은 상기 간극과 나란한 경계선을 가지는 적어도 하나의 절개부를 포함하는 박막 트랜지스

터 표시판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 박막 트랜지스터 표시판에 관한 것으로, 특히 액정 표시 장치용 박막 트랜지스터 표시판에 관한 것이다.
- <21> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층 및 표시판 바깥면에 부착되어 있는 편광자를 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고, 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.
- <22> 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다.
- <23> 수직 배향 방식의 액정 표시 장치에서 넓은 기준 시야각을 구현하기 위한 구체적인 방법으로는 전기장 생성 전극에 절개부를 형성하는 방법과 전기장 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부 및 돌기는 액정 분자가 기울어지는 방향(tilt direction)을 결정하므로, 이들을 적절하게 배치하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.
- <24> 그러나 수직 배향 모드의 액정 표시 장치는 전면 시인성에 비해서 측면 시인성이 떨어진다. 이러한 측면 시인성을 개선하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 부화소에 서로 다른 전압이 인가되도록 하는 구조가 제시되었다.
- <25> 이 구조 중 하나가 전단 게이트선 및 본단 게이트선에 각각 연결되어 있는 제1 및 제3 박막 트랜지스터를 각각 제1 부화소 전극에 연결하고 전단 게이트선에 연결되어 있는 제2 박막 트랜지스터를 제2 부화소 전극에 연결하며, 제3 박막 트랜지스터의 드레인 전극은 제2 부화소 전극과 절연 중첩되어 커플링되는 구조이다.
- <26> 이러한 구조는 본단 게이트선에 게이트 신호가 인가되면, 제1 부화소 전극에 충전된 전하가 빠져나와 커플링된 제3 박막 트랜지스터의 드레인 전극으로 이동하여 충전되게 된다. 따라서 제1 부화소는 전압이 떨어지고 제2 부화소는 전압이 상승하여 측면 시인성이 개선되는 것이다. 이때 커플링된 드레인 전극에 전하가 충전되는 정도는 드레인 전극과 제2부화소 전극간의 중첩 면적에 의해 결정되며, 중첩 면적이 일정하여야 각 화소 별로 휘도도 일정하게 된다.

발명이 이루고자 하는 기술적 과제

- <27> 그런데 박막 트랜지스터 표시판을 형성하기 위한 박막의 패터닝 공정에서 정렬이 제대로 이루어지지 않는 경우 각 화소 별로 제3 박막 트랜지스터의 드레인 전극과 제2 부화소 전극 간의 중첩 면적이 달라지면 각 화소 별로 휘도가 달라지게 되어 액정 표시 장치의 전체 휘도가 불균일해지는 문제점이 발생한다. 따라서 본 발명이 이루고자 하는 기술적 과제는 측면 시인성을 향상할 수 있으며, 각 화소 별로 커플링된 드레인 전극과 부화소 전극과의 중첩 면적을 일정하게 하여 액정 표시 장치의 휘도 균일성을 향상할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

발명의 구성 및 작용

- <28> 상기한 과제를 달성하기 위한 본 발명에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 형성되어 있으며 상호 이웃하는 제1 및 제2 게이트선, 상기 제1 게이트선과 연결되어 있는 제1 및 제2 박막 트랜지스터, 상기 제2 게이트선과 연결되어 있으며, 드레인 전극을 포함하는 제3 박막 트랜지스터, 상기 제1 박막 트랜지스터 및 제2 박막 트랜지스터와 연결되어 있는 데이터선, 상기 제1 및 제3 박막 트랜지스터와 전기적으로 연결되어 있는

제1 부화소 전극, 상기 제2박막 트랜지스터와 전기적으로 연결되어 있으며 돌출부를 포함하는 제2 부화소 전극을 포함하는 화소 전극을 포함하며, 상기 돌출부와 상기 드레인 전극은 각각 중앙부가 상호 절연 중첩한다.

- <29> 상기 드레인 전극은 상기 제2 부화소 전극을 향해 뻗어 있을 수 있다.
- <30> 상기 돌출부는 중앙부가 막대 형상일 수 있다.
- <31> 상기 드레인 전극은 중앙부가 막대 형상일 수 있다.
- <32> 상기 제1 부화소 전극과 상기 제2 부화소 전극은 간극을 사이에 두고 분리되어 있으며, 상기 제2부화소 전극은 상부 제2부화소 전극과 하부 제2 부화소 전극을 포함할 수 있다.
- <33> 상기 돌출부는 상기 하부 제2 부화소 전극의 모서리로부터 뻗어 나와 상기 드레인 전극을 향해 돌출되어 있을 수 있다.
- <34> 상기 돌출부는 상기 하부 제2 부화소 전극의 하측면으로부터 뻗어 나와 상기 드레인 전극을 향해 돌출되어 있을 수 있다.
- <35> 상기 제2 부화소 전극은 상기 간극과 나란한 경계선을 가지는 적어도 하나의 절개부를 포함할 수 있다.
- <36> 그러면, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <37> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <38> 먼저, 도 1 내지 도 5를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.
- <39> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 2는 도 1의 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 3은 도 1의 액정 표시 장치용 공통 전극 표시판의 배치도이고, 도 4는 도 1의 액정 표시 장치를 IV-IV선을 따라 잘라 도시한 단면도이고, 도 5은 도 1의 액정 표시 장치를 V-V선을 따라 잘라 도시한 단면도이다.
- <40> 도 1 내지 도 5를 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 그리고 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- <41> 먼저, 도 1, 도 2, 도 4 및 도 5를 참조하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다.
- <42> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 제1 및 제2 게이트선(121n, 121p), 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다.
- <43> 복수의 게이트선(121n, 121p)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있으며, 제1 게이트선(121n)은 전단 게이트선이며, 제2 게이트선(121p)은 본단 게이트선을 말한다. 각 게이트선(121n, 121p)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함할 수 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동 회로가 기판(110) 위에 집적되어 있는 경우 게이트선(121n, 121p)이 연장되어 이와 직접 연결될 수 있다.
- <44> 유지 전극선(131)은 소정의 전압을 인가 받으며, 게이트선(121n, 121p)과 거의 나란하게 뻗은 줄기선과 이로부터 갈라진 복수 쌍의 제1 내지 제4 유지 전극(133a, 133b, 133c, 133d) 집합 및 복수의 연결부(133e)를 포함한다. 유지 전극선(131)은 인접한 두 게이트선(121n, 121p) 사이에 위치하며 줄기선은 두 게이트선(121n, 121p) 중 아래쪽(121p)에 가깝다.
- <45> 제1 및 제2 유지 전극(133a, 133b)은 줄기선으로부터 위쪽 방향으로 뻗으며 서로 마주한다. 제1 유지 전극(133a)은 줄기선에 연결된 제1고정단과 그 반대쪽의 제2 고정단을 가지며 제2 고정단은 돌출부를 포함한다. 돌출부는 게이트선(121n)에 대해서 기울어진 빗변을 가진다.
- <46> 제3 및 제4 유지 전극(133c, 133d)은 대략 제1 유지 전극(133a)의 중앙에서 각각 제2 유지 전극(133b)의 상단

및 하단까지 비스듬하게 뻗어 제2 유지 전극(133b)의 상부 및 하부와 연결되어 있다. 유지 전극 연결부(133e)는 이웃하는 제1 유지 전극(133a)과 제2 유지 전극(133b)을 서로 연결한다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.

- <47> 게이트 도전체(121n, 121p, 131)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진 다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO 및 IZO와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진 다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 몰리브덴 (합금) 상부막을 들 수 있다. 그러나 게이트 도전체(121, 131)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- <48> 게이트 도전체(121n, 121p, 131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30도 내지 약 80도인 것이 바람직하다.
- <49> 게이트 도전체(121n, 121p, 131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(140)이 형성되어 있다.
- <50> 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소 등으로 만들어진 복수의 제1 및 제2 섹형 반도체(154a, 154b)가 형성되어 있다. 제1 및 제2 섹형 반도체(154a, 154b)는 게이트선(121n, 121p)과 중첩한다.
- <51> 각각의 섹형 반도체(154a, 154b) 위에는 복수의 섹형 저항성 접촉 부재(163a, 163b, 165a, 165b, 165c)가 형성되어 있다. 저항성 접촉 부재(163a, 163b, 165a, 165b, 165c)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재(163a, 165a, 163b, 165b, 165c)는 쌍을 이루어 제1 및 제2 반도체(154a, 154b) 위에 각각 배치되어 있다.
- <52> 제1 및 제2 반도체(154a, 154b)와 저항성 접촉 부재(163a, 165a, 163b, 165b, 165c)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30도 내지 80도 정도이다.
- <53> 저항성 접촉 부재(163a, 163b, 165a, 165b, 165c) 및 게이트 절연막(140) 위에는 복수의 제1 소스 전극(173a)을 포함하는 데이터선(data line)(171), 복수의 제2 소스 전극(173b) 및 복수의 드레인 전극(drain electrode)(175a, 175b, 175c)을 포함하는 데이터 도전체가 형성되어 있다.
- <54> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121n, 121p), 유지 전극선(131) 및 연결부(133e)와 교차한다. 각 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함할 수 있다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.
- <55> 각 데이터선(171)은 데이터선(171)으로부터 게이트선(121n, 121p)을 향해 왼쪽으로 뻗어 나와 제1 반도체(154a)와 중첩하는 제1 소스 전극(173a)을 포함한다.
- <56> 제2 소스 전극(173b)은 제2 반도체(154b)와 중첩하며, 데이터선(171)을 따라 길게 뻗은 연장 부분(177)을 포함한다. 막대 부분(177)의 끝 부분은 다른 층과의 접속을 용이하게 하기 위해서 확장될 수 있다.
- <57> 제1 드레인 전극(175a)은 한쪽 끝부분이 제1 반도체(154a)와 중첩하며, 다른 끝부분은 중앙 부화소 전극(191a)에 연결되어 있으며, 다른 층과 접촉하기 위해서 다른 부분보다 폭이 확장되어 있다.
- <58> 제2 드레인 전극(175b)은 폭이 균일한 막대 형상이며, 한쪽 끝부분이 제2 반도체(154b)와 중첩하고 다른 끝부분은 데이터선(171)과 나란한 방향으로 하부 부화소 전극(191b2)을 향해 뻗어 있다.
- <59> 제1 소스 전극(173a) 및 제1 드레인 전극(175a)과 중첩하는 제1 반도체(154a) 아래의 게이트선(121n)의 일부분

은 제1 게이트 전극(124a)이 되고, 제1 소스 전극(173a) 및 제2 드레인 전극(175b)과 중첩하는 제1 반도체(154a) 아래의 게이트선(121n)의 일부분은 제2 게이트 전극(124b)이 된다. 그리고 제2 소스 전극(173b) 및 제3 드레인 전극(175c)과 중첩하는 제2 반도체(154b) 아래의 게이트선(121p)의 일부분은 제3 게이트 전극(124c)이 된다. 제1 내지 제3 게이트 전극(124a, 124b, 124c)은 아래 위로 돌출되어 형성될 수 있다.

- <60> 하나의 제1 게이트 전극(124a), 하나의 제1 소스 전극(173a) 및 하나의 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 하나의 제1 박막 트랜지스터(Q1)를 이루며, 제1 박막 트랜지스터(Q1)의 채널은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 제1 반도체(154a)에 형성된다. 그리고 하나의 제2 게이트 전극(124b), 하나의 제1 소스 전극(173a) 및 하나의 제2 드레인 전극(175b)은 제1 반도체(154a)와 함께 하나의 제2 박막 트랜지스터(Q2)를 이루며, 제2 박막 트랜지스터(Q2)의 채널은 제1 소스 전극(173a)과 제2 드레인 전극(175b) 사이의 제1 반도체(154a)에 형성된다.
- <61> 또한, 하나의 제3 게이트 전극(124c), 하나의 제2 소스 전극(173b) 및 하나의 제3 드레인 전극(175c)은 제2 반도체(154b)와 함께 하나의 제3 박막 트랜지스터(Q3)를 이루며, 제3 박막 트랜지스터(Q3)의 채널은 제2 소스 전극(173b)과 제3 드레인 전극(175c) 사이의 제2 반도체(154b)에 형성된다.
- <62> 데이터 도전체(171, 173b, 175a, 175b, 175c)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 173b, 175a, 175b, 175c)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- <63> 데이터 도전체(171, 173b, 175a, 175b, 175c) 또한 그 측면이 기판(110) 면에 대하여 30도 내지 80도 정도의 경사각으로 기울어진 것이 바람직하다.
- <64> 저항성 접촉 부재(163a, 163b, 165a, 165b, 165c)는 그 아래의 제1 및 제2 반도체(154a, 154b)와 그 위의 데이터 도전체(171, 173b, 175a, 175b, 175c) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 제1 및 제2 반도체(154a, 154b)에는 제1 및 제2 소스 전극(173a, 173b)과 제1 내지 제3 드레인 전극(175a, 175b, 175c) 사이를 비롯하여 데이터 도전체(171, 175)로 가리지 않고 노출된 부분이 있다.
- <65> 데이터 도전체(171, 173b, 175a, 175b, 175c) 및 노출된 반도체(154a, 154b) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 무기 절연물의 예로는 질화 규소와 산화 규소를 들 수 있다. 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- <66> 보호막(180)에는 제1 및 제2 드레인 전극(175a, 175b)의 확장된 끝 부분과 막대 부분(177)의 확장된 끝 부분을 드러내는 복수의 접촉 구멍(185a, 185b, 185c)이 형성되어 있다.
- <67> 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191)이 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- <68> 각 화소 전극(191)은 왼쪽 상, 하 모퉁이가 모따기되어 있는(chamfered) 대략 사각형 모양이며, 모판 빗변은 게이트선(121)에 대하여 약 45도의 각도를 이룬다. 화소 전극(191)의 왼쪽 및 오른쪽 경계선은 유지 전극(133a, 133b) 위에 위치한다. 화소 전극(191)의 위쪽 경계선은 게이트선(121n)과 나란하나 한 번 꺾어질 수 있다. 유지 전극(133a)의 돌출부의 빗변은 화소 전극(191)의 모따기된 빗변과 나란할 수 있다.
- <69> 각 화소 전극(191)은 하부 및 상부 간극(92a, 92b)을 사이에 두고 나뉜 상부 부화소 전극(191b1), 하부 부화소 전극(191b2) 및 중앙 부화소 전극(191a)을 포함한다. 하부 및 상부 간극(92a, 92b)은 대략 화소 전극(191)의 왼쪽 변에서부터 오른쪽 변으로 비스듬하게 뻗어 있다. 하부 및 상부 간극은 세로 간극(92c)으로 연결되어 있다. 간극(92a, 92b, 92c)으로 인해서 중앙 부화소 전극(191a)은 대략 90도 만큼 회전한 이등변 사다리꼴이 되고 상부 및 하부 부화소 전극(191b1, 191b2)은 대략 45도 만큼 회전한 사다리꼴이 된다. 하부 및 상부 간극(92a, 92b)은 게이트선(121n, 121p)에 대하여 약 45도의 각도를 이루며 서로 수직이다.
- <70> 상부 부화소 전극(191b1)은 접촉 구멍(185b)을 통해서 제2 드레인 전극(175b)과 연결되어 있다. 한편, 하부 부

화소 전극(191b2)은 모서리로부터 아래로 뺄어나와 오른쪽으로 꺾인 돌출부(191c)를 포함한다.

- <71> 돌출부(191c)는 중앙부가 폭이 일정한 막대 형상으로 되어 있으며, 드레인 전극(175c)의 폭이 일정한 중앙부와 상호 중첩되어 있다. 따라서 각 화소 별로 돌출부(191c)의 중앙부와 드레인 전극(175c)의 중앙부가 교차하면서 생기는 중첩 면적(A)은 일정하다. 즉 상기 구성에 의하면 박막 트랜지스터 표시판(100)의 제조를 위한 패터닝 과정에서 정렬 오차가 발생하더라도 중첩 면적(A)은 각 화소 별로 일정하다.
- <72> 중앙 부화소 전극(191a)은 접촉 구멍(185a, 185c)을 통하여 제1 드레인 전극(175a) 및 제3 드레인 전극(175c)의 연장 부분(177)과 연결되어 있다.
- <73> 중앙 부화소 전극(191a)에는 절개부(91)가 형성되어 있으며, 절개부(91) 및 간극(92a, 92b)을 포함하는 화소 전극(191)은 화소 전극(191)을 이등분하는 가상의 가로 중심선에 대하여 거의 반전 대칭을 이룬다. 절개부(91)는 화소 전극(191)의 가로 중심선을 따라 뺄으며 오른쪽 변 쪽에 입구를 가지고 있다. 절개부(91)의 입구는 하부 간극(92a)과 상부 간극(92b)에 각각 거의 평행한 한 쌍의 빗변을 가지고 있다. 설명을 용이하게 하기 위해서 앞으로 절개부(91)를 제1 절개부, 간극(92a, 92b, 92c)을 제2 절개부로 한다.
- <74> 절개부(91, 92)의 수효 또는 영역의 수효는 화소 전극(191)의 크기, 화소 전극(191)의 가로 변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.
- <75> 다음, 도1, 도 3 내지 도 5를 참고하여 공통 전극 표시판(200)에 대하여 설명한다.
- <76> 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 화소 전극(191) 사이의 빗샘을 막는다. 차광 부재(220)는 화소 전극(191)과 마주하며 화소 전극(191)과 거의 동일한 모양을 가지는 복수의 개구부를 가지고 있다. 그러나 차광 부재(220)는 게이트선(121n, 121p) 및 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어질 수 있다. 차광 부재(220)는 크롬 단일막 또는 크롬과 산화 크롬의 이중막으로 이루어지거나 흑색 안료(pigment)를 포함하는 유기막으로 이루어질 수 있다.
- <77> 기판(210) 위에는 또한 복수의 색필터(color filter)(230)가 형성되어 있으며 차광 부재(220)로 둘러싸인 영역 내에 거의 다 들어가도록 배치되어 있다. 색필터(230)는 화소 전극(191)을 따라 세로 방향으로 길게 뺄어 띠를 이룰 수 있다. 색필터(230)는 적색, 녹색 및 청색 등의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- <78> 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)를 보호하고 색필터(230)가 노출되는 것을 방지하며 평탄면을 제공한다.
- <79> 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO, IZO 등의 투명한 도전체 따위로 만들어지며 복수의 절개부(71, 72a, 72b) 집합을 가진다.
- <80> 하나의 절개부(71, 72a, 72b) 집합은 하나의 화소 전극(191)과 마주하며 중앙 절개부(71), 상부 절개부(72a) 및 하부 절개부(72b)를 포함한다. 절개부(71, 72a, 72b) 각각은 화소 전극(191)의 인접 절개부(91, 92a, 92b) 사이 또는 절개부(92a, 92b)와 화소 전극(191)의 모판 빗변 사이에 배치되어 있다. 또한, 각 절개부(71, 72a, 72b)는 화소 전극(191)의 상부 절개부(92a) 또는 하부 절개부(92b)와 평행하게 뺄은 적어도 하나의 사선부를 포함하고, 노치(notch)가 형성되어 있다. 절개부(71, 72a, 72b)는 가로 중심선에 대하여 거의 반전 대칭을 이룬다.
- <81> 상부 및 하부 절개부(72a, 72b) 각각은 사선부와 가로부 및 세로부를 포함한다. 사선부는 대략 화소 전극(191)의 위쪽 또는 아래쪽 변에서 왼쪽 변으로 뺄는다. 가로부 및 세로부는 사선부의 각 끝에서부터 화소 전극(191)의 변을 따라 변과 중첩하면서 뺄으며 사선부와 둔각을 이룬다.
- <82> 중앙 절개부(71)는 중앙 가로부, 한 쌍의 사선부 및 한 쌍의 종단 세로부를 포함한다. 중앙 가로부는 대략 화소 전극(191)의 왼쪽 변에서부터 화소 전극(191)의 가로 중심선을 따라 오른쪽으로 뺄으며, 한 쌍의 사선부는 중앙 가로부의 끝에서부터 화소 전극(191)의 오른쪽 변을 향하여 각각 하부 및 상부 절개부(72a, 72b)와 거의 나란하게 뺄는다. 종단 세로부는 해당 사선부의 끝에서부터 화소 전극(191)의 오른쪽 변을 따라 오른쪽 변과 중첩하면서 뺄으며 사선부와 둔각을 이룬다.
- <83> 절개부(71, 72a, 72b)의 수효 또한 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71, 72a, 72b)와 중첩(도시하지 않음)하여 절개부(71, 71b, 72b) 부근의 빗샘을 차단할 수 있다.

- <84> 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 도포되어 있으며 이들은 수직 배향막일 수 있다. 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(12, 22)가 구비되어 있는데, 두 편광자(12, 22)의 편광축은 직교하며 이중 한 편광축은 게이트선(121)에 대하여 나란한 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다.
- <85> 본 실시예에 따른 액정 표시 장치는 액정층(3)의 지연값을 보상하기 위한 위상 지연막(retardation film)(도시하지 않음)을 더 포함할 수 있다. 위상 지연막은 복굴절성(birefringence)을 가지며 액정층(3)의 위상 지연을 역으로 보상한다.
- <86> 액정 표시 장치는 편광자(12, 22), 위상 지연막, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)(도시하지 않음)를 포함할 수 있다.
- <87> 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 입사광은 직교 편광자(12, 22)를 통과하지 못하고 차단된다.
- <88> 이러한 액정 표시 장치는 도 6의 등가 회로로 표현할 수 있다.
- <89> 도 6을 참고하면, 액정 표시 장치의 한 화소는 제1 박막 트랜지스터(Q1), 제1 액정 축전기(CLCa), 제1 유지 축전기(CSTa)를 포함하는 제1 부화소, 제2 박막 트랜지스터(Q2), 제2 액정 축전기(CLCb), 제2 유지 축전기(CSTb)를 포함하는 제2 부화소, 그리고 제1 및 제2 보조 축전기(CD, CU)를 포함한다.
- <90> 제1 액정 축전기(CLCa)는 한 단자로서 중앙 부화소 전극(191a)을 포함하고, 다른 한 단자로서 공통 전극(270)의 해당 부분을 포함하며, 두 단자 사이의 액정층(3) 부분을 유전체로서 포함한다. 이와 마찬가지로, 제2 액정 축전기(CLCb)는 한 단자로서 상부 및 하부 부화소 전극(191b1, 191b2)을 포함하고, 다른 한 단자로서 공통 전극(270)의 해당 부분을 포함하며, 두 단자 사이의 액정층(3) 부분을 유전체로서 포함한다.
- <91> 제1 및 제2 유지 축전기(CSTa, CSTb)는 한 단자로서 각각 중앙 부화소 전극(191a), 상부 및 하부 부화소 전극(191b1, 191b2)을 포함하고, 다른 한 단자로서 유지 전극선(131) 및 유지 전극(133a, 133b)을 포함하며, 두 단자 사이의 보호막(180) 부분을 유전체로서 포함한다.
- <92> 제1 보조 축전기(CD)는 한 단자로 제3 박막 트랜지스터(Q3)의 제3 드레인 전극(175c)을 포함하고 다른 단자로 공통 전극(270)을 포함하며, 두 단자 사이의 액정층(3) 부분을 유전체로서 포함한다.
- <93> 그리고 제2 보조 축전기(CU)는 제1 축전기와 제2 축전기를 포함한다. 제1 축전기는 한 단자로서 하부 부화소 전극(191b2)의 돌출부(191c)를 포함하고 다른 단자로서 돌출부(191c)와 중첩하는 제3 박막 트랜지스터(Q3)의 제3 드레인 전극(175c)을 포함하며, 두 단자 사이의 보호막(180)을 유전체로 하고, 제2 축전기는 한 단자로 제3 박막 트랜지스터(Q3)의 제3 드레인 전극(175c)을 포함하고 다른 단자로서 유지 전극선(131)을 포함하며, 두 단자 사이의 게이트 절연막(140)을 유전체로 한다.
- <94> 공통 전극(270)에는 공통 전압(Vcom)이 인가되며 유지 전극선(131)에도 공통 전압(Vcom)이 인가될 수 있다.
- <95> 제1 및 제2 박막 트랜지스터(Q1, Q2)는 게이트선(121n)을 통해 인가되는 게이트 신호에 따라 데이터선(171)으로부터의 데이터 전압을 중앙 부화소 전극(191a), 상부 및 하부 부화소 전극(191b1, 191b2)에 전달하고, 이에 따라 중앙 부화소 전극(191a), 상부 및 하부 부화소 전극(191b1, 191b2)은 동일하게 전하가 충전되어 전압이 일정하다.
- <96> 그러나 다음 행의 게이트선(121p)에 게이트 신호가 입력되면 다음 행의 게이트선(121p)에 연결된 제3 박막 트랜지스터(Q3)가 ON된다. 제3 박막 트랜지스터(Q3)가 ON되면 중앙 부화소 전극(191a)에 충전된 전하의 일부가 제3 박막 트랜지스터(Q3)의 제2 소스 전극(173b)을 통해서 제3 드레인 전극(175c)으로 이동하여 제3 드레인 전극(175c)에 충전된다. 따라서 중앙 부화소 전극(191a)은 일부 전하의 소실로 충전된 전압의 크기가 감소한다.
- <97> 한편, 제3 드레인 전극(175c)에 전하가 충전되면 제1 보조 축전기(CD) 및 제2 보조 축전기(CU)의 충전에 의해 충전량에 비례하여 상부 및 하부 부화소 전극(191b1, 191b2)의 전압의 크기가 증가하게 된다.
- <98> 이에 따라 상부 및 하부 부화소 전극(191b1, 191b2)에 대응하는 부화소와 중앙 부화소 전극(191a)에 대응하는 다른 부화소간에 전압차가 발생한다.
- <99> 제1 또는 제2 액정 축전기(CLCa, CLCb)의 양단에 전위차가 생기면 표시판(100, 200)의 면에 거의 수직인 전기장

이 액정층(3)에 생성된다[앞으로 화소 전극(191) 및 공통 전극(270)을 아울러 "전기장 생성 전극(field generating electrode)"라 한다.]. 그러면 액정층(3)의 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사된 빛의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자(12, 22)에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.

<100> 액정 분자가 기울어지는 각도는 전기장의 세기에 따라 달라지는데, 본 발명의 한 실시예에서와 같이 상부 및 하부 부화소 전극(191b1, 191b2)에 대응하는 부화소와 중앙 부화소 전극(191a)에 대응하는 다른 부화소 간에 전압이 서로 다르므로 서로 다른 부화소에서 액정 분자들이 기울어진 각도가 다르고 이에 따라 두 부화소의 휘도가 다르다. 두 부화소 간의 전압차이를 적절하게 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 할 수 있으며 이렇게 함으로써 측면 시인성을 향상할 수 있다.

<101> 또한 본 발명의 한 실시예와 같이 돌출부(191c) 및 드레인 전극(175b)이 서로 중첩되는 각 중앙부 부근을 폭이 균일한 막대 형상으로 구성하면, 패터닝 과정에서 정렬 오차가 발생하더라도 각 화소 별로 돌출부(191c) 및 드레인 전극(175b)간의 중첩 면적(A)이 일정해진다. 따라서 제2 보조 축전기(CU)의 제1 축전기의 충전량이 일정하게 되어 각 화소 영역 별로 균일한 휘도를 얻을 수 있어 액정 표시 장치의 전체 휘도의 균일성도 향상할 수 있다.

<102> 이하에서는 본 발명의 다른 실시예에 따른 액정 표시 장치를 도 7을 참조하여 본 발명의 한 실시예에 따른 액정 표시 장치와의 차이점을 중심으로 설명한다.

<103> 본 발명의 다른 실시예에 따른 액정 표시 장치는 돌출부(191d)가 하부 부화소 전극(191b2)의 하측면으로부터 뺀
어 나와 드레인 전극(175c)과 상호 중앙부에서 일정한 면적(A)으로 중첩되는 것을 제외하고는 본 발명의 한 실
시예에 따른 액정 표시 장치와 그 구성이 동일하다.

<104> 또한, 본 발명의 다른 실시예에 따른 액정 표시 장치에 의해서도 본 발명의 한 실시예에 따른 액정 표시 장치와 동일한 효과를 얻을 수 있다.

<105> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

<106> 이상 설명한 바와 같이, 본 발명에 따르면 측면 시인성이 향상되며, 각 화소 별로 커플링된 드레인 전극과 부화소 전극과의 중첩 면적이 일정하므로 액정 표시 장치의 전체 휘도의 균일성이 향상된다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고,
- <2> 도 2는 도 1의 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- <3> 도 3은 도 1의 액정 표시 장치용 공통 전극 표시판의 배치도이고,
- <4> 도 4는 도 1의 액정 표시 장치를 IV-IV선을 따라 잘라 도시한 단면도이고,
- <5> 도 5은 도 1의 액정 표시 장치를 V-V선을 따라 잘라 도시한 단면도이고,
- <6> 도 6은 도 1의 액정 표시 장치의 등가 회로도이다.
- <7> 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이다.

<8> *도면의 주요 부분에 대한 부호의 설명*

<9> 11, 21: 배향막 12, 22: 편광자

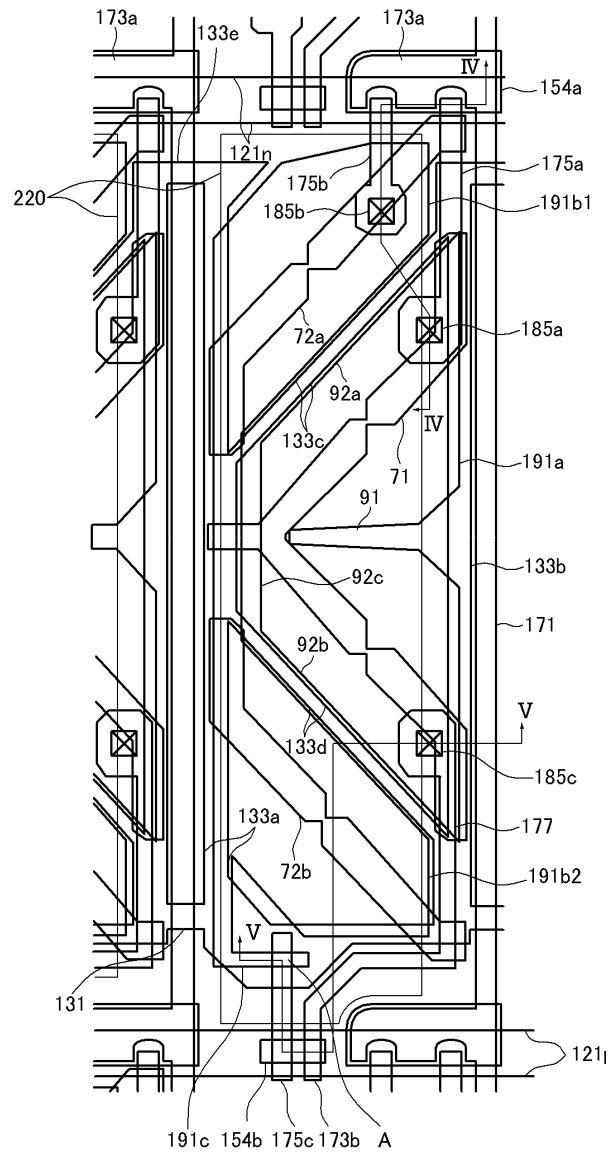
<10> 71, 72a, 72b: 공통 전극의 절개부

<11> 91, 92a, 92b: 화소 전극의 절개부

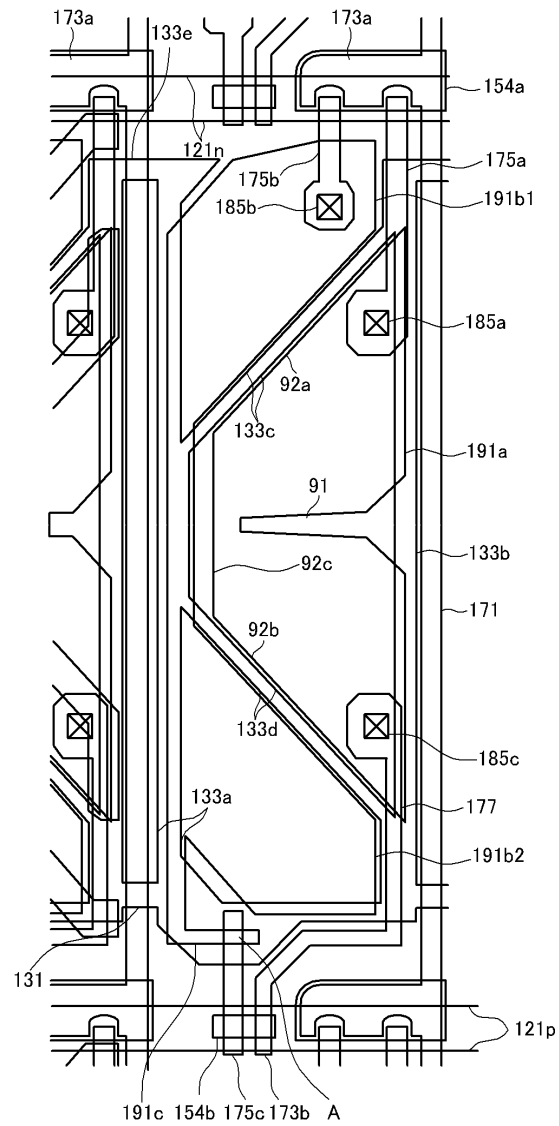
- | | | |
|------|----------------|--------------------------|
| <12> | 110, 210: 기판 | 121, 129: 게이트선 |
| <13> | 124: 게이트 전극 | 140: 게이트 절연막 |
| <14> | 151, 154: 반도체 | 161, 163, 165: 저항성 접촉 부재 |
| <15> | 171, 179: 데이터선 | 173: 소스 전극 |
| <16> | 175: 드레인 전극 | 180: 보호막 |
| <17> | 185: 접촉 구멍 | 191: 화소 전극 |
| <18> | 220: 차광 부재 | 230: 색필터 |
| <19> | 250: 덮개막 | 270: 공통전극 |

도면

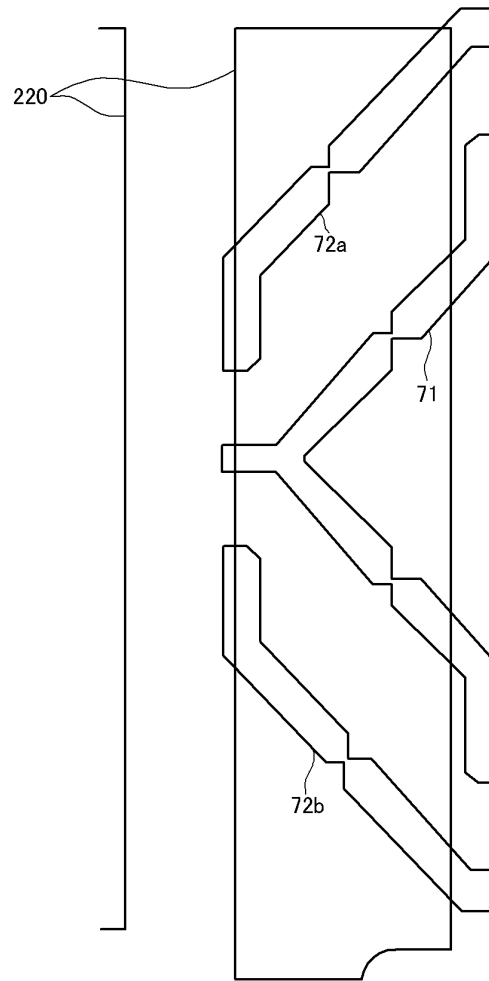
도면1



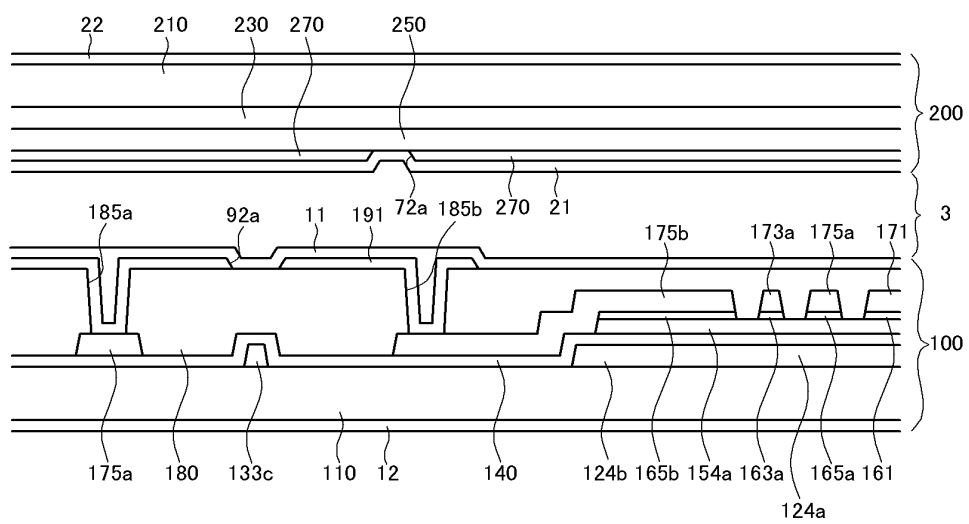
도면2



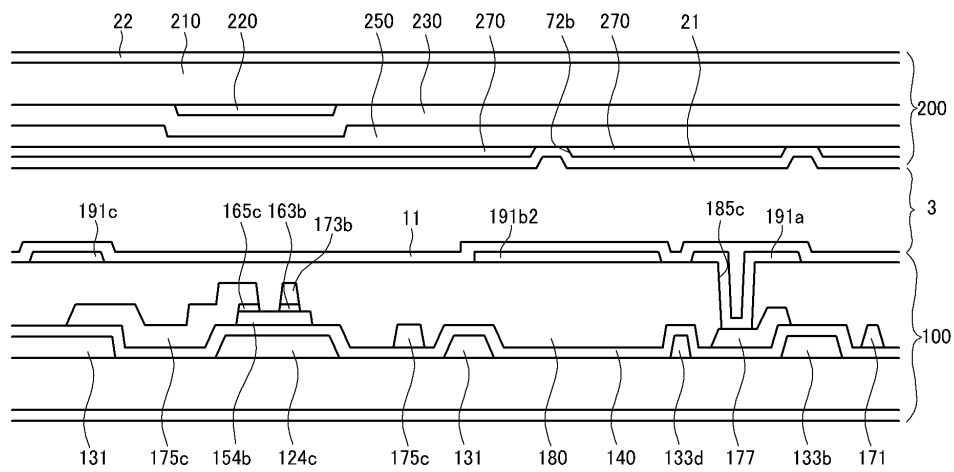
도면3



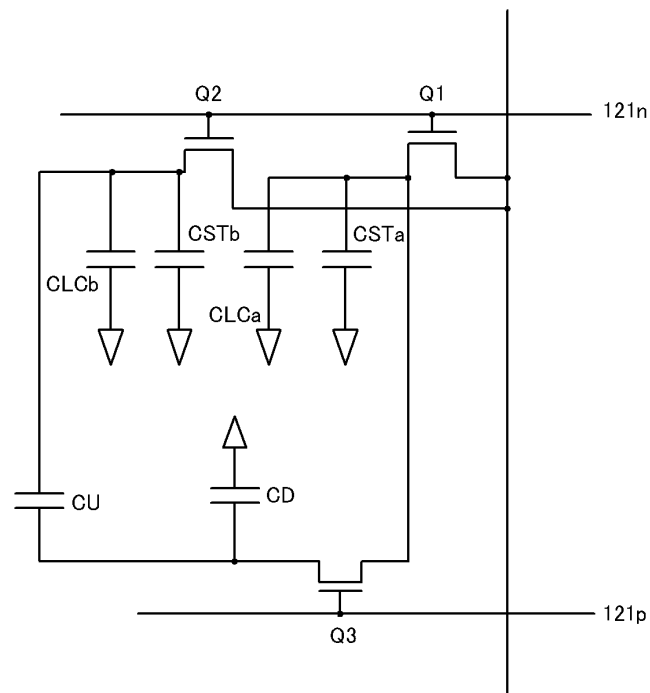
도면4



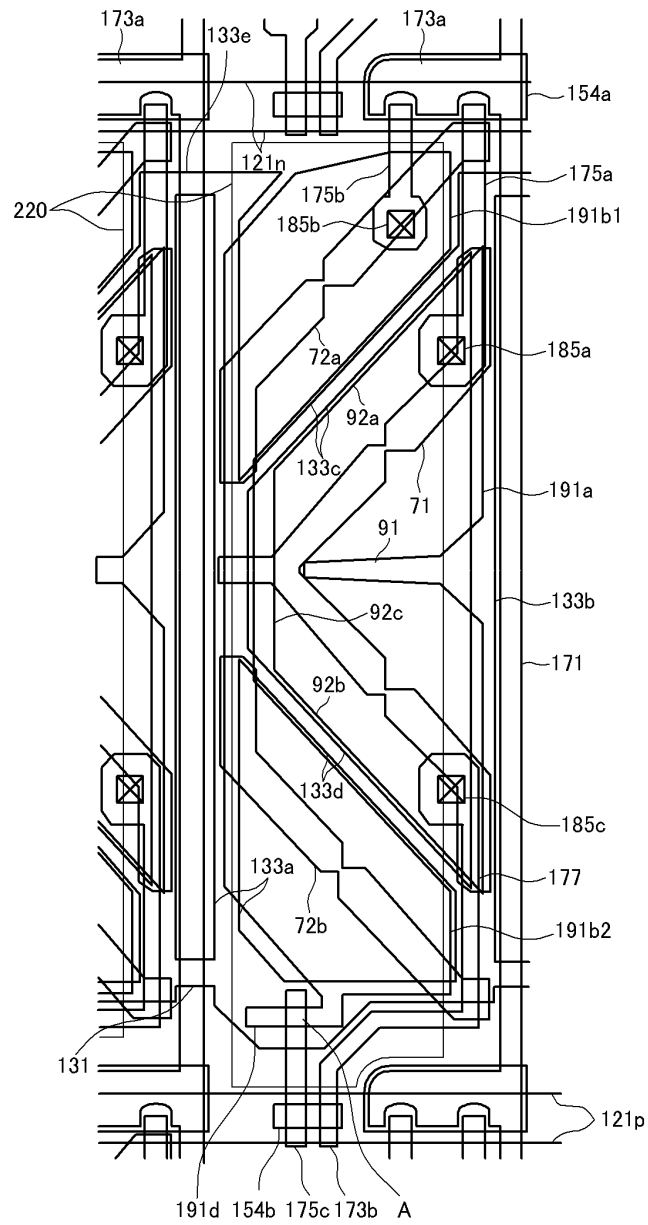
도면5



도면6



도면7



专利名称(译)	薄膜晶体管标志		
公开(公告)号	KR1020080069733A	公开(公告)日	2008-07-29
申请号	KR1020070007306	申请日	2007-01-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM JANG IL 김장일 HONG KWEON SAM 홍권삼 YOU DOO HWAN 유두환 PARK IN HO 박인호 SON HYUN DUCK 손현덕		
发明人	김장일 홍권삼 유두환 박인호 손현덕		
IPC分类号	G02F1/133		
CPC分类号	G02F1/136286 G02F1/13624		
外部链接	Espacenet		

摘要(译)

根据本发明的薄膜晶体管基板包括：像素电极，包括第三薄膜晶体管，包括连接的第一和第二薄膜晶体管，第二栅极线和漏极连接，第一子像素电极连接电连接数据线与薄膜晶体管和第二薄膜晶体管，第一和第三薄膜晶体管，以及包括第二薄膜晶体管和突出部分的第二子像素电极电连接。并且，突出部分和漏电极的相应中心部分与互易绝缘重叠。由此可以提高液晶显示器的侧面和亮度均匀性。液晶显示器，薄膜晶体管，漏电极，像素电极，突出部分。

