



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0003128
(43) 공개일자 2008년01월07일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0061672

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김영주

경기 고양시 일산서구 일산3동 후곡마을11단지아파트 1107동604호

이석우

경기도 안양시 동안구 비산동 1102번지 관악아파트 127동 1207호

(74) 대리인

박장원

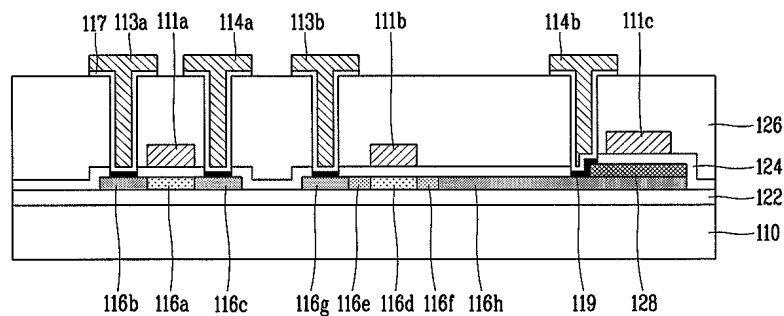
전체 청구항 수 : 총 7 항

(54) 액정표시장치 제조방법

(57) 요약

본 발명에 따른 액정표시장치 제조방법은 반도체층 및 스토리지패턴 형성용 마스크, P형 TFT영역의 게이트전극 형성용 마스크, N형 TFT영역의 게이트전극 및 LDD층 형성용 마스크, 보호층 오픈용 마스크 및 소스전극 및 드레인전극 형성용 마스크 등 총 5개의 마스크만이 필요하게 되어 제조공정을 대폭 단순화시킬 수 있게 된다.

대표도 - 도2m



특허청구의 범위

청구항 1

P형 TFT영역과 N형 TFT영역 및 스토리지영역으로 이루어진 기판을 준비하는 단계;

상기 기판상에 버퍼층과 반도체물질 및 금속을 적층하는 단계;

상기 반도체물질 및 금속을 식각하여 P형 TFT영역과 N형 TFT영역에 반도체층을 형성하고 스토리지영역에 반도체층 및 금속층을 형성하는 단계;

상기 P형 TFT영역에 게이트전극과 p^+ 층을 형성하는 단계;

상기 N형 TFT영역에 게이트전극과 LDD구조를 형성하는 단계;

보호층을 형성한 후 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀 내부에 배리어금속층을 형성하는 단계; 및

상기 보호층 및 콘택홀 내부에 소스전극 및 드레인전극을 형성하는 단계로 구성된 액정표시장치 제조방법.

청구항 2

제1항에 있어서, 상기 반도체층 및 금속층을 형성하는 단계는,

기판상 적층된 버퍼층과 반도체물질 및 금속 위에 포토레지스트를 도포하는 단계;

상기 포토레지스트 위에 회절마스크를 위치시킨 후 광을 조사하여 포토레지스트패턴을 형성하는 단계;

상기 포토레지스트패턴을 이용하여 금속 및 반도체물질을 식각하는 단계;

상기 포토레지스트패턴을 에이싱하는 단계;

에이싱된 포토레지스트패턴을 이용하여 반도체물질 위의 금속을 제거하는 단계; 및

상기 금속위의 포토레지스트패턴을 제거하는 단계로 이루어진 것을 특징으로 하는 액정표시장치 제조방법.

청구항 3

제1항에 있어서, 상기 P형 TFT영역에 게이트전극과 p^+ 층을 형성하는 단계는,

기판 전체에 걸쳐서 금속을 적층하는 단계;

상기 금속을 식각하여 P형 TFT영역에 게이트전극을 형성하고 N형 TFT영역과 스토리지영역에 금속층을 형성하는 단계;

상기 게이트전극을 마스크로 하여 p^+ 도핑을 실시하는 단계로 구성된 것을 특징으로 하는 액정표시장치 제조방법.

청구항 4

제3항에 있어서, 상기 p^+ 도핑시 N형 TFT영역과 스토리지영역은 금속층에 의해 블로킹되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 5

제1항에 있어서, 상기 N형 TFT영역에 게이트전극과 LDD구조를 형성하는 단계는,

N형 TFT영역 및 스토리지영역에 형성된 금속층에 포토레지스트를 적층하여 현상하는 포토레지스트패턴을 형성하는 단계;

상기 포토레지스트패턴을 이용하여 N형 TFT영역의 금속층을 오버에칭하여 포토레지스트패턴 보다 작은 폭의 게이트전극을 형성하는 단계;

상기 포토레지스트패턴을 마스크로 하여 상기 N형 TFT영역의 반도체층에 p^+ 도핑을 실시하는 단계; 및

상기 포토레지스트패턴을 제거한 후 게이트전극을 마스크로 하여 LDD도핑하는 단계로 이루어진 것을 특징으로 하는 액정표시장치 제조방법.

청구항 6

제1항에 있어서, 상기 컨택홀 내부에 배리어금속층을 형성하는 단계는,
 기관 전체 및 컨택홀 내부에 배리어금속을 적층하는 단계;
 상기 배리어금속 위에 포토레지스트를 적층하는 단계;
 상기 포토레지스트를 에이싱하여 컨택홀 내부에 포토레지스트패턴을 형성하는 단계; 및
 상기 포토레지스트패턴을 이용하여 배리어금속을 식각하는 단계로 구성된 액정표시장치 제조방법.

청구항 7

제1항에 있어서, 상기 보호층 및 컨택홀 내부에 소스전극 및 드레인전극을 형성하는 단계는,
 보호층 위에 투명한 도전층과 금속층을 형성하는 단계;
 회절마스크를 이용하여 상기 P형 반도체 영역 및 N형 반도체 영역의 투명도전층 및 금속층을 식각하여 소스전극 및 드레인전극을 형성하는 단계; 및
 스토리지영역의 금속층을 식각하여 투명도전층으로 이루어진 화소전극을 형성하는 단계로 구성된 액정표시장치 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 액정표시장치의 제조방법에 관한 것이다.
- <10> 최근의 정보화 사회에서 디스플레이는 시각정보 전달매체로서 그 중요성이 더 한층 강조되고 있으며, 향후 주요한 위치를 점하기 위해서는 저소비전력화, 박형화, 경량화, 고화질화 등의 요건을 충족시켜야 한다. 현재 평판 디스플레이(Flat Panel Display; FPD)의 주력 제품인 액정표시장치(Liquid Crystal Display; LCD)는 디스플레이의 이러한 조건들을 만족시킬 수 있는 성능뿐만 아니라 양산성까지 갖추었기 때문에, 이를 이용한 각종 신제품 창출이 급속도로 이루어지고 있으며 기존의 브라운관(Cathode Ray Tube; CRT)을 점진적으로 대체할 수 있는 핵심부품 산업으로서 자리 잡았다.
- <11> 일반적으로, 액정표시장치는 매트릭스(matrix) 형태로 배열된 액정셀들에 화상정보에 따른 데이터신호를 개별적으로 공급하여, 상기 액정셀들의 광투과율을 조절함으로써 원하는 화상을 표시할 수 있도록 한 표시장치이다.
- <12> 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.
- <13> 비정질 실리콘 박막 트랜지스터 기술은 1979년 영국의 LeComber 등에 의하여 개념이 확립되어 1986년에 3 “ 액정 휴대용 텔레비전으로써 실용화되었고 최근에는 50” 이상의 대면적 박막 트랜지스터 액정표시장치가 개발되었다. 특히, 상기 비정질 실리콘 박막 트랜지스터는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문에 활발히 이용되고 있다.
- <14> 그러나, 상기 비정질 실리콘 박막 트랜지스터의 전기적 이동도($\sim 1\text{cm}^2/\text{Vsec}$)로는 1MHz 이상의 고속 동작을 요구하는 주변회로에 이용하는 데는 한계가 있다. 이에 따라 전계효과 이동도(field effect mobility)가 상기 비정질 실리콘 박막 트랜지스터에 비해 큰 다결정 실리콘(Polycrystalline Silicon; poly-Si) 박막 트랜지스터를 이용

하여 유리기관 위에 화소부와 구동회로부를 동시에 집적하는 연구가 활발히 진행되고 있다.

- <15> 다결정 실리콘 박막 트랜지스터 기술은 1982년에 액정 컬러 텔레비전이 개발된 이후로 캠코더 등의 소형 모듈에 적용하고 있으며, 낮은 감광도와 높은 전계효과 이동도를 가지고 있어 구동회로를 기관에 직접 제작할 수 있다는 장점이 있다.
- <16> 이동도의 증가는 구동 화소수를 결정하는 구동회로부의 동작 주파수를 향상시킬 수 있으며 이로 인한 표시장치의 고정세화가 용이해진다. 또한, 화소부의 신호 전압의 충전 시간의 감소로 전달 신호의 왜곡이 줄어들어 화질 향상을 기대할 수 있다.
- <17> 또한, 다결정 실리콘 박막 트랜지스터는 높은 구동 전압($\sim 25V$)을 갖는 비정질 실리콘 박막 트랜지스터에 비해 10V 미만에서 구동이 가능하므로 전력 소모를 감소시킬 수 있다는 장점이 있다.
- <18> 이하, 도 1을 참조하여 액정표시장치의 구조에 대해서 자세히 살펴본다.
- <19> 도 1은 일반적인 액정표시장치의 구조를 개략적으로 나타내는 평면도로서, 어레이 기관에 구동회로부를 집적시킨 구동회로 일체형 액정표시장치를 나타내고 있다.
- <20> 도면에 도시된 바와 같이, 액정표시장치는 크게 컬러필터 기관(5)과 어레이 기관(10) 및 상기 컬러필터 기관(5)과 어레이 기관(10) 사이에 형성된 액정층(미도시)으로 이루어져 있다.
- <21> 상기 어레이 기관(10)은 단위 화소들이 매트릭스 형태로 배열된 화상표시 영역인 화소부(35)와 상기 화소부(35)의 외곽에 위치한 데이터 구동회로부(31)와 게이트 구동회로부(32)로 구성된 구동회로부(30)로 이루어져 있다.
- <22> 이때, 도면에는 도시하지 않았지만, 상기 어레이 기관(10)의 화소부(35)는 상기 기관(10) 위에 종횡으로 배열되어 복수개의 화소영역을 정의하는 복수개의 게이트라인과 데이터라인, 상기 게이트라인과 데이터라인의 교차영역에 형성된 스위칭소자인 박막 트랜지스터 및 상기 화소영역에 형성된 화소전극으로 구성된다.
- <23> 상기 박막 트랜지스터는 화소전극에 신호전압을 인가하고 차단하는 스위칭소자로 전계에 의하여 전류의 흐름을 조절하는 일종의 전계 효과 트랜지스터(Field Effect Transistor; FET)이다.
- <24> 상기 어레이 기관(10)의 구동회로부(30)는 상기 컬러필터 기관(5)에 비해 돌출된 어레이 기관(10)의 화소부(35) 외곽에 위치하는데, 상기 돌출된 어레이 기관(10)의 일측 장(長)변에 데이터 구동회로부(31)가 위치하며, 상기 돌출된 어레이 기관(10)의 일측 단(短)변에 게이트 구동회로부(32)가 위치하게 된다.
- <25> 이때, 상기 데이터 구동회로부(31)와 게이트 구동회로부(32)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(Complementary Metal Oxide Semiconductor) 구조의 박막 트랜지스터를 사용하게 된다.
- <26> 참고로, 상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막 트랜지스터에 사용되는 MOS 구조로 된 집적회로의 일종으로 n 채널 박막 트랜지스터와 p 채널박막 트랜지스터를 모두 필요로 하며 속도와 밀도의 특성은 NMOS와 PMOS의 중간 형태를 나타낸다.
- <27> 상기 게이트 구동회로부(32)와 데이터 구동회로부(31)는 각각 게이트라인과 데이터라인을 통해 화소전극에 주사 신호 및 데이터신호를 공급하기 위한 장치로써, 외부신호 입력단(미도시)과 연결되어 있어 상기 외부신호 입력단을 통하여 들어온 외부신호를 조절하여 상기 화소전극에 출력하는 역할을 한다.
- <28> 또한, 상기 컬러필터 기관(5)의 화소부(35)에는 컬러를 구현하는 컬러필터(미도시)와 상기 어레이 기관(10)에 형성된 화소전극의 대향전극인 공통전극(미도시)이 형성되어 있다.
- <29> 이와 같이 구성된 상기 컬러필터 기관(5)과 어레이 기관(10)은 스페이서(spacer)(미도시)에 의해 일정하게 이격되도록 셀갭(cell gap)이 마련되고, 화소부(35)의 외곽에 형성된 실 패턴(seal pattern)(미도시)에 의해 합착되어 단위 액정표시패널을 이루게 된다. 이때, 상기 두 기관(5, 10)의 합착은 컬러필터 기관(5) 또는 어레이 기관(10)에 형성된 합착키를 통해 이루어진다.
- <30> 상기와 같이 구성되는 구동회로 일체형 액정표시장치는 다결정 실리콘 박막 트랜지스터를 이용하므로 소자 특성이 탁월하여 화상 품질이 우수하며, 고정세화가 가능하고 전력의 소비가 적다는 장점을 가지고 있다.
- <31> 그러나, 상기 구동회로 일체형 액정표시장치는 동일 기관 위에 n 채널 박막 트랜지스터와 p 채널 박막 트랜지스터를 함께 형성하여야하기 때문에 단일 타입의 채널만을 형성하는 비정질 실리콘 박막 트랜지스터 액정표시장치

에 비해 제조공정이 보다 복잡하다는 단점이 있다.

- <32> 이와 같이 상기 박막 트랜지스터를 포함하는 어레이 기관의 제조에는 다수회의 포토리소그래피(photolithography)공정을 필요로 한다.
- <33> 상기 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기관 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상공정 등 다수의 공정으로 이루어져 있다. 그 결과 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리며 형성된 박막 트랜지스터에 결함이 발생될 확률을 높지게 하는 등 많은 문제점이 있다.
- <34> 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <35> 본 발명은 상기한 문제를 해결하기 위한 것으로, 제조공정을 단순화할 수 있는 액정표시장치 제조방법을 제공하는 것을 목적으로 한다.
- <36> 상기한 목적을 달성하기 위해, 본 발명에 따른 액정표시장치 제조방법은 P형 TFT영역과 N형 TFT영역 및 스토리지영역으로 이루어진 기관을 준비하는 단계와, 상기 기관상에 버퍼층과 반도체물질 및 금속을 적층하는 단계와, 상기 반도체물질 및 금속을 식각하여 P형 TFT영역과 N형 TFT영역에 반도체층을 형성하고 스토리지영역에 반도체층 및 금속층을 형성하는 단계와, 상기 P형 TFT영역에 게이트전극과 p^+ 층을 형성하는 단계와, 상기 N형 TFT영역에 게이트전극과 LDD구조를 형성하는 단계와, 보호층을 형성한 후 식각하여 컨택홀을 형성하는 단계와, 상기 컨택홀 내부에 배리어금속층을 형성하는 단계와, 상기 보호층 및 컨택홀 내부에 소스전극 및 드레인전극을 형성하는 단계로 구성된다.

발명의 구성 및 작용

- <37> 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 제조방법을 상세히 설명한다.
- <38> 도 2a~도 2k는 본 발명에 따른 액정표시장치의 제조방법을 나타내는 도면이다.
- <39> 우선, 도 2a에 도시된 바와 같이, 유리와 같이 투명한 절연물질로 이루어지고 P형 TFT영역, N형 TFT영역 및 스토리지전극 영역을 포함하는 기관(110)을 준비한 후, 상기 기관(110)상에 절연물질, 반도체물질 및 금속을 적층하여 버퍼층(122), 반도체층(116) 및 금속층(128a)을 형성한다. 이때, 상기 반도체층(116)은 결정화된 반도체층(116)으로 결정질 실리콘을 적층하여 형성할 수도 있고 비정질반도체를 적층한 후 열이나 레이저를 인가하여 결정화함으로써 형성할 수도 있다.
- <40> 이어서, 도 2b에 도시된 바와 같이, 상기 버퍼층(122), 반도체층(116) 및 금속층(128a)이 형성된 기관(110)에 포토레지스트층(140)을 도포하고 그 위에 회절마스크나 하프톤마스크와 같은 광학마스크(150)를 위치시킨 상태에서 자외선과 같은 자외선을 조사한 후, 현상하여 도 2c에 도시된 바와 같은 포토레지스트패턴(140a, 140b)을 형성한다. 이때, 상기 회절마스크나 하프톤마스크나 투과되는 광을 세기를 조절할 수 있기 때문에, 상기 포토레지스트패턴(140a, 140b)의 두께를 조절할 수 있게 된다. 도면에서는 P형 TFT영역 및 N형 TFT영역에서의 포토레지스트패턴의 두께는 동일한데 반해, 스토리지영역에서의 포토레지스트패턴은 상기 P형 TFT영역 및 N형 TFT영역에서의 포토레지스트패턴 보다 두꺼운 두께로 형성된다. 또한, 일부 영역의 금속층(128a)은 외부로 노출된다.
- <41> 그 후, 도 2c에 도시된 바와 같이, 상기 포토레지스트패턴(140a, 140b)에 의해 금속층(128a) 및 반도체층(116)을 블로킹한 상태에서 식각액이나 식각가스를 작용하면, 도 2d에 도시된 바와 같이 외부로 노출된 금속층(128a)과 반도체층(116)이 식각되어 상기 포토레지스트패턴(140a, 140b) 하부에만 금속층(128a)과 반도체층(116)이 남아 있게 된다. 이어서, 상기 포토레지스트패턴(140a, 140b)을 에칭하면, P형 TFT영역 및 N형 TFT영역의 포토레지스트패턴은 제거되고 스토리지영역의 포토레지스트패턴(140c)만이 상기 금속층(128) 상부에 남아 있게 된다.
- <42> 도 2e에 도시된 바와 같이, 상기 포토레지스트패턴(140c)으로 상기 금속층(128)의 일부 영역을 블로킹한 상태에서 상기 금속층(128)을 에칭한 후 상기 포토레지스트패턴(140c)을 제거하면, 도 2f에 도시된 바와 같이 상기 P형 TFT영역과 N형 TFT영역에는 반도체층(116)만이 남아 있고 스토리지영역에는 반도체층(116)과 그 상부의 스토리지전극(128)이 남아 있게 된다.
- <43> 그 후, 도 2g에 도시된 바와 같이, 상기 스토리지전극(128)이 형성된 기관(110) 전체에 걸쳐 게이트절연층(12

4)을 형성한 후, 그 위에 금속층을 적층하고 마스크를 이용하여 사진식각하여 상기 P형 TFT영역에 제1게이트전극(111a)을 형성한다. 상기 제1게이트전극(111a)은 P형 TFT의 게이트전극으로서, P형 TFT의 p^+ 층을 형성하는 마스크층으로도 작용한다. 즉, 상기 제1게이트전극(111a)을 마스크로 하여 p^+ 이온을 도핑하면, 상기 제1게이트전극(111a)의 하부에는 불순물이 도핑되지 않은 진성반도체층이 형성되고 그 양측면에는 p^+ 이온이 도핑된 p^+ 층이 된다.

<44> 한편, 상기와 같은 p^+ 이온의 도핑시 N형 TFT영역과 스토리지영역은 금속층(111)에 의해 덮여 있기 때문에, N형 TFT영역과 스토리지영역에 p^+ 이온이 도핑되지 않게 된다.

<45> 이어서, 도 2h에 도시된 바와 같이, 상기 기판(110) 전체에 걸쳐 포토레지스트를 적층한 후 마스크를 이용하여 현상하여 N형 TFT영역 및 스토리지영역의 금속층(111) 위에 포토레지스트패턴(141a, 141b)을 형성하며, 그 후 상기 포토레지스트패턴(141a, 141b)을 이용하여 상기 금속층(111)을 식각하여 제2게이트전극(111b) 및 금속층(111c)을 형성한다. 이때, 상기 N형 TFT영역의 제2게이트전극(111b)은 오버에칭되어 그 상부의 포토레지스트패턴(141a) 보다 작은 폭으로 형성된다. 상기와 같이 제2게이트전극(111b)과 금속층(111c) 및 포토레지스트패턴(141a, 141b)이 형성된 기판(110)에 걸쳐 n^+ 도핑을 실시한다.

<46> n^+ 도핑시 P형 TFT영역은 레지스트패턴에 의해 블로킹되어 있기 때문에, n^+ 이온이 도핑되지 않으며, N형 TFT영역에서는 상기 포토레지스트패턴에 제2게이트전극(111b)의 폭 보다 넓은 영역에 진성반도체층이 형성된다.

<47> 이어서, 도 2i에 도시된 바와 같이, 포토레지스트패턴(141a, 141b)을 제거한 후, 기판(110) 전체에 걸쳐 저농도의 LDD(Lightly Doped Drain) 도핑을 실행하며, 고농도의 이온이 도핑된 n^+ 층(116g, 116h)이나 p^+ 층(116b, 116c)은 아무런 영향을 받지 않지만, 진성반도체층, 즉 제2게이트전극(111b) 하부의 양측면(즉, 포토레지스트패턴(141a)와 폭과 제2게이트전극(111b)의 폭의 차이에 대응하는 면적의 영역)에는 저농도의 LDD층(116e, 116f)이 형성되는 것이다. 다시 말해서, N형 TFT영역의 반도체층이 진성반도체층(116d)의 양측면으로 LDD층(116e, 116f)와 n^+ 층(116g, 116h)이 배치되는 구조로 형성된다.

<48> 그 후, 도 2j에 도시된 바와 같이, 기판(110) 전체에 걸쳐 절연층을 적층하여 보호층(126)을 형성한 후 마스크를 이용하여 콘택홀을 형성하여 TFT의 전극을 오픈시킨다. 그리고, 도 2k에 도시된 바와 같이 보호층에 콘택홀 형성된 기판(110) 전체에 걸쳐 금속층(119a)을 적층하고 그 위에 포토레지스트층(160)을 형성한 후, 도 2l에 도시된 바와 같이 상기 포토레지스트층(160)을 에이싱하면 상기 콘택홀의 내부에만 포토레지스트층(160a)이 남게 되고 보호층(126)위에는 모두 제거된다. 따라서, 상기 포토레지스트층(160a)을 이용하여 금속층(119a)을 식각하면 콘택홀 내부에 배리어금속층(119)이 형성된다. 이와 같이, 본 발명에서는 배리어금속층(119)의 형성시 마스크공정이 필요없게 된다. 이러한 배리어금속층(119)은 ITO와 같은 금속산화물과 금속전극이 접촉할 때, 금속산화물의 산소가 금속전극과 결합하여 접촉저항이 증가하는 것을 방지하기 위한 것이다.

<49> 상기와 같이, 콘택홀 내부에 배리어금속층(119)이 형성된 기판 전체에 걸쳐 형성된 기판(110) 전체에 걸쳐 ITO나 IZO와 같은 투명한 금속산화물과 금속을 연속 적층한 후, 회절마스크나 하프톤마스크를 이용하여 상기 금속산화물과 금속을 식각하면, P형 TFT영역과 N형 TFT영역에서는 금속산화물과 금속이 모두 식각되어 금속산화층(117)위에 소스전극(113a, 113b)과 드레인전극(114a, 114b)이 형성된다. 또한, 스토리지영역에서는 금속층만이 식각되고 금속산화층(117)만이 외부로 노출되는데, 이 스토리지영역에의 금속산화층(117)이 화소전극이 된다.

<50> 즉, 금속산화층과 금속층을 연속 적층한 후 회절식각함으로써 하나의 마스크공정에 의해 소스전극과 드레인전극 및 화소전극을 형성할 수 있게 되는 것이다. 이때, 상기 금속산화층과 소스전극(113a, 113b) 및 드레인전극(114a, 114b) 사이에는 배리어금속층(119)이 형성되므로 접촉저항이 증가하는 것을 방지할 수 있게 된다.

<51> 도 3은 상기와 같이 방법에 의해 형성된 액정표시장치의 평면도로서, 이를 참조하여 본 발명에 따른 액정표시장치의 구조를 설명하면 다음과 같다.

<52> 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 한 화소를 나타내고 있다.

<53> 도면에 도시된 바와 같이, 기판(110)에는 상기 기판(110) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(216)과 데이터라인(217)이 형성되어 있다. 또한, 상기 게이트라인(216)과 데이터라인(217)의 교차영역에는

스위칭소자인 박막트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 박막 트랜지스터에 연결되어 컬러 필터 기판(미도시)의 공통전극과 함께 액정(미도시)을 구동시키는 화소전극(117)이 형성되어 있다.

<54> 상기 박막트랜지스터는 게이트라인(216)에 연결된 게이트전극(111b), 데이터라인(217)에 연결된 소오스전극(113b) 및 화소전극(117)에 연결된 드레인전극(114b)으로 구성되어 있다. 또한, 상기 박막트랜지스터는 상기 게이트전극(111b)에 공급되는 게이트전압에 의해 상기 소오스전극(113b)과 드레인전극(114b) 간에 전도채널(conductive channel)을 형성하는 액티브패턴(116e, 116f, 116g, 116h)을 포함한다.

<55> 이때, 상기 액티브패턴(116e, 116f, 116g, 16h)은 다결정실리콘박막으로 이루어지며, 상기 액티브패턴(116e, 116f, 116g, 16h)은 그 일부가 화소영역으로 연장되어 공통라인(108)과 함께 제1스토리지 커패시터를 구성하는 스토리지패턴(128)에 연결되어 있다. 즉, 상기 화소영역 내에는 상기 게이트라인(216)과 실질적으로 동일한 방향으로 공통라인(111c)이 형성되어 있으며, 상기 공통라인(111c)은 제1절연막(미도시)을 사이에 두고 그 하부의 스토리지패턴(128)과 중첩하여 제1스토리지 커패시터를 구성한다. 이때, 상기 스토리지패턴(128)은 상기 액티브패턴(116e, 116f, 116g, 16h)을 구성하는 다결정실리콘박막에 별도의 마스크공정을 통한 스토리지 도핑을 통해 형성되게 된다.

<56> 상기 소오스전극(113b) 및 드레인전극(114b)은 상기 제1절연막과 제2절연막(미도시)에 형성된 콘택홀(140a)을 통해 상기 액티브패턴(116e, 116f, 116g, 116h)의 소오스영역 및 드레인영역과 전기적으로 접속하게 된다. 또한, 상기 소오스전극(113b)의 일부는 일방향으로 연장되어 상기 데이터라인(217)의 일부를 구성하며, 상기 드레인전극(114b)의 일부는 화소영역 쪽으로 연장되어 제3절연막에 형성된 콘택홀을 통해 상기 화소전극(117)과 전기적으로 접속하게 된다.

<57> 이때, 상기 화소영역으로 연장된 드레인전극(114b)의 일부는 상기 제2절연막을 사이에 두고 그 하부의 공통라인(111c)과 중첩하여 제2스토리지 커패시터를 구성하게 된다.

발명의 효과

<58> 상술한 바와 같이 본 발명의 액정표시장치에서는 반도체층 및 스토리지패턴 형성용 마스크, P형 TFT영역의 게이트전극 형성용 마스크, N형 TFT영역의 게이트전극 및 LDD층 형성용 마스크, 보호층 오픈용 마스크 및 소스전극 및 드레인전극 형성용 마스크 등 총 5개의 마스크만이 필요하게 되어 제조공정을 대폭 단순화시킬 수 있게 된다.

도면의 간단한 설명

<1> 도 1은 종래 액정표시장치의 구조를 간략하게 나타내는 평면도.

도 2a~도 2m은 본 발명에 따른 액정표시장치 제조방법을 나타내는 단면도.

<3> 도 3은 본 발명에 따른 제조방법에 의해 제작된 액정표시장치의 구조를 나타내는 평면도.

<4> * 도면의 주요부분에 대한 부호의 설명 *

<5> 110 : 기관 116 : 반도체 패턴

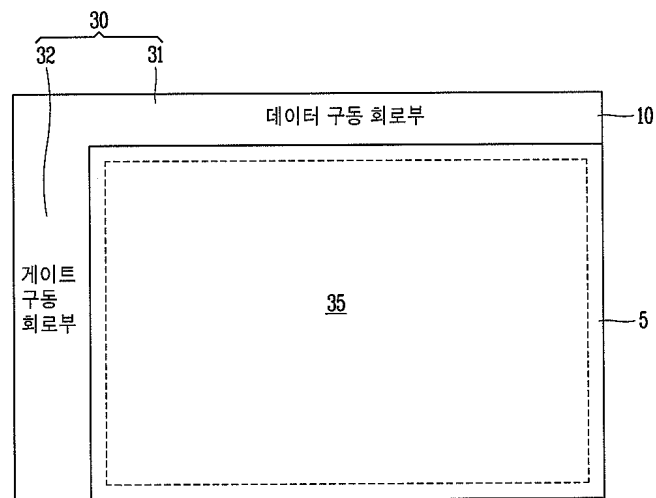
<6> 117 : 화소전극 119 : 배리어금속층

<7> 113 : 소스전극 114 : 드레인전극

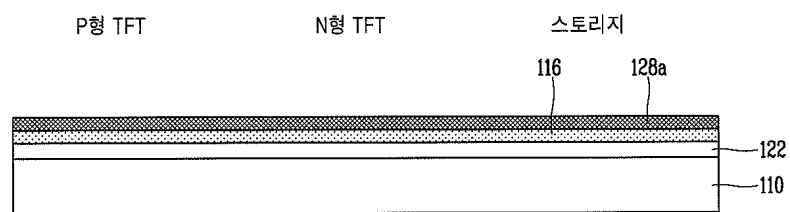
<8> 128 : 스토리지 패턴

도면

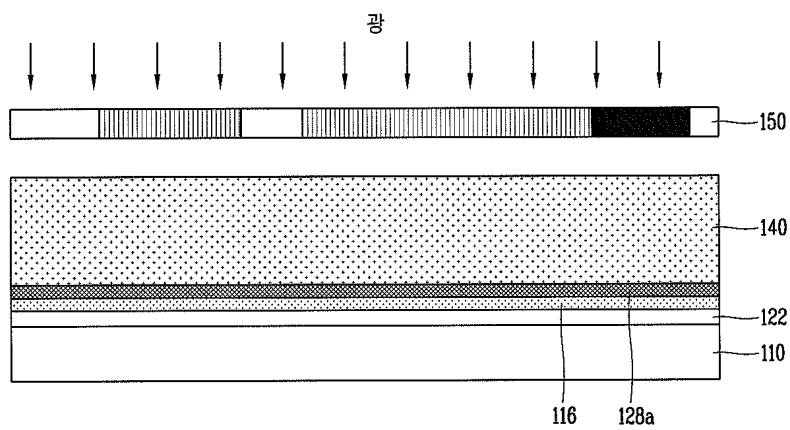
도면1



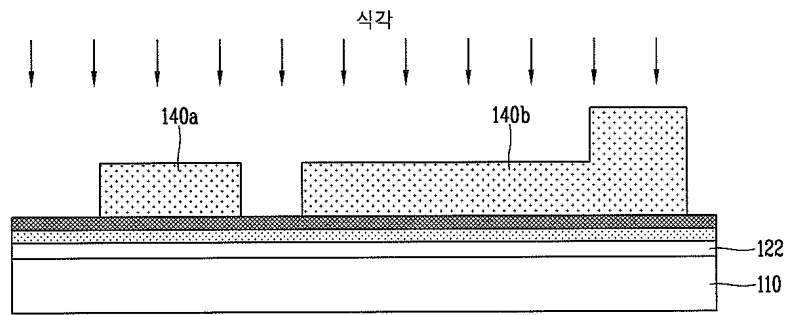
도면2a



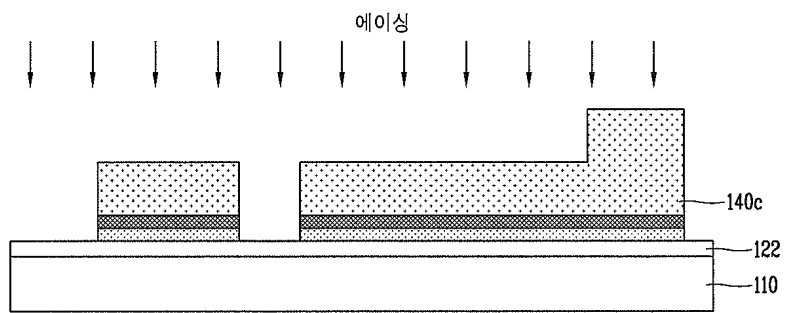
도면2b



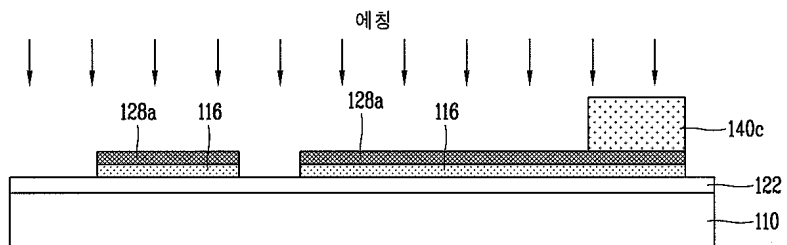
도면2c



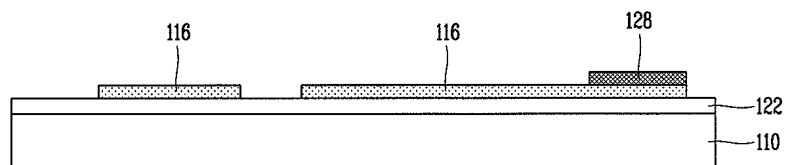
도면2d



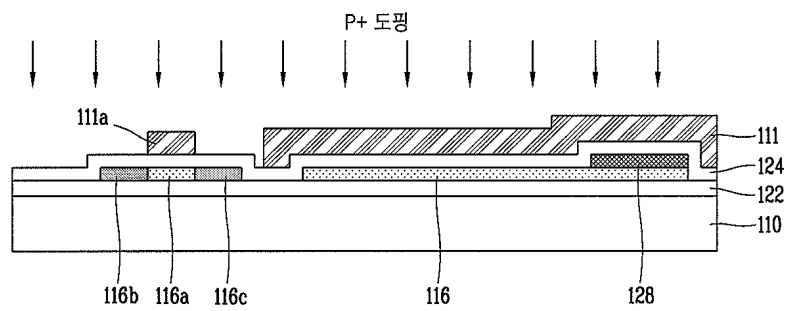
도면2e



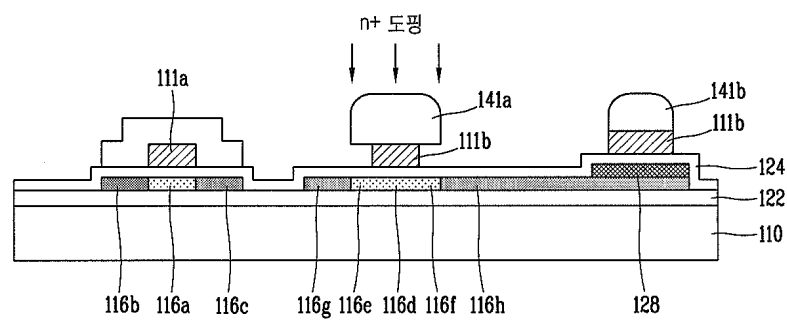
도면2f



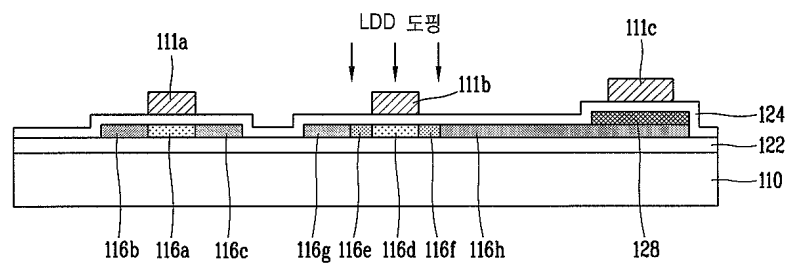
도면2g



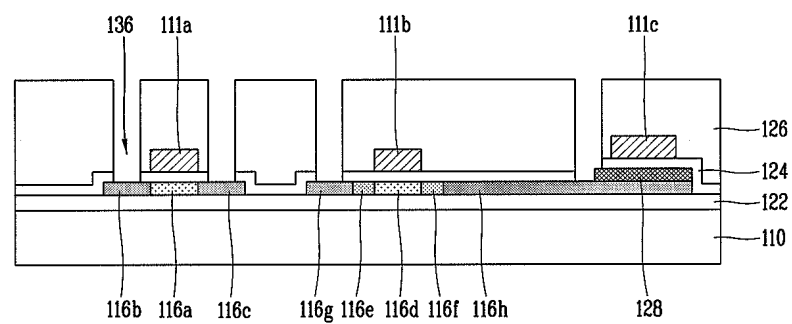
도면2h



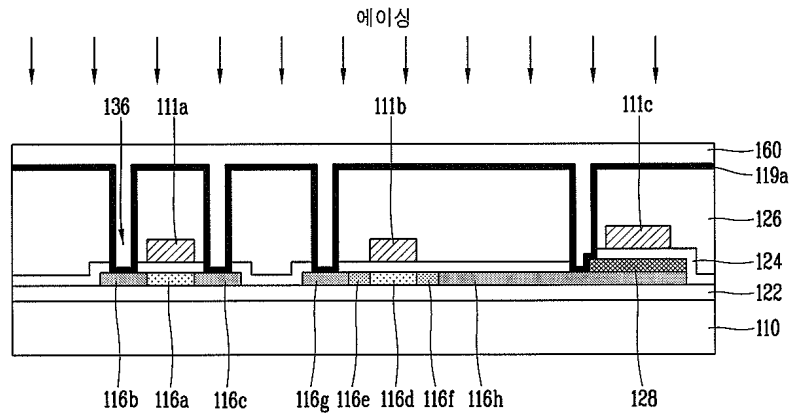
도면2i



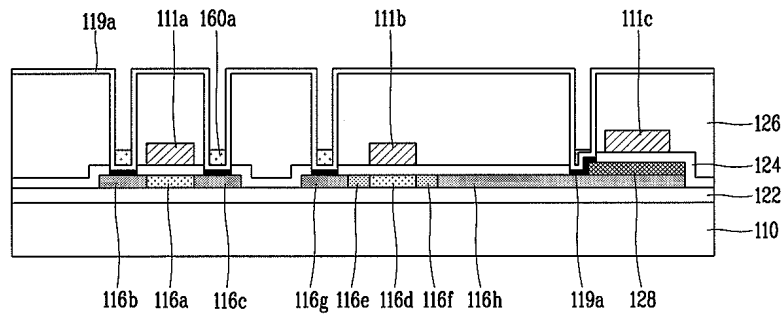
도면2j



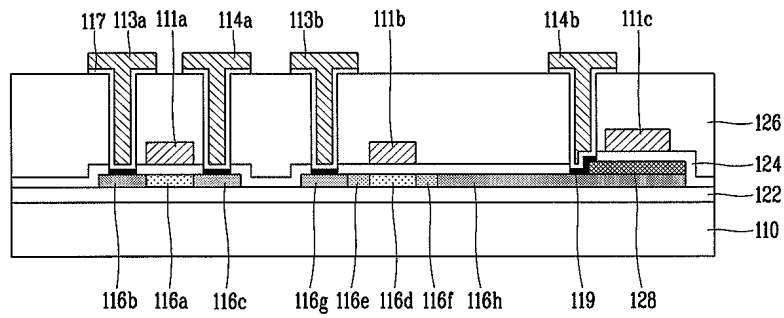
도면2k



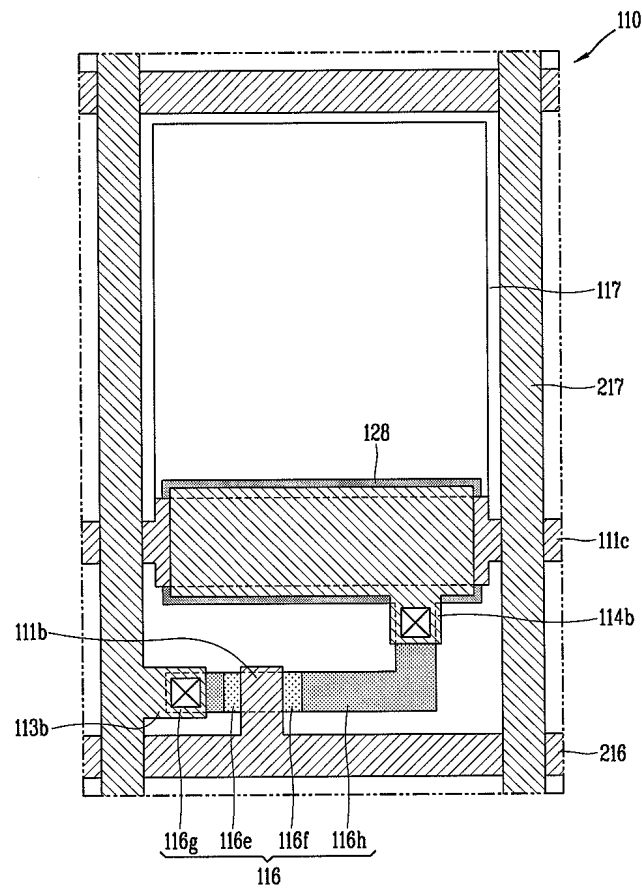
도면2l



도면2m



도면3



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR1020080003128A	公开(公告)日	2008-01-07
申请号	KR1020060061672	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUNG JOO 김영주 LEE SEOK WOO 이석우		
发明人	김영주 이석우		
IPC分类号	G02F1/136		
CPC分类号	G02F1/133516 G02F1/1345 G02F2001/136231		
代理人(译)	PARK , JANG WON		
其他公开文献	KR101301520B1		
外部链接	Espacenet		

摘要(译)

仅需要具有5个总数的掩模，包括用于图案形成的半导体层和存储掩模，p型薄膜晶体管区域的栅电极形成掩模，n型薄膜的栅电极和LDD层形成掩模晶体管区域，保护层开口的掩模和源电极和漏电极形成掩模等以及根据本发明的LCD制造方法极大地简化了制造工艺。液晶，掩模，存储，像素电极，LDD。

