



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0106931
(43) 공개일자 2007년11월06일

(51) Int. Cl.

G02F 1/1362(2006.01)

(21) 출원번호 10-2007-0041874

(22) 출원일자 2007년04월30일

심사청구일자 2007년04월30일

(30) 우선권주장

JP-P-2006-00127234 2006년05월01일 일본(JP)

(71) 출원인

미쓰비시덴키 가부시키키가이샤

일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자

요코미조 마사유키

일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키가부시키키가이샤 나이

(74) 대리인

이화익, 권태복

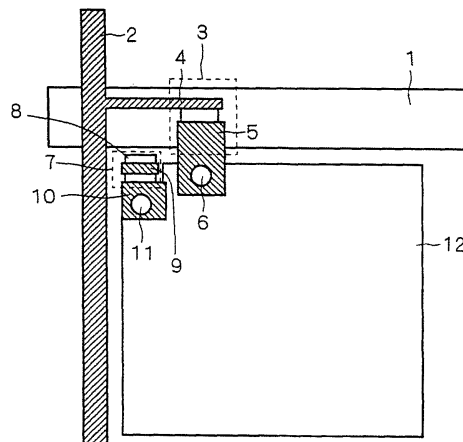
전체 청구항 수 : 총 8 항

(54) 액정표시장치 및 그 결합 수복 방법

(57) 요약

본 발명은 TFT에 기인하는 점 결함을 정상 화소로 리페어 할 수 있음과 동시에, 표시 품질이 높은 액정표시장치 및 그 결합 수복 방법을 제공하는 것을 목적으로 한다. 본 발명은 복수의 게이트 배선(1)과, 복수의 소스 배선(2)과, 매트릭스 모양으로 설치된 복수의 화소 전극(12)과, 화소 전극(12) 마다, 게이트 배선(1)에 접속된 게이트 전극과, 소스 배선(2)에 접속된 소스 전극(4)과, 화소 전극(12)에 접속된 드레인 전극(5)을 가지는 TFT(3)와, 화소 전극(12) 마다, 게이트 전극(8)과, 소스 전극(9)과, 드레인 전극(10)을 가지는 TFT(7)를 구비하는 액정표시장치이다. 그리고, TFT(7)는, 게이트 배선(1) 및 화소 전극(12) 중 적어도 한쪽과 평면적으로 겹치는 부분을 갖지 않으며, 게이트 전극(8)과 게이트 배선(1)사이 및 드레인 전극(5)과 화소 전극(12)사이 중 적어도 한쪽이 전기적으로 미접속이다.

대표도 - 도1



특허청구의 범위

청구항 1

복수의 게이트 배선과,

상기 게이트 배선에 직교하여 설치되는 복수의 소스 배선과,

상기 게이트 배선과 상기 소스 배선의 교차부에 대응하여, 매트릭스 모양으로 설치된 복수의 화소 전극과,

상기 화소 전극마다, 상기 게이트 배선에 접속된 제 1게이트 전극과, 상기 소스 배선에 접속된 제 1소스 전극과, 상기 화소 전극에 접속된 제 1드레인 전극을 가지는 제 1TFT부와,

상기 화소 전극마다, 제 2게이트 전극과, 제 2소스 전극과, 제 2드레인 전극을 가지는 제 2TFT부를 구비하는 액정표시장치이며,

상기 제 2TFT부는, 상기 게이트 배선 및 상기 화소 전극 중 적어도 한쪽과 평면적으로 겹치는 부분을 갖지 않고, 상기 제 2게이트 전극과 상기 게이트 배선 사이 및 상기 제 2드레인 전극과 상기 화소 전극 사이 중 적어도 한쪽이 전기적으로 미접속인 것을 특징으로 하는 액정표시장치.

청구항 2

제 1항에 있어서,

제 2TFT부는, 상기 게이트 배선과 평면적으로 겹치는 부분을 갖지 않고, 상기 제 2게이트 전극과 상기 게이트 배선 사이 및 상기 제 2소스 전극과 상기 소스 배선 사이가 전기적으로 미접속인 것을 특징으로 하는 액정표시장치.

청구항 3

제 1항에 있어서,

제 2TFT부는, 상기 화소 전극과 평면적으로 겹치는 부분을 갖지 않고, 상기 제 2드레인 전극과 상기 화소 전극 사이가 전기적으로 미접속인 것을 특징으로 하는 액정표시장치.

청구항 4

제 1항에 있어서,

제 2TFT부는, 상기 화소 전극과 평면적으로 겹치는 부분을 갖지 않고, 상기 제 2소스 전극과 상기 소스 배선 사이 및 상기 제 2드레인 전극과 상기 화소 전극 사이가 전기적으로 미접속인 것을 특징으로 하는 액정표시장치.

청구항 5

제 1항에 있어서,

제 2TFT부는, 상기 게이트 배선 및 상기 화소 전극과 평면적으로 겹치는 부분을 갖지 않고, 상기 제 2게이트 전극과 상기 게이트 배선 사이 및 상기 제 2드레인 전극과 상기 화소 전극 사이가 전기적으로 미접속인 것을 특징으로 하는 액정표시장치.

청구항 6

제 1항에 있어서,

제 2TFT부는, 상기 게이트 배선 및 상기 화소 전극과 평면적으로 겹치는 부분을 갖지 않고, 상기 제 2게이트 전극과 상기 게이트 배선 사이, 상기 제 2소스 전극과 상기 소스 배선 사이 및 상기 제 2드레인 전극과 상기 화소 전극 사이가 전기적으로 미접속인 것을 특징으로 하는 액정표시장치.

청구항 7

청구항 1 내지 청구항 6 중 어느 한 항에 기재된 액정표시 장치의 결함을 수복하는 방법으로서,

결함을 가지는 상기 제 1TFT부의 상기 제 1드레인 전극을 상기 화소 전극으로부터 절단하는 공정과,

결함을 가지는 상기 제 1TFT부에 대응하는 상기 제 2TFT부의 상기 제 2게이트 전극과 상기 게이트 배선 사이, 상기 제 2소스 전극과 상기 소스 배선 사이 및 제 2드레인 전극과 상기 화소 전극 사이 중 전기적으로 미접속인 부분을 소정의 성막 방법으로 접속하는 공정을 구비하는 것을 특징으로 하는 액정표시장치의 결함 수복 방법.

청구항 8

제 7항에 있어서,

상기 성막 방법은, 레이저 CVD법인 것을 특징으로 하는 액정표시장치의 결함 수복 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 액정표시장치 및 그 결함 수복 방법에 관한 발명이며, 특히, 능동소자를 가지는 액정표시장치 및 그 결함 수복 방법에 관한 것이다.
- <19> 능동소자인 TFT(Thin Film Transistor)를 가지는 액정표시장치는, 일반적으로 매트릭스 모양으로 화소가 설치된다. 그리고, 각각의 화소에는, 각각 화소 전극과 이 화소 전극에 기록하는 전압을 제어하는 TFT가 설치된다. 또한, TFT의 제어신호는 게이트 배선으로부터 공급되고, 화소 전극에 기록하는 전압은 소스 배선으로부터 공급된다.
- <20> 그러나, 복잡한 제조 프로세스를 거쳐 형성되는 TFT가 다수 형성되는 액정표시장치에 있어서, 모든 TFT를 결함 없이 제조하는 것은 곤란하다. 그 때문에 결함의 TFT를 수복해서 액정표시장치의 제조 수율을 향상시킬 필요가 있다. 그 방법으로서, 액정표시장치에 장황 TFT구조를 설치하는 방법이 있다.
- <21> 구체적으로는, 특허문헌 1에 기재되고 있으며, 어레이 기관의 게이트 배선과 소스 배선과의 교점에 설치한 각 화소에 통상 구동하는 TFT와, 예비 TFT를 설치하는 구조이다. 그 때문에 이 액정표시장치에서는, 통상 구동하는 TFT에 결함이 있었을 경우, 예비 TFT의 드레인 전극과 화소 전극의 겹침부에 레이저 등의 광 에너지를 가하여, 드레인 전극과 화소 전극을 전기적으로 접속시키고, 예비 TFT로 화소를 구동시킨다. 즉, 특허문헌 1에서는, 결함 있는 TFT를 예비 TFT로 교체하는 것으로 점 결함을 리페어하고 있었다.
- <22> [특허문헌 1]일본국 공개특허공보 특개평4-149411호

발명이 이루고자 하는 기술적 과제

- <23> 그러나, 특허문헌 1에 나타난 종래의 장황 TFT구조에서는, 정상 화소와 리페어를 행한 화소(이하, 리페어 화소라고도 한다) 사이에서, 화소 전극과 게이트 전극간의 기생 용량 Cgd가 다르다. 그 때문에 같은 전압을 인가해도 정상 화소와 리페어 화소 사이에서 유지 전압이 달라지게 되고, 정상 화소와 리페어 화소 사이에서 계조휘도 차이 발생한다. 즉, 정상 화소와 리페어 화소 사이에서 시인성이 다르기 때문에, 정상 화소와 동등한 표시 품위에 리페어 할 수 없었다.
- <24> 또한, 종래의 장황 TFT구조의 경우, 1화소에 TFT가 2개 접속되어 있으므로, 기생 용량 Cgd가 약 2배로 커져 액정의 유지 전압이 저하한다. 그 결과, 표시 얼룩 등의 표시 품위의 저하가 발생한다. 또한 게이트 배선이나 소스 배선의 배선 부하용량도 약 2배로 증가하기 때문에, 종래의 장황 TFT구조를 고해상도의 액정표시장치에 적용하면, 구동신호의 지연 등에 기인하는 표시 얼룩을 야기하는 경우가 있었다.
- <25> 그래서, 본 발명은, TFT에 기인하는 점 결함을 정상 화소로 리페어할 수 있음과 동시에, 표시 품위가 높은 액정표시장치 및 그 결함 수복 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <26> 본 발명에 따른 해결 수단은, 복수의 게이트 배선과, 상기 게이트 배선에 직교하여 설치되는 복수의 소스 배선

과, 상기 게이트 배선과 상기 소스 배선과의 교차부에 대응하여, 매트릭스 모양으로 설치된 복수의 화소 전극과, 상기 화소 전극마다, 상기 게이트 배선에 접속된 제 1게이트 전극과, 상기 소스 배선에 접속된 제 1소스 전극과, 상기 화소 전극에 접속된 제 1드레인 전극을 가지는 제 1TFT부와, 상기 화소 전극마다, 제 2게이트 전극과, 제 2소스 전극과, 제 2드레인 전극을 가지는 제 2TFT부를 구비하는 액정표시장치이며, 상기 제 2TFT부는, 상기 게이트 배선 및 상기 화소 전극 중 적어도 한쪽과 평면적으로 겹치는 부분을 갖지 않고, 상기 제 2게이트 전극과 상기 게이트 배선 사이 및 상기 제 2드레인 전극과 상기 화소 전극 사이 중 적어도 한쪽이 전기적으로 미접속이다.

<27> (실시예 1)

<28> 본 실시예에 따른 액정표시장치에 대해서 도 1, 도 2를 사용하여 설명한다. 도 1은, 장황 TFT구조를 가지는 액정표시장치에 있어서의 결합 수복 전의 1화소의 구성을 나타내는 평면도이다. 또한 도 2는, 도 1의 액정표시장치에 있어서의 결합 수복 후의 1화소의 구성을 나타내는 평면도이다. 우선, 도 1에서는, 게이트 배선(1)과 소스 배선(2)이 교차하도록 설치되고, 이 교차부 근방에 통상적인 구동에 사용되는 TFT(3)가 설치된다. 이 TFT(3)에는, 소스 배선(2)과 접속하기 위한 소스 전극(4), 콘택홀(6)을 통해 화소 전극(12)에 접속하는 드레인 전극(5)이 설치된다. TFT(3)의 게이트 전극은, 게이트 배선(1)을 이용하고 있다.

<29> 또한, 본 실시예에 따른 액정표시장치에서는, 장황 TFT구조를 가지므로, 일반적인 구동에서 사용하는 TFT 이외에 예비의 TFT를 구비하고 있다. 도 1에서는, 소스 배선(2)과 TFT(3) 사이에 예비의 TFT(7)가 설치된다. 이 TFT(7)에는, 게이트 배선(1)과 접속되지 않은 게이트 전극(8)과, 소스 배선(2)과 접속되지 않은 소스 전극(9)과, 콘택홀(11)을 통해 화소 전극(12)과 접속되어 있는 드레인 전극(10)을 구비하고 있다.

<30> 또한 본 실시예에 따른 예비의 TFT(7)는, 도 1에 나타나 있는 바와 같이 게이트 배선(1)과 평면적으로 겹치는 부분을 갖지 않고, 게이트 배선(1)과 전기적으로 미접속인 게이트 전극(8)을 가지고 있다. 또한, TFT(3) 및 TFT(7)의 구조는, 종래의 TFT의 구조와 대략 동일하므로, 특히 상세한 설명을 하지 않는다.

<31> 도 1에 나타내는 패턴은, 유리 기판 위에 여러 번의 성막, 사진제판을 반복함으로써 형성할 수 있다. 구체적으로, 유리 기판 위에는, 도 1에 나타난 게이트 배선(1), 소스 배선(2), 드레인 전극(5, 10), 화소 전극(12) 외에, 도시하지 않은 게이트 절연막, 아모퍼스 Si 등의 반도체층, 보호막이 형성된다. 도 1에 나타내는 유리 기판은 본 실시예에 따른 액정표시장치의 어레이 기판을 형성한다. 또한, 액정표시장치는, 어레이 기판 외에, 유리 기판에 칼라필터 등을 형성한 대향기판을 가지고 있지만, 본 발명의 본질적인 부분은 아니기 때문에 상세한 설명은 생략한다.

<32> 다음으로, 제조 공정에 설치된 어레이 검사장치는, 완성된 어레이 기판에 전기적 또는 광학적인 검사를 하는 것으로 패턴 불량 등의 TFT결함을 검출한다. 결함이 존재했을 경우, 레이저 리페어 장치로 어레이 기판이 반송된다. 이 레이저 리페어 장치는, 전문화된 어레이 검사장치로부터 호스트 서버로 보내진 결함위치 정보에 의해, 결함위치로 바로 이동할 수 있으므로, 검출된 TFT결함의 눈으로 확인할 수 있다.

<33> TFT결함의 목시 확인으로 리페어 가능하다고 판단되었을 경우, 레이저 리페어 장치에서는, 이하와 같은 결함 수복 처리(리페어 처리)가 행해진다. 우선, TFT결함이라고 판정된 일반적인 구동에 사용하는 TFT(3)을 분리한다. 구체적으로는, TFT(3)의 드레인 전극(5)과 콘택홀(6) 사이를 레이저 등으로 절단한다. 도 2에서는, TFT(3)의 드레인 전극(5)과 콘택홀(6) 사이에 절단부(13)가 형성되어 있다. 이에 따라 드레인 전극(5)과 화소 전극(12)과의 전기적인 접속이 절단된다.

<34> 그 후에 게이트 배선(1)과 TFT(7)의 게이트 전극(8)을 레이저 CVD(Chemical Vapor Deposition)등의 부분 성막 수단을 사용하여 접속한다. 도 2에서는, 게이트 배선(1)과 게이트 전극(8)을 부분 성막부(14)로 접속하고 있다. 마찬가지로, 소스 배선(2)과 TFT(7)의 소스 전극(9)을 레이저 CVD등의 부분 성막 수단을 사용하여 접속한다. 도 2에서는, 소스 배선(2)과 소스 전극(9)을 부분 성막부(15)로 접속하고 있다. TFT(7)는, 부분 성막부(14, 15)를 설치하는 것으로, 화소 전극(12)에 소정의 전압을 인가할 수 있게 되며, TFT(3)가 구동하는 다른 화소와 마찬가지로 구동할 수 있다.

<35> 이상의 리페어 처리를 행한 후, 어레이 기판은, 칼라필터나 대향전극 등이 형성된 대향기판과 겹쳐져 액정 패널을 형성한다. 이 액정 패널에 액정을 주입하여, 편광판, 구동 IC나 백라이트를 조립하는 것으로 액정표시장치가 완성된다.

<36> 다음에 상기의 리페어 처리(점 결함 리페어)를 행한 화소와 정상 화소와의 전기적인 특성에 대해 비교한다. 우선, 도 3에 1화소의 구동과형을 나타낸다. 도 3에서는, 로 레벨이 Vgl이고 하이 레벨이 Vgh인 게이트 신호와,

공통 전위 V_{com} 에 대하여 소정의 폭으로 변동하는 소스 신호가 도시되어 있다. 그리고, 도 3의 구동파형에 있어서, 이상적인 TFT를 생각했을 경우, 게이트 신호가 온 한 시점(V_{gl} 로부터 V_{gh} 로 변화된 시점)에서, 소스 신호의 전압이 화소 전극에 충전되고, 게이트 신호가 오프한 시점(V_{gh} 에서 V_{gl} 로 변화된 시점)에서, 그 시점의 소스 신호의 전압이 화소 전극으로 유지된다.

- <37> 그러나, 통상 제조되는 TFT는, 게이트 전극과 드레인 전극 사이에 존재하는 기생 용량 C_{gd} 와, 소스 전극과 드레인 전극 사이에 존재하는 기생 용량 C_{sd} 의 영향에 의해 화소 전극에 유지한 전위가 저하한다. 도 3에는, 통상 제조되는 TFT의 화소 전극 전위를 굵은 선으로 나타내고 있다. 도 3에 나타내는 화소 전극 전위에서는, 특히, 게이트 신호가 오프했을 때의 기생 용량 C_{gd} 에 의한 유지 전압 저하량(ΔV_{gd})이 큰 것을 알 수 있다. 또한, 기생 용량 C_{sd} 에 의한 유지 전압 저하량은 ΔV_{sd} 이며, 도 3에 도시하고 있다.
- <38> 유지 전압의 저하량 ΔV_{gd} 는, $C_{gd}/(C_{lc}+C_{gd})$ 에 비례한다. 또한, C_{lc} 는 액정용량을 나타낸다. 따라서, C_{lc} 가 0.3pF, C_{gd} 가 0.02pF 정도라고 가정했을 경우, 통상 구동되는 TFT가 1개일 때에 비해, 예비의 TFT를 추가하여 TFT를 2개로 한쪽이, 유지 전압의 저하량 ΔV_{gd} 가 약 1.8배 커진다. 유지 전압의 저하량 ΔV_{gd} 가 커진다는 것은, 액정에 인가되는 전압이 저하하는 것이기 때문에, 노멀리 블랙의 액정표시장치의 경우, 휘도의 저하가 발생하게 된다.
- <39> 그래서, 본 실시예에 따른 액정표시장치에서는, 도 1에 나타내는 패턴의 어레이 기판을 채용하고 있다. 그 때문에 TFT(7)는, 게이트 배선(1)과 평면적으로 겹치는 부분을 갖지 않고, 게이트 전극(8)이 게이트 배선(1)과 미접속이므로, 기생 용량 C_{gd} 를 가지지 않는다. 도 4에, 본 실시예에 따른 액정표시장치의 1화소의 등가회로를 나타낸다. 또한 도 5에, 리페어 처리 후의 본 실시예에 따른 액정표시장치의 1화소의 등가회로를 나타낸다.
- <40> 기생 용량의 크기는 전극평판의 면적(전극이 평면적으로 겹치는 면적)에 비례한다. 따라서, 본 실시예에 따른 액정표시장치는, 도 1에 나타나 있는 바와 같이 예비의 TFT(7)가 게이트 배선(1) 및 소스 배선(2)과 겹쳐지 않기 때문에, 게이트 배선(1) 또는 소스 배선(2)과 TFT(7)의 각 배선과의 사이에서 발생하는 기생 용량은 액정용량 C_{lc} 와 비교하여 상당히 작아져 무시할 수 있다. 그 때문에 도 4에 나타내는 등가회로에서는, TFT(7)의 기생 용량을, 소스 전극과 드레인 전극 사이에 존재하는 기생 용량 $C_{ds}(18)$ 만 기재하고, 다른 기생 용량은 기재하지 않았다.
- <41> 따라서, 본 실시예 1에 따른 액정표시장치에서는, 도 4에 나타나 있는 바와 같이 화소의 액정용량 $C_{lc}(19)$ 에 대한 기생 용량 C_{gd} 가 TFT(3)뿐인 기생 용량 $C_{gd}(16)$ 만으로 이루어진다. 그 때문에 본 실시예에서는, TFT(3) 및 TFT(7)를 가지는 상황 TFT구조라도, 유지 전압의 저하량 ΔV_{gd} 가 작아, 표시 품질이 높은 액정표시장치를 얻을 수 있다.
- <42> 도 5은, 리페어 처리 후의 등가회로로써, TFT(3)의 드레인 전극(3)이 화소 전극(12)으로부터 분리되어, TFT(7)의 게이트 전극(8)이 게이트 배선(1)과, TFT(7)의 소스 전극(9)이 소스 배선(2)과 각각 접속되어 있다. 그 때문에 리페어 처리 후는, TFT(3)의 기생 용량 $C_{gd}(16)$ 및 기생 용량 $C_{sd}(17)$ 가 화소 전극(12)으로부터 분리되고 있기 때문에, 이 기생 용량을 화소의 구동시에 무시할 수 있다.
- <43> 한편, 예비의 TFT(7)를 게이트 배선(1), 소스 배선(2)에 각각 접속함으로써 기생 용량 $C_{gd}(20)$ 및 기생 용량 $C_{ds}(18)$ 이 화소 전극(12)에 접속된다. 그 때문에 리페어 처리 후는, TFT(7)의 기생 용량 $C_{gd}(20)$ 및 기생 용량 $C_{ds}(18)$ 이 추가된다. 단, 이 기생 용량 $C_{gd}(20)$ 및 기생 용량 $C_{ds}(18)$ 의 용량은, TFT(3)의 기생 용량 $C_{gd}(16)$ 및 기생 용량 $C_{sd}(17)$ 과 거의 동일하다.
- <44> 따라서, 본 실시예에 따른 액정표시장치에서는, 리페어 처리 전후에 화소 전극(12)과 게이트 배선(1), 소스 배선(2)과의 사이의 기생 용량에 거의 변화가 발생하지 않는다. 그 때문에 리페어 처리를 행한 화소는, 정상 화소와 같은 구동 조건으로 구동해도, 정상 화소와 동등한 표시 특성을 얻는 것이 가능하게 된다.
- <45> 또한, 본 실시예에 따른 액정표시장치의 변형예로서, 도 1에 나타내는 TFT(7)의 소스 전극(8)이 소스 배선(2)과 접속하는 구성을 생각할 수 있다(도시하지 않음). 본 변형예의 구성이라도, TFT(7)가, 게이트 배선(1)과 평면적으로 겹치는 부분을 갖지 않고, 게이트 전극(8)과 게이트 배선(1)이 전기적으로 미접속이므로, 본 실시예와 동일한 효과를 얻을 수 있다. 단, 본 변형예는, 소스 전극(8)이 소스 배선(2)에 접속되어 있기 때문에, 화소 전극(12)에 TFT(7)를 통해 기생 용량 C_{ds} 를 추가하게 된다. 그 때문에 본 변형예에 의한 리페어 화소와 정상 화소를 비교하면, 추가된 기생 용량 C_{ds} 분만큼 유지 전압이 저하하게 된다.
- <46> (실시예 2)

- <47> 도 6에, 본 실시예에 따른 액정표시장치의 결합 수복 전의 1화소의 평면도를 나타낸다. 도 6에서는, TFT(3)의 구성은 도 1에 나타낸 TFT(3)의 구성과 같지만, TFT(7)의 구성은 도 1에 나타낸 TFT(7)의 구성과 다르다. 구체적으로는, 도 6에 나타내는 TFT(7)는, 도 1에 나타낸 TFT(7)에 비하여, 소스 전극(9)이 소스 배선(2)에 접속되어, 게이트 배선(1)을 게이트 전극(8)으로서 이용하고 있다. 또한 도 6에 나타내는 TFT(7)는, 드레인 전극(10)과 화소 전극(12) 사이에 겹치는 부분을 갖지 않고, 드레인 전극(10)이 화소 전극(12)으로부터 분리되고 있다.
- <48> 그 때문에 도 6에 나타내는 TFT(7)의 기생 용량 Cgd는, 일반적인 구동시, 화소 전극전위에 영향을 주지 않는다. 따라서, 도 6에 나타내는 본 실시예에 따른 액정표시장치는, 실시예 1과 같이 TFT(3) 및 TFT(7)을 가지는 장황 TFT구조라도, 유지 전압의 저하량 ΔV_{gd} 가 작아, 표시 품질이 높은 액정표시장치를 얻을 수 있다. 또한, 도 6에서는, TFT(7)의 구성 이외에, 도 1에 나타내는 구성과 같기 때문에 상세한 설명은 생략한다.
- <49> 다음에 본 실시예에 따른 액정표시장치에 있어서, 통상 구동되는 TFT(3)에 결함이 있을 경우, 우선, TFT(3)의 드레인 전극(5)과 콘택홀(6) 사이를 레이저로 절단한다. 이 절단은, 실시예 1의 도 2에 나타낸 것과 같다. 다음에 도 6에 나타내는 TFT(7)의 드레인 전극(10)과 화소 전극(12) 사이에 부분 성막부(도시하지 않음)를 레이저 CVD로 형성하고, 전기적으로 접속한다. 이상의 처리에 의해, 본 실시예에 따른 액정표시장치는, 통상 구동되는 TFT(3)를 예비의 TFT(7)로 교체하여 화소를 구동할 수 있다.
- <50> 또한, 본 실시예에 따른 액정표시장치에 있어서도, 리페어 처리 전후에 화소 전극(12)과 게이트 배선(1), 소스 배선(2)과의 사이의 기생 용량에 거의 변화가 발생하지 않는다. 그 때문에 리페어 처리를 행한 화소는, 정상 화소와 같은 구동조건으로 구동해도, 정상 화소와 동등한 표시 특성을 얻는 것이 가능해 진다.
- <51> (실시예 3)
- <52> 도 7에, 본 실시예에 따른 액정표시장치의 결합 수복 전의 1화소의 평면도를 나타낸다. 도 7에서는, TFT(3)의 구성은 도 1에 나타낸 TFT(3)의 구성과 같지만, TFT(7)의 구성은 도 1에 나타낸 TFT(7)의 구성과 다르다. 구체적으로는, 도 7에 나타내는 TFT(7)는, 도 1에 나타낸 TFT(7)에 비하여, 게이트 배선(1)을 게이트 전극(8)으로서 이용하고, 드레인 전극(10)과 화소 전극(12) 사이에 겹치는 부분을 갖지 않고, 드레인 전극(10)이 화소 전극(12)으로부터 분리되고 있다. 또한, 도 7에 나타내는 TFT(7)는, 도 6에 나타낸 TFT(7)와 비교하면, 소스 전극(9)이 소스 배선(2)으로부터 절단되고 있는 점이 다르다.
- <53> 이상과 같이, 본 실시예에 따른 액정표시장치는, TFT(7)의 드레인 전극(10)과 화소 전극(12)이 분리되고 있기 때문에, TFT(7)의 기생 용량 Cgd가, 일반적인 구동시에는 화소 전극 전위에 영향을 주지 않는다. 따라서, 도 7에 나타내는 본 실시예에 따른 액정표시장치는, 실시예 1과 같이 TFT(3) 및 TFT(7)을 가지는 장황 TFT구조라도, 유지 전압의 저하량 ΔV_{gd} 가 작아, 표시 품질이 높은 액정표시장치를 얻을 수 있다. 또한, 도 7에서는, TFT(7)의 구성 이외에, 도 1에 나타내는 구성과 같기 때문에, 상세한 설명은 생략한다.
- <54> 또한 본 실시예에 따른 액정표시장치는, 실시예 2에 비하여, 예비의 TFT(7)가 소스 배선(2)으로부터 절단되고 있기 때문에, 통상 구동시, 소스 배선(2)의 부하용량이 경감된다. 그 때문에 본 실시예에 따른 액정표시장치에서는, 예비의 TFT(7)를 형성하지 않는 액정표시장치와 동일한 고속동작이 가능해 지고, 고해상도의 액정표시장치를 결함 없이 제조를 좋게 제조할 수 있다.
- <55> 다음에 본 실시예에 따른 액정표시장치에 있어서, 통상 구동되는 TFT(3)에 결함이 있을 경우, 우선, TFT(3)의 드레인 전극(5)과 콘택홀(6) 사이를 레이저로 절단한다. 이 절단은, 실시예 1의 도 2에 나타낸 것과 같다. 다음에 도 7에 나타내는 TFT(7)의 드레인 전극(10)과 화소 전극(12) 사이, 및 소스 전극(9)과 소스 배선(2)에 접속된 TFT(3)의 소스 전극(4)과의 사이에 부분 성막부(도시하지 않음)를 레이저 CVD로 형성하고, 각각 전기적으로 접속한다. 이상의 처리에 의해, 본 실시예에 따른 액정표시장치는, 통상 구동되는 TFT(3)를 예비의 TFT(7)로 교체하여 화소를 구동할 수 있다.
- <56> 또한, 본 실시예에 따른 액정표시장치에 있어서도, 리페어 처리 전후에 화소 전극(12)과 게이트 배선(1), 소스 배선(2)과의 사이의 기생 용량에 거의 변화가 발생하지 않는다. 그 때문에 리페어 처리를 행한 화소는, 정상 화소와 같은 구동조건으로 구동해도, 정상 화소와 동등한 표시 특성을 얻는 것이 가능해 진다.
- <57> (실시예 4)
- <58> 도 8에, 본 실시예에 따른 액정표시장치의 결합 수복 전의 1화소의 평면도를 나타낸다. 도 8에서는, TFT(3)의 구성은 도 1에 나타낸 TFT(3)의 구성과 같지만, TFT(7)의 구성은 도 1에 나타낸 TFT(7)의 구성과 다르다. 구체적으로는, 도 8에 나타내는 TFT(7)는, 도 1에 나타낸 TFT(7)에 비하여, 소스 전극(9)이 소스 배선(2)과 접속되

고, 드레인 전극(10)과 화소 전극(12) 사이에 겹치는 부분을 갖지 않고, 드레인 전극(10)이 화소 전극(12)으로부터 분리되고 있다. 또한, 도 8에 나타내는 TFT(7)는, 도 6에 나타낸 TFT(7)와 비교하면, 게이트 전극(8)과 게이트 배선(1)과의 사이에 겹치는 부분을 갖지 않고, 게이트 전극(8)이 게이트 배선(1)으로부터 분리되고 있는 점이 다르다.

<59> 이상과 같이, 본 실시예에 따른 액정표시장치는, TFT(7)의 드레인 전극(10)과 화소 전극(12), 및 게이트 전극(8)과 게이트 배선(1)이 각각 분리되고 있기 때문에, TFT(7)의 기생 용량 Cgd가, 일반적인 구동시에는 화소 전극전위에 영향을 주지 않는다. 따라서, 도 8에 나타내는 본 실시예에 따른 액정표시장치는, 실시예 1과 같이 TFT(3) 및 TFT(7)를 가지는 장황 TFT구조라도, 유지 전압의 저하량 ΔV_{gd} 가 작아, 표시 품질이 높은 액정표시장치를 얻을 수 있다. 또한, 도 8에서는, TFT(7)의 구성 이외에, 도 1에 나타내는 구성과 같기 때문에, 상세한 설명은 생략한다.

<60> 또한 본 실시예에 따른 액정표시장치는, 실시예 2에 비하여, TFT(7)의 게이트 전극(8)이 게이트 배선(1)으로부터 절단되고 있기 때문에, 통상 구동시, 게이트 배선(1)의 부하용량이 경감된다. 그 때문에 본 실시예에 따른 액정표시장치에서는, 예비의 TFT(7)를 형성하지 않는 액정표시장치로 같은 고속동작이 가능해 지고, 고해상도의 액정표시장치를 결함없이 제조율을 잘 제조 할 수 있다.

<61> 다음에 본 실시예에 따른 액정표시장치에 있어서, 통상 구동되는 TFT(3)에 결함이 있을 경우, 우선, TFT(3)의 드레인 전극(5)과 콘택홀(6)과의 사이를 레이저로 절단한다. 해당절단은, 실시예 1의 도 2에 나타낸 것과 같다. 다음에 도 8에 나타내는 TFT(7)의 드레인 전극(10)과 화소 전극(12)과의 사이, 및 TFT(7)의 게이트 전극(8)과 게이트 배선(1)과의 사이에 부분 성막부(미도시)를 레이저 CVD로 형성하고, 각각 전기적으로 접속한다. 이상의 처리에 의해, 본 실시예에 따른 액정표시장치는, 통상 구동되는 TFT(3)을 예비의 TFT(7)로 바꾸어서 화소를 구동할 수 있다.

<62> 또한, 본 실시예에 따른 액정표시장치에 있어서도, 리페어 처리 전후에 화소 전극(12)과 게이트 배선(1), 소스 배선(2)과의 사이의 기생 용량에 대부분 변화가 발생하지 않는다. 그 때문에 리페어 처리를 행한 화소는, 정상 화소와 같은 구동조건으로 구동해도, 정상 화소와 동등한 표시 특성을 얻는 것이 가능해 진다.

<63> (실시예 5)

<64> 도 9에, 본 실시예에 따른 액정표시장치의 결함 수복 전의 1화소의 평면도를 나타낸다. 도 9에서는, TFT(3)의 구성은 도 1에 나타낸 TFT(3)의 구성과 같지만, TFT(7)의 구성은 도 1에 나타낸 TFT(7)의 구성과 다르다. 구체적으로는, 도 9에 나타내는 TFT(7)는, 도 1에 나타낸 TFT(7)에 비교하여, 드레인 전극(10)과 화소 전극(12)과의 사이에 겹치는 부분을 갖지 않고, 드레인 전극(10)이 화소 전극(12)로부터 떨어져 있다. 또한, 도 9에 나타내는 TFT(7)는, 도 8에 나타낸 TFT(7)와 비교하면, 소스 전극(9)이 소스 배선(2)로부터 분리되고 있는 점이 다르다.

<65> 이상과 같이, 본 실시예에 따른 액정표시장치는, TFT(7)의 게이트 전극(8), 소스 전극(9) 및 드레인 전극(10)이, 게이트 배선(1), 소스 배선(2) 및 화소 전극(12)과 분리되고 있기 때문에, TFT(7)의 기생 용량 Cgd가, 일반적인 구동시에는 화소 전극전위에 영향을 주는 경우는 없다. 따라서, 도 9에 나타내는 본 실시예에 따른 액정표시장치는, 실시예 1과 같이 TFT(3) 및 TFT(7)를 가지는 장황 TFT구조라도, 유지 전압의 저하량 ΔV_{gd} 가 작아, 표시 품질이 높은 액정표시장치를 얻을 수 있다. 또한, 도 9에서는, TFT(7)의 구성 이외에, 도 1에 나타내는 구성과 같기 때문에 상세한 설명은 생략한다.

<66> 또한 본 실시예에 따른 액정표시장치는, 실시예 2에 비하여, TFT(7)의 게이트 전극(8)이 게이트 배선(1)으로부터 절단되고, 소스 전극(9)이 소스 배선(2)으로부터 절단되고 있기 때문에, 통상 구동시, 게이트 배선(1) 및 소스 배선(2)의 부하용량이 경감된다. 그 때문에 본 실시예에 따른 액정표시장치에서는, 예비의 TFT(7)를 형성하지 않는 액정표시장치와 마찬가지로 고속동작이 가능해 지고, 고해상도의 액정표시장치를 결함 없이 제조율 좋게 제조할 수 있다.

<67> 다음에 본 실시예에 따른 액정표시장치에 있어서, 통상 구동되는 TFT(3)에 결함이 있을 경우, 우선, TFT(3)의 드레인 전극(5)과 콘택홀(6) 사이를 레이저로 절단한다. 이 절단은, 실시예 1의 도 2에 나타낸 것과 같다. 다음에 도 9에 나타내는 TFT(7)의 드레인 전극(10)과 화소 전극(12)과의 사이, TFT(7)의 게이트 전극(8)과 게이트 배선(1)과의 사이 및 TFT(7)의 소스 전극(9)과 소스 배선(2) 사이에 부분 성막부(도시하지 않음)를 레이저 CVD로 형성하고, 각각 전기적으로 접속한다. 이상의 처리에 의해, 본 실시예에 따른 액정표시장치는, 통상 구동되는 TFT(3)을 예비의 TFT(7)로 교체하여 화소를 구동할 수 있다.

<68> 또한, 본 실시예에 따른 액정표시장치에 있어서도, 리페어 처리 전후에 화소 전극(12)과 게이트 배선(1), 소스

배선(2)과의 사이의 기생 용량에 거의 변화가 발생하지 않는다. 그 때문에 리페어 처리를 행한 화소는, 정상 화소와 같은 구동조건으로 구동해도, 정상 화소와 동등한 표시 특성을 얻는 것이 가능해 진다.

발명의 효과

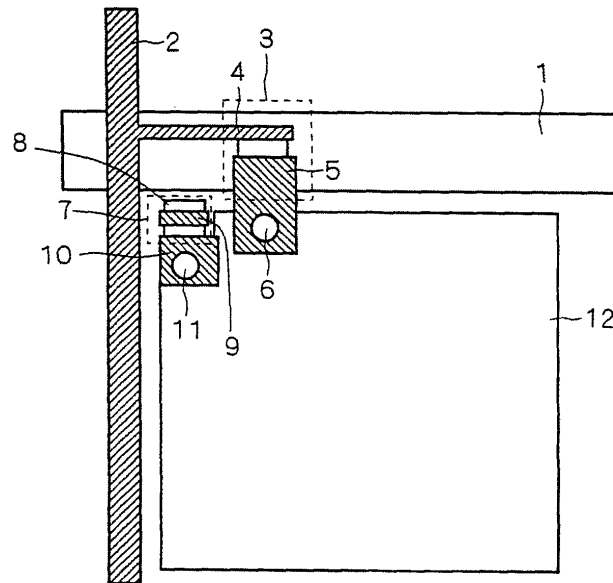
- <69> 본 발명에 기재된 액정표시장치는, 제 2TFT부는 게이트 배선 및 화소 전극 중 적어도 한쪽과 평면적으로 겹치는 부분을 갖지 않고, 제 2게이트 전극과 게이트 배선 사이 및 제 2드레인 전극과 화소 전극 사이 중 적어도 한쪽이 전기적으로 미접속이므로, TFT에 기인하는 점 결함을 정상 화소로 리페어됨과 동시에, 표시 품질이 높은 액정표시장치를 제공할 수 있다.

도면의 간단한 설명

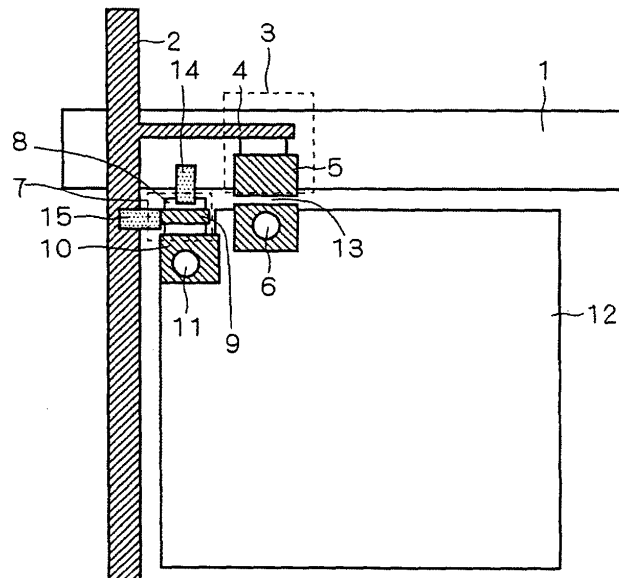
- <1> 도 1은 본 발명의 실시예 1에 따른 액정표시장치의 1화소의 구성을 나타내는 평면도이다.
- <2> 도 2는 본 발명의 실시예 1에 따른 액정표시장치의 리페어 처리 후의 1화소의 구성을 나타내는 평면도이다.
- <3> 도 3은 본 발명의 실시예 1에 따른 액정표시장치의 구동파형을 도시한 도면이다.
- <4> 도 4는 본 발명의 실시예 1에 따른 액정표시장치의 1화소의 등가회로를 나타내는 회로도이다.
- <5> 도 5는 본 발명의 실시예 1에 따른 액정표시장치의 리페어 처리후의 1화소의 등가회로를 나타내는 회로도이다.
- <6> 도 6은 본 발명의 실시예 2에 따른 액정표시장치의 1화소의 구성을 나타내는 평면도이다.
- <7> 도 7은 본 발명의 실시예 3에 따른 액정표시장치의 1화소의 구성을 나타내는 평면도이다.
- <8> 도 8은 본 발명의 실시예 4에 따른 액정표시장치의 1화소의 구성을 나타내는 평면도이다.
- <9> 도 9는 본 발명의 실시예 5에 따른 액정표시장치의 1화소의 구성을 나타내는 평면도이다.
- <10> [도면의 주요부분에 대한 부호의 설명]
- | | |
|-------------------------|-----------------|
| <11> 1 : 게이트 배선 | 2 : 소스 배선 |
| <12> 3, 7 : TFT | 4, 9 : 소스 전극 |
| <13> 5, 10 : 드레인 전극 | 6, 11 : 콘택홀 |
| <14> 8 : 게이트 전극 | 12 : 화소 전극 |
| <15> 13 : 절단부 | 14, 15 ; 부분 성막부 |
| <16> 16, 20 : 기생 용량 Cgd | 17 : 기생 용량 Csd |
| <17> 18 : 기생 용량 Cds | 19 : 액정 용량 Clc |

도면

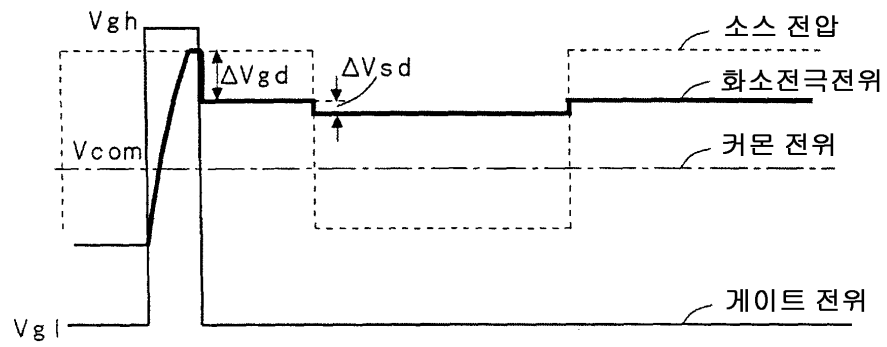
도면1



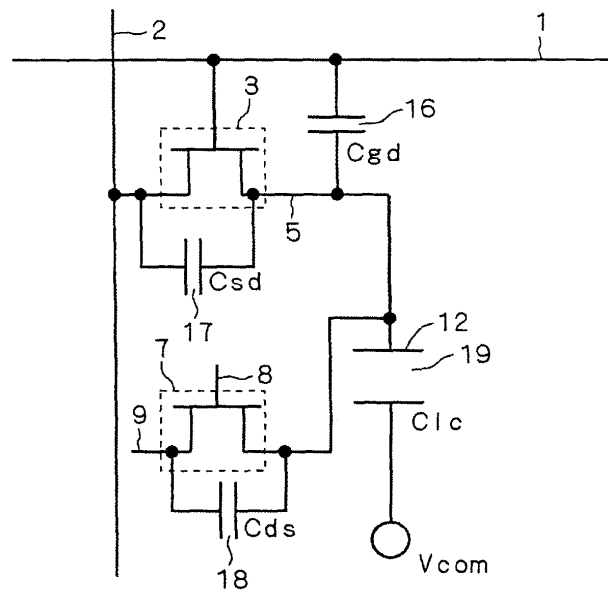
도면2



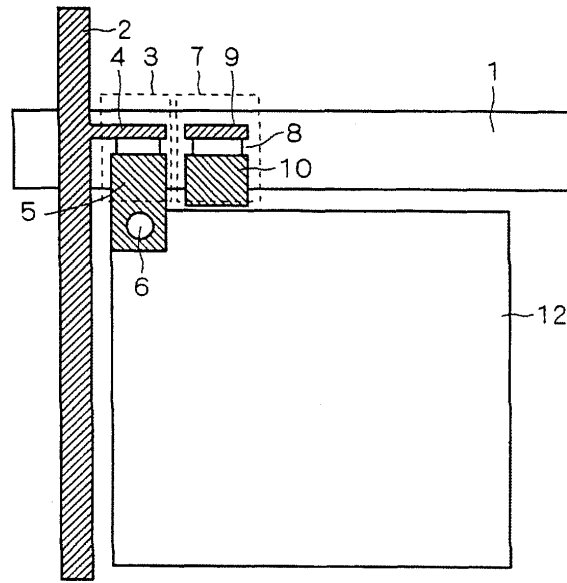
도면3



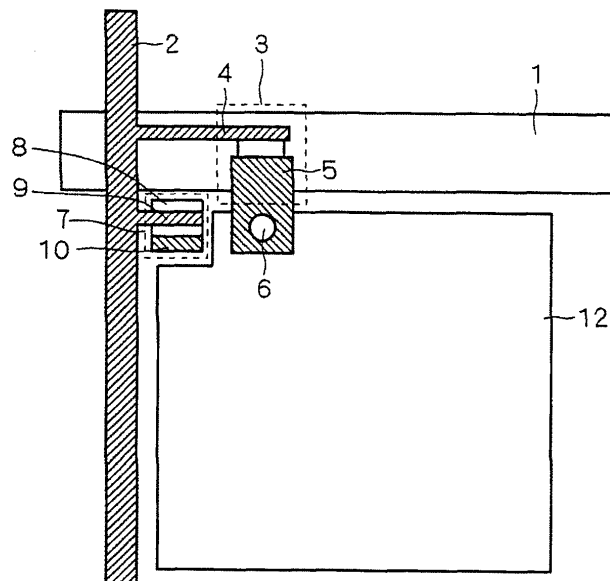
도면4



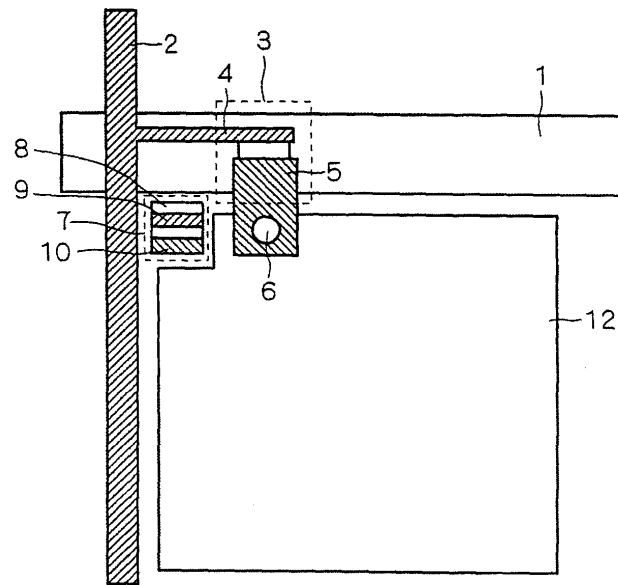
도면7



도면8



도면9



专利名称(译)	液晶显示器及其缺陷修复方法		
公开(公告)号	KR1020070106931A	公开(公告)日	2007-11-06
申请号	KR1020070041874	申请日	2007-04-30
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	YOKOMIZO MASAYUKI		
发明人	YOKOMIZO,MASAYUKI		
IPC分类号	G02F1/1362		
CPC分类号	G02F1/136259 G09G2330/08 G09G2330/10 G02F2001/136268 H01L27/1214 G09G3/3648 H01L27/124		
代理人(译)	权泰BOK LEE HWA我		
优先权	2006127234 2006-05-01 JP		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种具有高显示质量的液晶显示器，它是由TFT和故障修复方法引起的。本发明涉及多个栅极布线（1），多个源极布线（2），以及安装在矩阵形状中的多个像素电极（12）和配备有具有栅极电极的TFT（7）的液晶显示器（8），根据TFT（3），像素电极（12），源电极（9）和漏电极（10）。并且TFT（7）是栅极布线（1）和像素电极（12）中的至少一侧，并且平面重叠的部分可以被称为其不具有的断开。像素电极，TFT，栅极布线，漏电极，源电极。

