



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0099327
(43) 공개일자 2007년10월09일

(51) Int. Cl.

G02F 1/1343(2006.01)

(21) 출원번호 10-2006-0030646

(22) 출원일자 2006년04월04일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

도희욱

경기 수원시 팔달구 매교동 179-99 수연아트빌 302호

엄윤성

경기 용인시 상현동 만현마을 쌍용2차아파트 216동 1702호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

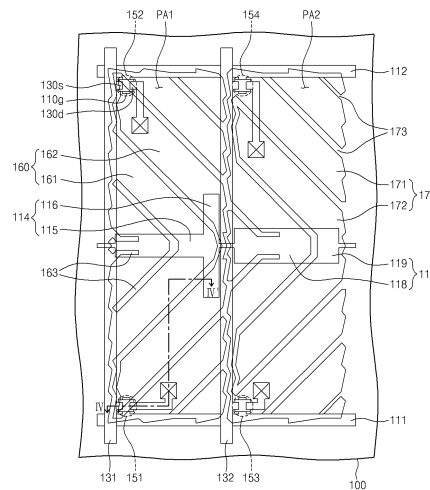
전체 청구항 수 : 총 24 항

(54) 표시장치

(57) 요약

제1 및 제2 화소 영역이 정의된 기판과, 상기 제1 및 제2 화소 영역에 각각 형성되며 제1 주화소 전극과 제1 부화소 전극으로 이루어진 제1 화소 전극과 제2 주화소 전극과 제2 부화소 전극으로 이루어진 제2 화소 전극을 포함하는 표시장치가 개시된다. 상기 제1 및 제2 화소 전극은 인접하여 마주보는 테두리 부분이 서로 상이하게 상호 대응되는 형상을 갖고, 상기 제1 주화소 전극과 상기 제1 부화소 전극간 면적비는 상기 제2 주화소 전극과 상기 제2 부화소 전극간 면적비와 동일하다.

대표도 - 도8a



(72) 발명자

유승후

경기 성남시 분당구 수내동 로얄팰리스 하우스빌
B-1202

신경주

경기 화성시 태안읍 반월리 신영통현대1차아파트
105동 1102호

김강우

서울 강남구 도곡동 941-8 503호

특허청구의 범위

청구항 1

서로 인접하는 제1 화소 영역과 제2 화소 영역을 포함하는 화소 영역이 정의된 제1 기관;
 상기 제1 화소 영역에 형성되며, 제1 주화소 전극과 제1 부화소 전극으로 이루어진 제1 화소 전극; 및
 상기 제2 화소 영역에 형성되며, 제2 주화소 전극과 제2 부화소 전극으로 이루어진 제2 화소 전극을 포함하며,
 상기 제1 및 제2 화소 전극은 인접하여 마주보는 테두리 부분이 서로 상이하되 상호 대응되는 형상을 갖고, 상
 기 제1 주화소 전극과 상기 제1 부화소 전극간 면적비는 상기 제2 주화소 전극과 상기 제2 부화소 전극간 면적
 비와 동일한 것을 특징으로 하는 표시장치.

청구항 2

제 1항에 있어서,
 상기 면적비는 1대1 내지 3대1의 범위내 값인 것을 특징으로 하는 표시장치.

청구항 3

제 1항에 있어서,
 상기 제1 주화소 전극에 형성되며 상기 제1 주화소 전극을 복수의 영역으로 분할하는 제1 영역 분할 수단과, 상
 기 제2 주화소 전극에 형성되며 상기 제2 주화소 전극을 복수의 영역으로 분할하는 제2 영역 분할 수단을 더 포
 함하는 표시장치.

청구항 4

제 3항에 있어서,
 상기 면적비는 2대1인 것을 특징으로 하는 표시장치.

청구항 5

제 3항에 있어서,
 상기 제1 및 제2 영역 분할 수단은 각각 상기 제1 및 제2 주화소 전극의 소정 영역이 절개되어 형성된 절개부인
 것을 특징으로 하는 표시장치.

청구항 6

제 5항에 있어서,
 상기 절개부는 상기 제1 및 제2 화소 영역이 인접하는 경계에 대해 수직하게 형성된 부분과 상기 제1 및 제2 화
 소 영역이 인접하는 경계에 대해 경사지게 형성된 부분을 포함하는 것을 특징으로 하는 표시장치.

청구항 7

제 3항에 있어서,
 상기 제1 및 제2 화소 전극 중 서로 인접하여 마주보는 테두리 부분은 각각 서로 맞물리는 톱니 형상을 갖는 것
 을 특징으로 하는 표시장치.

청구항 8

제 7항에 있어서,
 상기 제1 및 제2 화소 전극 중 상기 제1 및 제2 화소 전극을 사이에 두고 서로 마주보는 테두리 부분은 각각 서
 로 대응되게 맞물리는 톱니 형상을 갖는 것을 특징으로 하는 표시장치.

청구항 9

제 1항에 있어서,

상기 제1 및 제2 화소 전극에는 영상 정보에 대응되는 데이터 전압이 인가되며, 상기 제1 부화소 전극에는 상기 제1 주화소 전극 보다 고전압이 인가되고 상기 제2 부화소 전극에는 상기 제2 주화소 전극 보다 고전압이 인가되는 것을 특징으로 하는 표시장치.

청구항 10

제 1항에 있어서,

상기 제1 기판과 상기 제1 화소 전극 사이에 형성된 제1 스토리지 전극과, 상기 제1 기판과 상기 제2 화소 전극 사이에서 상기 제1 스토리지 전극과 상이하게 형성된 제2 스토리지 전극을 더 포함하는 표시장치.

청구항 11

제 10항에 있어서,

상기 제1 스토리지 전극은 상기 제1 주화소 전극과 중첩되는 제1 주스토리지 전극과 상기 제1 부화소 전극과 중첩되는 제1 부스토리지 전극을 포함하며, 상기 제2 스토리지 전극은 상기 제2 주화소 전극과 중첩되는 제2 주스토리지 전극과 상기 제2 부화소 전극과 중첩되는 제2 부스토리지 전극을 포함하는 표시장치.

청구항 12

제 11항에 있어서,

상기 제1 주스토리지 전극과 상기 제1 부스토리지 전극간 면적비는 상기 제2 주스토리지 전극과 상기 제2 부스토리지 전극간 면적비와 동일한 것을 특징으로 하는 표시장치.

청구항 13

제 12항에 있어서,

상기 제1 부스토리지 전극은 상기 제1 주스토리지 전극에서 수직으로 분기되어 형성되며, 상기 제2 스토리지 전극은 상기 제1 주스토리지 전극과 동일한 방향으로 형성된 것을 특징으로 하는 표시장치.

청구항 14

제 12항에 있어서,

상기 제1 부스토리지 전극은 상기 제1 주스토리지 전극에서 수직으로 분기되고 상기 수직으로 분기된 부분에서 상기 제1 주스토리지 전극과 동일한 방향으로 재차 분기되어 형성되며, 상기 제2 스토리지 전극은 상기 제1 주스토리지 전극과 동일한 방향으로 형성된 것을 특징으로 하는 표시장치.

청구항 15

제 1항에 있어서,

상기 제1 기판상에서 서로 교차하도록 형성되며, 상기 화소 영역을 정의하는 게이트 라인과 데이터 라인을 더 포함하는 표시장치.

청구항 16

제 15항에 있어서,

상기 제1 및 제2 화소 전극 중 서로 인접하여 마주보는 테두리 부분은 상기 데이터 라인상에서 중첩되는 것을 특징으로 하는 표시장치.

청구항 17

제 16항에 있어서,

상기 데이터 라인과 상기 제1 및 제2 화소전극 사이에 개재된 유기막을 더 포함하는 표시장치.

청구항 18

제 16항에 있어서,

상기 데이터 라인과 상기 제1 및 제2 화소전극 사이에 개재된 컬러필터를 더 포함하는 표시장치.

청구항 19

제 15항에 있어서,

상기 게이트 라인은 상기 화소 전극을 사이에 두고 서로 마주보는 주게이트 라인과 부게이트 라인을 포함하고, 상기 데이터 라인은 상기 제1 화소 전극을 사이에 두고 서로 마주보는 제1 데이터 라인과 제2 데이터 라인을 포함하며,

상기 주게이트 라인과 제1 데이터 라인 및 제1 주화소 전극에 연결된 제1 주박막트랜지스터와, 상기 부게이트 라인과 제1 데이터 라인 및 제1 부화소 전극에 연결된 제1 부박막트랜지스터와, 상기 주게이트 라인과 제2 데이터 라인 및 제2 주화소 전극에 연결된 제2 주박막트랜지스터와, 상기 부게이트 라인과 제2 데이터 라인 및 제2 부화소 전극에 연결된 제2 부박막트랜지스터를 더 포함하는 표시장치.

청구항 20

제 15항에 있어서,

상기 데이터 라인은 상기 제1 화소 전극을 사이에 두고 서로 마주보는 제1 주데이터 라인과 제1 부데이터 라인 및 상기 제2 화소 전극을 사이에 두고 서로 마주보는 제2 주데이터 라인과 제2 부데이터 라인을 포함하며,

상기 게이트 라인과 제1 주데이터 라인 및 제1 주화소 전극에 연결된 제1 주박막트랜지스터와, 상기 게이트 라인과 제1 부데이터 라인 및 제1 부화소 전극에 연결된 제1 부박막트랜지스터와, 상기 게이트 라인과 제2 주데이터 라인 및 제2 주화소 전극에 연결된 제2 주박막트랜지스터와, 상기 게이트 라인과 제2 부데이터 라인 및 제2 부화소 전극에 연결된 제2 부박막트랜지스터를 더 포함하는 표시장치.

청구항 21

제 1항에 있어서,

상기 제1 기관과 합착되는 제2 기관과, 상기 제2 기관상에 형성되며 상기 제1 및 제2 화소 전극과 마주보는 공통 전극을 더 포함하는 표시장치.

청구항 22

제 21항에 있어서,

상기 제1 및 제2 주화소 전극에 각각 형성되는 제1 및 제2 영역 분할 수단과, 상기 제1 및 제2 영역 분할 수단과 이격되게 상기 공통 전극에 형성되며 상기 제1 및 제2 영역 분할 수단과 상호 작용하여 상기 화소 영역을 복수의 영역으로 구분하는 제3 영역 분할 수단을 더 포함하는 표시장치.

청구항 23

제 22항에 있어서,

상기 제1 및 제2 영역 분할 수단은 각각 상기 제1 및 제2 주화소 전극의 소정 영역이 절개되어 형성된 절개부이고, 상기 제3 영역 분할 수단은 상기 공통 전극의 소정 영역이 절개되어 형성된 절개부인 것을 특징으로 하는 표시장치.

청구항 24

제 22항에 있어서,

상기 제1 및 제2 영역 분할 수단은 각각 상기 제1 및 제2 주화소 전극의 소정 영역이 절개되어 형성된 절개부이고, 상기 제3 영역 분할 수단은 상기 공통 전극상의 소정 영역에 형성된 돌기인 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 표시장치에 관한 것이다.
- <21> 영상을 표시하는 표시장치의 하나로 현재 액정을 사용하는 액정표시장치가 많이 사용되고 있다. 액정은 액체와 고체의 중간 상태 물성을 가지며, 유전율 이방성을 나타내어 상기 액정에 전계가 인가되었을 때 액정의 배열 방향이 변경된다. 액정은 또한 굴절률 이방성을 나타내어, 액정의 배열 상태에 따라 빛에 대한 투과도가 달라진다. 위와 같은 액정의 물성을 이용하여, 액정표시장치는 표시 정보에 대응되도록 적절한 전계를 인가하여 액정의 배열을 변경하면서 그에 따른 영상을 표시한다.
- <22> 액정표시장치는 상기 굴절률 이방성으로 인하여 액정을 보는 각도에 따라 영상이 달라질 수 있다. 따라서 정면 방향에서 올바른 영상이 표시되더라도 측면 방향에서는 영상이 왜곡될 수 있다. 통상 시청자가 올바른 영상을 시청할 수 있는 각도 범위를 시야각이라 하는데, 액정표시장치에서는 상기 시야각이 좁은 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <23> 본 발명이 이루고자 하는 기술적 과제는 시야각이 넓고 동작 속도가 향상되는 표시장치를 제공하는데 있다.

발명의 구성 및 작용

- <24> 본 발명의 표시장치는 제1 기관과 제1 화소 전극 및 제2 화소 전극을 포함한다. 상기 제1 기관은 서로 인접하는 제1 화소 영역과 제2 화소 영역을 포함하는 화소 영역이 정의된다. 상기 제1 화소 전극은 상기 제1 화소 영역에 형성되며, 제1 주화소 전극과 제1 부화소 전극으로 이루어진다. 상기 제2 화소 전극은 상기 제2 화소 영역에 형성되며, 제2 주화소 전극과 제2 부화소 전극으로 이루어진다.
- <25> 상기 제1 및 제2 화소 전극은 인접하여 마주보는 테두리 부분이 서로 상이하고 상호 대응되는 형상을 갖고, 상기 제1 주화소 전극과 상기 제1 부화소 전극간 면적비는 상기 제2 주화소 전극과 상기 제2 부화소 전극간 면적비와 동일하다.
- <26> 상기 제1 및 제2 화소 전극에는 영상 정보에 대응되는 데이터 전압이 인가되며, 상기 제1 부화소 전극에는 상기 제1 주화소 전극에 비해 고전압이 인가되고 상기 제2 부화소 전극에는 상기 제2 주화소 전극에 비해 고전압이 인가된다. 이와 같이 영역별로 고전압과 저전압이 인가되면, 고전압이 인가된 영역과 저전압이 인가된 영역에서의 광특성이 보상되어 액정표시장치의 시야각이 증가된다. 또한 상기 제1 및 제2 화소 전극에서 고전압이 인가되는 영역과 저전압이 인가되는 영역의 면적이 동일하므로, 제1 및 제2 화소 전극에서 균일한 영상이 표시될 수 있다.
- <27> 이하 첨부한 도면들을 참조하여 본 발명의 실시예를 상세히 살펴보기로 한다. 다만 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다양한 형태로 응용되어 변형될 수도 있다. 오히려 아래의 실시예들은 본 발명에 의해 개시된 기술 사상을 보다 명확히 하고 나아가 본 발명이 속하는 분야에서 평균적인 지식을 가진 당업자에게 본 발명의 기술 사상이 충분히 전달될 수 있도록 제공되는 것이다. 따라서 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되는 것으로 해석되어서는 안 될 것이다. 또한 하기 실시예와 함께 제시된 도면들에 있어서, 층 및 영역들의 크기는 명확한 설명을 강조하기 위해서 간략화되거나 다소 과장되어진 것이며, 도면상에 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <28> 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.
- <29> 도 1을 참조하면, 화소 영역(PA1, PA2)이 정의된 제1 기관(100)과 제1 기관(100)상에 형성된 화소 전극(160, 170)이 구비된다. 또한 제1 기관(100)과 마주보는 제2 기관(미도시)이 더 구비되며 제1 기관(100)과 제2 기관 사이에는 액정이 배열된 액정층(미도시)이 개재된다. 화소 전극(160, 170)은 서로 상이한 형상을 갖는 제1 화소 전극(160)과 제2 화소 전극(170)을 포함한다. 화소 영역(PA1, PA2)은 영상이 표시되는 최소 단위로 행과 열의 비가 1대3 정도인 장방형의 영역으로 정의되며, 화소 전극(160, 170)은 각 화소 영역(PA1, PA2)마다 형성된다.

- <30> 제1 기관(100)상에는 제1 및 제2 화소 전극(160,170)이 하나의 그룹을 이루어 상기 그룹이 반복적으로 복수개 배열되어 있다. 설명의 편의상, 화소 영역(PA1,PA2)에서 제1 화소 전극(160)이 형성된 영역을 제1 화소 영역(PA1)이라 하고 제2 화소 전극(170)이 형성된 영역을 제2 화소 전극(PA2)이라 하며, 이하의 설명에서는 단일 화소 영역(PA1,PA2)에 형성된 단일 화소 전극(160,170)을 위주로 살펴본다.
- <31> 제1 및 제2 화소 전극(160,170)은 각각 두 부분으로 구분되어 있다. 상기 분리된 부분 중 면적이 큰 쪽을 주화소 전극(161,171)이라 하며 작은 쪽을 부화소 전극(162,172)이라 명명한다. 따라서 제1 화소 전극(160)은 제1 주화소 전극(161)과 제1 부화소 전극(162)으로 구분되며, 제2 화소 전극(170)은 제2 주화소 전극(171)과 제2 부화소 전극(172)으로 구분된다. 이 때, 상호 분리된 주화소 전극(161,171)과 부화소 전극(162,172)은 전기적으로 절연되어 각각에 대해 상이한 동작이 가능하다.
- <32> 예컨대, 주화소 전극(161,171)과 부화소 전극(162,172)에는 각각 상이한 전압이 인가될 수 있다. 화소 전극(160,170)에 인가된 전압에 따라 화소 전극(160,170)상의 액정의 배열 방향이 달라지며, 그에 따라 주화소 전극(161,171)과 부화소 전극(162,172)에서 굴절률 및 투과율이 달라지면서 광특성이 차이난다. 제1 화소 영역에 있어서, 제1 주화소 전극(161)과 제1 부화소 전극(162)이 형성된 영역에서 상호간의 광특성이 보상되도록 제1 주화소 전극(161)과 제1 부화소 전극(162)에 인가되는 전압을 적절히 조절하면, 액정표시장치의 동작 특성이 향상된다.
- <33> 즉, 액정표시장치는 측면으로 갈수록 고계조에서 투과율이 감소되는데, 서로 다른 전압이 인가되는 제1 주화소 전극(161)과 제1 부화소 전극(162)에서의 전압 대비 투과율 특성을 혼합하면 측면에서 고계조에 따른 투과율 감소가 완화되어 시야각이 넓어진다. 이와 같은 시야각 증가 효과는 제2 화소 전극(170)에도 동일하게 적용된다.
- <34> 제1 주화소 전극(161)에는 제1 영역 분할 수단(163)이 형성되어 제1 주화소 전극(161)은 복수의 영역으로 구분된다. 제1 영역 분할 수단(163)은 제1 주화소 전극(161)의 소정 영역이 절개된 절개부가 될 수 있다. 이 경우, 제1 주화소 전극(161)과 제1 부화소 전극(162) 사이의 경계도 제1 화소 전극(160)이 절개된 것으로 볼 수 있다. 만약 제1 주화소 전극(161)에서 구분된 복수의 영역들의 수가 N이라면, 제1 화소 전극(160)은 제1 부화소 전극(162)을 포함하여 전체적으로 N+1의 영역으로 구분된다. 마찬가지로 제2 주화소 전극(171)에는 제2 영역 분할 수단(173)이 형성되며, 제2 화소 전극(170)은 제2 주화소 전극(171)에서 구분된 복수의 영역들과 제2 부화소 전극(172)에 의해 구분된다.
- <35> 도 2는 도 1의 I-I' 라인을 따라 취해진 단면도이다.
- <36> 도 2를 참조하면, 제1 기관(100)상에 제1 주화소 전극(161)과 제1 부화소 전극(162)으로 분리된 제1 화소 전극(160)이 형성되어 있다. 제1 화소 전극(160)에 영상 정보에 따른 데이터 전압이 인가되며, 제1 기관(100)과 마주보는 제2 기관(점선표시)(200)에는 일정한 공통 전압이 인가된다. 상기 데이터 전압과 공통 전압의 차이로 전계(E)가 발생되어 제1 및 제2 기관(100,200) 사이의 액정(310)에 작용한다.
- <37> 상기 전계는 제1 주화소 전극(161)과 제1 부화소 전극(162)의 형성된 영역 내부에서는 제1 주화소 전극(161)과 제1 부화소 전극(162)에 수직한 방향으로 형성된다. 상기 전계는 제1 주화소 전극(161)과 제1 부화소 전극(162)의 경계에서는 경사지는 방향으로 형성된다. 액정(310)이 음의 유전율 이방성을 갖는 경우, 액정(310)은 전계의 방향에 수직한 방향으로 경사지게 배열된다.
- <38> 도 2에 도시된 바와 같이, 제1 주화소 전극(161)과 제1 부화소 전극(162)의 경계에서 액정(310)은 전계에 따라 서로 다른 방향으로 경사지게 배열되며, 이는 제1 주화소 전극(161) 내부에서 제1 영역 분할 수단(173)에 의해 구분되는 영역들의 경계에서도 마찬가지이다. 따라서 제1 화소 전극(160)이 절개되어 구분되는 각 영역들상에서 액정(310)은 상이한 방향으로 배열된다. 액정(310)의 배열 방향에 따라 각 영역들에서 광특성이 달라지며, 각 영역들간 광특성이 보상되어 액정표시장치의 동작 특성이 향상된다. 이와 같은 효과는 제2 화소 전극(170)에도 동일하게 적용된다.
- <39> 도 3은 도 1의 'A' 부분에 대한 확대도이다.
- <40> 도 3을 참조하면, 상호 인접하는 제1 및 제2 화소 전극(160,170)의 테두리는 톱니 모양으로 형성된다. 상기 톱니 모양의 테두리는 비대칭으로, 우측으로 경사지며 상대적으로 길이가 긴 장변과 좌측으로 경사지며 상대적으로 길이가 짧은 단변으로 이루어진다. 제1 및 제2 화소 전극(160,170)에 형성된 각각의 톱니 모양은 서로 맞물리도록 대응되어, 장변은 장변끼리 단변은 단변끼리 서로 마주본다. 이와 같이 제1 및 제2 화소 전극(160,170)이 형성된 경우 다음과 같이 액정표시장치의 동작 특성이 향상될 수 있다.

- <41> 화소 전극(160,170)에 전압을 인가할 때 반전 구동 방식이 적용되어, 인접하는 제1 및 제2 화소 전극(160,170)에 상이한 극성의 전압이 인가될 수 있다. 즉, 특정 프레임에서 제1 화소 전극(160)에 양극성의 전압이 인가되고 제2 화소 전극(170)에 음극성의 전압이 인가되었다면, 다음 프레임에서는 반대로 제1 화소 전극(160)에 음극성의 전압이 인가되고 제2 화소 전극(170)에 양극성의 전압이 인가된다. 상기 반전 구동 방식에 따르면 액정(310)의 배열 방향이 프레임마다 좌우로 변경되며, 액정(310)이 한쪽 방향으로만 계속적으로 배열되어 쉽게 열화되는 것을 방지한다. 또는 반전 구동 방식이 적용되지 않더라도 제1 및 제2 화소 영역(PA1,PA2)에서 표시될 영상 정보가 상이한 경우, 제1 및 제2 화소 전극(160,170)에는 서로 다른 전압이 인가된다.
- <42> 위와 같이, 제1 및 제2 화소 전극(160,170)에 상이한 전압이 인가되면 제1 및 제2 화소 전극(160,170)간에는 전계가 형성된다. 상기 제1 및 제2 화소 전극(160,170)간 전계(Ef)는, 제1 및 제2 기관(100,200) 사이에 형성되는 전계와 구별하여 측방향 전계(lateral field)라 명명한다.
- <43> 측방향 전계의 방향은 제1 및 제2 화소 전극(160,170)의 형상에 따라 달라지며, 제1 및 제2 화소 전극(160,170)이 서로 대응되는 형상을 갖도록 하여 측방향의 전계와 제1 또는 제2 화소 전극(160,170) 내부 영역에서 액정(310)에 작용하는 전계 방향을 일치시킬 수 있다.
- <44> 예컨대, 제1 화소 전극(160)에서 절개부가 형성된 길이 방향과 제1 및 제2 화소 전극(160,170)의 테두리에서 톱니 모양을 이루는 장변의 방향이 서로 동일하게 될 수 있다. 이 경우, 제1 화소 전극(160) 테두리 부분의 액정(310)은 전계가 걸렸을 때 신속하게 제1 화소 전극(160) 내부의 액정과 동일한 방향으로 배열되며, 그 결과 액정표시장치의 동작 속도가 향상된다. 제1 화소 전극(160)과 마찬가지로 제2 화소 전극(170)의 테두리 부분의 액정(310)도 전계가 걸렸을 때 보다 신속하게 배열될 수 있으며, 그 결과 액정표시장치의 동작 속도가 향상된다.
- <45> 상호 인접하는 제1 및 제2 화소 전극(160,170)의 테두리 부분외에도 상기 제1 및 제2 화소 전극(160,170)에서 제1 및 제2 화소 전극(160,170)을 사이에 두고 서로 마주보는 테두리 부분 또한 서로 대응되게 맞물리는 톱니 형상을 가질 수 있다. 이 경우, 제1 기관(100)상에 제1 화소 전극(160)과 제2 화소 전극(170)이 서로 번갈아가면서 반복적으로 형성되었을 때, 서로 인접하는 모든 제1 및 제2 화소 전극(160,170)의 테두리 부분은 상호 대응되는 톱니 형상을 갖게된다. 따라서 제1 및 제2 화소 전극(160,170)이 인접하는 모든 테두리 부분에서의 동작 속도가 향상된다. 또한 상기 제1 및 제2 화소 전극(160,170)이 인접하는 방향이 아니더라도 화소 전극(160,170)의 모든 테두리 부분을 톱니 모양으로 형성하여 동작 속도를 보다 향상시킬 수 있다.
- <46> 제1 및 제2 화소 전극(160,170)의 테두리 부분이 서로 대응되는 톱니 형상을 갖는 경우, 제1 및 제2 화소 전극(160,170)의 형상은 서로 상이하게 된다. 제1 및 제2 화소 전극(160,170)의 형상이 상이하면, 제1 주화소 전극(161)과 제2 주화소 전극(171)의 형상도 서로 상이하며 제1 부화소 전극(162)과 제2 부화소 전극(172)의 형상도 서로 상이하다. 이러한 형상 차이에도 불구하고, 제1 화소 전극(160)에있어서 제1 주화소 전극의 면적(161)과 제1 부화소 전극의 면적(162)간 비와, 제2 화소 전극에 있어서 제2 주화소 전극의 면적(171)과 제2 부화소 전극이 면적(172)간 비는 서로 동일하다.
- <47> 여기서 동일하다는 것은 정확하게 상기 면적비가 일치하는 경우외에 대략적으로 근사한 경우를 포함한다. 이와 같이 면적비가 근사하면, 제1 화소 전극(160)에서 제1 주화소 전극(161)과 제1 부화소 전극(162)이 상호간에 광특성을 보완하는 정도와, 제2 화소 전극(170)에서 제2 주화소 전극(171)과 제2 부화소 전극(172)이 상호간에 광특성을 보완하는 정도가 동일하다. 따라서 제1 화소 전극(160)과 제2 화소 전극(170)에서 균일한 영상이 얻어질 수 있다.
- <48> 상기 면적비는 1대1 내지 3대1의 범위내 값이 바람직하며, 2대1인 경우가 가장 적합하다. 상기 면적비는 주화소 전극(161,171)과 부화소 전극(162,172)간 배치 및 주화소 전극(161,171)에서 구분된 각 영역들의 크기에 따라 달라진다. 상기 면적비가 2대1이 되도록 하기 위한 일례로서 도 1과 같은 구조를 살펴본다.
- <49> 도 1을 재차 참조하면, 크기적인 면에 있어서 제1 부화소 전극(162)은 제1 주화소 전극(161)을 구성하는 개개의 구분 영역들 중 어느 것 보다 크게 형성된다. 이와 같이 제1 부화소 전극(162)이 큰 면적을 차지할 수 있도록, 제1 부화소 전극(162)은 장방형의 제1 화소 영역(PA1)에서 마주보는 장변 중 어느 한 장변의 모서리에서 다른 장변의 중심으로 경사지게 형성된다. 제1 주화소 전극(161)을 구성하는 개개의 구분 영역들은 제1 부화소 전극(162)을 사이에 두고 나누어서 배치되며, 제1 부화소 전극(162)을 사이에 두고 나뉘어진 제1 주화소 전극(161)의 구분 영역들은 종방향으로 형성된 브릿지(10)로 연결된다.
- <50> 제2 부화소 전극(172)은 장방형의 제2 화소 영역(PA2)에서 마주보는 장변 중 어느 한 장변의 모서리에서 다른 장변의 중심으로 경사지게 형성된다. 또한 제2 부화소 전극(172)을 사이에 두고 제2 주화소 전극(171)을 구성하

는 개개의 구분 영역들이 배치된다. 제1 화소 전극(160)과 제2 화소 전극(170)이 인접하는 테두리 부분이 서로 대응되는 틈날 형상을 갖도록, 제1 부화소 전극(162)과 제1 영역 분할 수단(163)은 제2 부화소 전극(172)과 제2 영역 분할 수단(173)에 대해 서로 어긋나게 배치된다.

<51> 도 4는 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다.

<52> 도 4를 참조하면, 제1 기판(100)상에는 상호 절연된 상태로 교차하는 게이트 라인(111,112)과 데이터 라인(131,132)이 형성된다. 게이트 라인(111,112)은 주게이트 라인(111)과 부게이트 라인(112)을 포함하며, 데이터 라인(131,132)은 제1 데이터 라인(131)과 제2 데이터 라인(132)을 포함한다. 주게이트 라인(111)과 부게이트 라인(112) 및 제1 데이터 라인(131)은 제1 화소 영역(PA1)을 정의하고, 주게이트 라인(111)과 부게이트 라인(112) 및 제2 데이터 라인(132)은 제2 화소 영역(PA2)을 정의한다.

<53> 제1 화소 영역(PA1)과 제2 화소 영역(PA2)은 화소 영역(PA1,PA2)을 구성하며, 제1 기판(100)상에는 복수의 게이트 라인(111,112)과 데이터 라인(131,132)에 의해 복수의 화소 영역(PA1,PA2)이 반복적으로 정의되지만, 이하에서는 편의상 단일 화소 영역(PA1,PA2)에 한정하여 설명한다.

<54> 제1 화소 영역(PA1)에는 제1 화소 전극(160)이, 제2 화소 영역(PA2)에는 제2 화소 전극(170)이 형성된다. 제1 화소 전극(160)은 제1 주화소 전극(161)과 제1 부화소 전극(162)을 포함하며, 제2 화소 전극(170)은 제2 주화소 전극(171)과 제2 부화소 전극(172)을 포함한다. 제1 화소 전극(160)에는 제1 주박막트랜지스터(151)와 제1 부박막트랜지스터(152)가 형성되며, 제2 화소 전극(170)에는 제2 주박막트랜지스터(153)와 제2 부박막트랜지스터(154)가 형성된다.

<55> 상기 박막트랜지스터(151,152,153,154)들은 게이트 전극(110g)과 소오스 전극(130s) 및 드레인 전극(130d)을 포함한다. 제1 주박막트랜지스터(151)에 있어서, 게이트 전극(110g)은 주게이트 라인(111)으로부터 분기되어 형성되고 소오스 전극(130s)은 제1 데이터 라인(131)으로부터 분기되어 형성되며 드레인 전극(130d)은 제1 주화소 전극(161)에 전기적으로 연결된다. 제1 부박막트랜지스터(152)에 있어서, 게이트 전극(110g)은 부게이트 라인(112)으로부터 분기되어 형성되고 소오스 전극(130s)은 제1 데이터 라인(131)으로부터 분기되어 형성되며 드레인 전극(130d)은 제1 부화소 전극(162)에 전기적으로 연결된다.

<56> 액정표시장치의 동작시, 주게이트 라인(111)과 부게이트 라인(112)으로 게이트 온 신호가 전송되어 제1 주박막트랜지스터(151)와 제1 부박막트랜지스터(152)가 턴온된다. 제1 데이터 라인(131)으로 영상 정보에 대응되는 데이터 신호가 전송되며 제1 주화소 전극(161)과 제1 부화소 전극(162)에는 각각 데이터 전압이 인가된다. 이 때, 제1 주박막트랜지스터(151)와 제1 부박막트랜지스터(152)에 대해 상이한 게이트 온 신호를 인가하여 제1 주화소 전극(161)에 저전압이 인가되고 제1 부화소 전극(162)에 고전압이 인가되도록 제어한다.

<57> 제2 주박막트랜지스터(153)에 있어서, 게이트 전극(110g)은 주게이트 라인(111)으로부터 분기되어 형성되고 소오스 전극(130s)은 제2 데이터 라인(132)으로부터 분기되어 형성되며 드레인 전극(130d)은 제2 주화소 전극(171)에 전기적으로 연결된다. 제2 부박막트랜지스터(154)에 있어서, 게이트 전극(110g)은 부게이트 라인(112)으로부터 분기되어 형성되고 소오스 전극(130s)은 제2 데이터 라인(132)으로부터 분기되어 형성되며 드레인 전극(130d)은 제2 부화소 전극(172)에 전기적으로 연결된다. 제2 화소 전극(170) 또한 제1 화소 전극(160)과 동일한 방식으로 동작된다.

<58> 도 5는 도 4의 II-II' 라인을 따라 취해진 단면도이다.

<59> 도 5를 참조하면, 제1 기판(100)상에 게이트 전극(110g)이 형성된다. 게이트 전극(110g)은 알루미늄 계열의 금속, 은 계열의 금속, 구리 계열 금속, 몰리브덴 계열의 금속, 크롬, 티타늄, 탄탈륨 중 어느 하나로 된 단일막 패턴 또는 상기 금속 중 물리적 성질이 다른 복수의 물질로 된 다층막 패턴으로 형성된다.

<60> 게이트 전극(110g)상에는 제1 기판(100) 전면을 덮는 게이트 절연막(121)이 형성된다. 게이트 절연막(121)은 질화규소 재질의 투명한 무기막으로 형성되며, 게이트 전극(110g)을 소오스 전극(130s) 및 드레인 전극(130d)과 절연시킨다.

<61> 게이트 절연막(121)상에는 게이트 전극(110g)과 중첩되게 반도체 패턴(122)이 형성된다. 반도체 패턴(122)은 액티브 패턴(123)과 오믹콘택 패턴(124)의 이중막 패턴으로 구성되며, 제1 기판(100) 전면에 수소화 비정질 규소막을 증착한 후 패터닝하여 형성된다. 액티브 패턴(123)에는 액정표시장치의 동작시 채널이 형성된다. 오믹콘택 패턴(124)은 n형 불순물 이온으로 도핑된 수소화 비정질 규소막 패턴으로 이루어지며, 게이트 전극(110g)상에서 마주보는 두 부분으로 분리되게 형성된다.

- <62> 반도체 패턴(122)상에는 소오스 전극(130s)과 드레인 전극(130d)이 형성된다. 소오스 전극(130s)과 드레인 전극(130d)은 게이트 전극(110g)상에서 서로 마주보도록 이격된다. 소오스 전극(130s)과 드레인 전극(130d)은 게이트 전극(110g)과 마찬가지로 여러가지 계열의 금속들 중 어느 하나로 된 단일막 패턴 또는 물리적 성질이 다른 복수의 물질로 된 다층막 패턴으로 형성된다.
- <63> 소오스 전극(130s) 및 드레인 전극(130d)상에는 보호막(141)이 형성된다. 보호막(141)은 질화규소와 같은 투명한 무기막으로 형성되며, 보호막(141)상에는 두꺼운 유기막(146)이 형성된다. 유기막(146)은 저유전율을 갖는 투명 물질로 두껍게 형성된다. 보호막(141)과 유기막(146)에는 드레인 전극(130d)상의 소정 영역을 노출하는 콘택홀(145h)이 형성된다.
- <64> 유기막(146)상에는 화소 전극(160,170)이 형성된다. 화소 전극(160,170)은 산화아연인듐이나 산화주석인듐과 같은 투명한 도전막을 패터닝하여 형성된다. 제1 화소 전극(160)은 콘택홀(145h)을 통하여 드레인 전극(130d)과 전기적으로 연결된다. 제1 화소 전극(160)과 제2 화소 전극(170)과 중첩되게 게이트 절연막(121)상에 제2 데이터 라인(132)이 형성된다.
- <65> 제1 및 제2 화소 전극(160,170)은 제2 데이터 라인(132)상에서 최대한 인접하게 형성되는데, 보다 가까이 인접할수록 프린지 필드가 강하게 작용할 수 있다는 점에서는 유리하다. 그러나 제1 및 제2 화소 전극(160,170)이 인접할수록 제2 데이터 라인(132)으로 데이터 신호가 전송될 때 제2 데이터 라인(132)과 화소 전극(160,170)이 강하게 커플링될 수 있다는 점에서 불리하다. 다만 본 실시예에 있어서, 저유전율의 두꺼운 유기막(146)에 의해 상기한 커플링이 방지될 수 있어 제1 및 제2 화소 전극(160,170)은 최대한 인접하게 형성된다.
- <66> 도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다.
- <67> 도 6을 참조하면, 제1 기관(100)상에는 상호 절연된 상태로 교차하는 게이트 라인(110)과 데이터 라인(133,136)이 형성된다. 데이터 라인(133,136)은 제1 데이터 라인(133)과 제2 데이터 라인(136)을 포함한다. 제1 데이터 라인(133)은 제1 주데이터 라인(134)과 제1 부데이터 라인(135)을 포함하고, 제2 데이터 라인(136)은 제2 주데이터 라인(137)과 제2 부데이터 라인(138)을 포함한다. 게이트 라인(110)과 제1 주데이터 라인(134) 및 제1 부데이터 라인(135)은 제1 화소 영역(PA1)을 정의하고, 게이트 라인(110)과 제2 주데이터 라인(137) 및 제2 부데이터 라인(138)은 제2 화소 영역(PA2)을 정의한다.
- <68> 제1 화소 영역(PA1)과 제2 화소 영역(PA2)은 화소 영역(PA1,PA2)을 구성하며, 제1 기관(100)상에는 복수의 게이트 라인(110)과 데이터 라인(133,136)에 의해 복수의 화소 영역(PA1,PA2)이 반복적으로 정의되지만, 이하에서는 편의상 단일 화소 영역(PA1,PA2)에 한정하여 설명한다.
- <69> 제1 화소 영역(PA1)에는 제1 화소 전극(160)이, 제2 화소 영역(PA2)에는 제2 화소 전극(170)이 형성된다. 제1 화소 전극(160)은 제1 주화소 전극(161)과 제1 부화소 전극(162)을 포함하며, 제2 화소 전극(170)은 제2 주화소 전극(171)과 제2 부화소 전극(172)을 포함한다. 제1 화소 전극(160)에는 제1 주박막트랜지스터(156)와 제1 부박막트랜지스터(157)가 형성되며, 제2 화소 전극(170)에는 제2 주박막트랜지스터(158)와 제2 부박막트랜지스터(159)가 형성된다.
- <70> 상기 박막트랜지스터(156,157,158,159)는 게이트 전극(110g)과 소오스 전극(130s) 및 드레인 전극(130d)을 포함한다. 제1 주박막트랜지스터(156)에 있어서, 게이트 전극(110g)은 게이트 라인(110)으로부터 분기되어 형성되고 소오스 전극(130s)은 제1 주데이터 라인(134)으로부터 분기되어 형성되며 드레인 전극(130d)은 제1 주화소 전극(161)에 전기적으로 연결된다. 제1 부박막트랜지스터(157)에 있어서, 게이트 전극(110g)은 게이트 라인(110)으로부터 분기되어 형성되고 소오스 전극(130s)은 제1 부데이터 라인(135)으로부터 분기되어 형성되며 드레인 전극(130d)은 제1 부화소 전극(162)에 전기적으로 연결된다.
- <71> 액정표시장치의 동작시, 게이트 라인(110)으로 게이트 온 신호가 전송되어 제1 주박막트랜지스터(156)와 제1 부박막트랜지스터(157)가 턴온된다. 또한 제1 데이터 라인(133)으로 영상 정보에 대응되는 데이터 신호가 전송되는데, 제1 주데이터 라인(134)을 통하여 제1 주화소 전극(161)에는 저전압이 인가되고 제1 부데이터 라인(135)을 통하여 제1 부화소 전극(162)에는 고전압이 인가된다.
- <72> 제2 주박막트랜지스터(158)에 있어서, 게이트 전극(110g)은 게이트 라인(110)으로부터 분기되어 형성되고 소오스 전극(130s)은 제2 주데이터 라인(137)으로부터 분기되어 형성되며 드레인 전극(130d)은 제2 주화소 전극(171)에 전기적으로 연결된다. 제2 부박막트랜지스터(159)에 있어서, 게이트 전극(110g)은 게이트 라인(110)으로부터 분기되어 형성되고 소오스 전극(130s)은 제2 부데이터 라인(138)으로부터 분기되어 형성되며 드레인 전

극(130d)은 제2 부화소 전극(172)에 전기적으로 연결된다. 제2 화소 전극(170) 또한 제1 화소 전극(160)과 동일하게 동작된다.

- <73> 도 7은 도 5의 III-III' 라인을 따라 취해진 단면도이다.
- <74> 도 7을 참조하면, 제1 기관(100)상의 소정 영역에 제1 주박막트랜지스터(156)를 구성하는 게이트 전극(110g)과 소오스 전극(140s) 및 드레인 전극(140d)이 형성된다. 제1 주박막트랜지스터(156)에서 이격되어 제1 부박막트랜지스터(157)를 구성하는 드레인 전극(140d)이 형성되며, 또한 제1 부데이터 라인(135)과 제2 주데이터 라인(137)이 나란하게 형성된다. 제1 부데이터 라인(135)상에는 제1 화소 전극(160)이, 제2 주데이터 라인(137)상에 제2 화소 전극(170)이 형성되어 있다.
- <75> 도 8a는 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다. 본 실시예는 도 4를 참조하여 살핀 실시예와 일부분의 구성이 공통적이며, 상기 공통적인 부분에 대한 상세 설명은 생략한다.
- <76> 도 8a를 참조하면, 제1 기관(100)과 제1 화소 전극(160) 사이에는 제1 스토리지 전극(114)이 형성되고, 제1 기관(100)과 제2 화소 전극(170) 사이에는 제2 스토리지 전극(117)이 형성된다. 제1 스토리지 전극(114)은 제1 주화소 전극(161) 및 제1 부화소 전극(162)이 일부와 중첩되며, 편의상 제1 주화소 전극(161)과 중첩되는 부분을 제1 주스토리지 전극(115)이라 하고 제1 부화소 전극(162)과 중첩되는 부분을 제1 부스토리지 전극(116)이라 한다.
- <77> 제1 스토리지 전극(114)은 제1 화소 전극(160)과 중첩되면서 제1 스토리지 커패시터를 구성한다. 제1 스토리지 커패시터는 제1 화소 전극(160)에 인가될 데이터 신호를 일정 시간 유지하는 역할을 한다. 제1 스토리지 전극(114)은 구리나 알루미늄과 같은 게이트 전극(110g)과 동일한 물질로 게이트 전극(110g)이 형성될 때 동시에 형성된다. 상기한 구리나 알루미늄 등의 금속은 빛의 투과를 차단하여, 제1 화소 전극(160)에 있어서 외부로 영상이 표시되는 부분은 제1 스토리지 전극(114)이 형성된 영역을 제외한 나머지 영역이다. 상기한 제1 스토리지 전극(114)의 구성과 역할 및 재질에 관한 것은 제2 스토리지 전극(117)에 대해서 동일하게 적용된다.
- <78> 제1 및 제2 스토리지 전극(114,117)의 형상에 따라, 주화소 전극(161,171)과 부화소 전극(162,172)간 면적비가 제1 및 제2 화소 전극(160,170)에서 동일하게 설정되더라도, 주화소 전극(161,171)과 부화소 전극(162,172)간 빛이 투과되도록 개구된 부분의 면적비는 달라질 수 있다. 하기에서 설명하는 바와 같이, 본 실시예에 따르면 주화소 전극(161,171)과 부화소 전극(162,172)간 상기 개구된 부분의 면적비가 동일하게 유지될 수 있다.
- <79> 도 8a에서, 제1 및 제2 화소 전극(160,170)을 이등분하는 행 방향의 가상선을 고려한다. 제1 주스토리지 전극(115)과 제2 주스토리지 전극(118)은 상기 가상선을 따라 장방향으로 형성된다. 상기 가상선에 인접하는 길이 방향에 대해, 제1 주화소 전극(161)의 면적이 제2 주화소 전극(171)의 면적 보다 크다. 따라서 상기 가상선의 길이 방향에 수직한 방향으로 제1 주스토리지 전극(115)이 제2 주스토리지 전극(118)에 비해 좁은 폭을 갖도록 형성되면, 제1 주스토리지 전극(115)과 제2 주스토리지 전극(118)은 동일한 면적을 갖도록 형성될 수 있다.
- <80> 제2 부스토리지 전극(119)은 상기 가상선을 따라 장방향으로 형성된다. 상기 가상선의 길이 방향에 인접한 영역으로는 제1 부화소 전극은 매우 작게 형성되어 제1 부스토리지 전극(116)이 제2 부스토리지 전극(119)의 면적에 대응되는 충분한 면적을 확보할 수 없으므로, 제1 부스토리지 전극(116)은 상기 가상선에 수직한 양방향으로 제1 주스토리지 전극(115)으로부터 분기되어 형성된다. 상기 분기된 부분의 길이를 조절하면 제1 부스토리지 전극(116)과 제2 부스토리지 전극(119)은 동일한 면적을 가질 수 있다.
- <81> 위와 같이 제1 및 제2 주스토리지 전극(115,118)과 제1 및 제2 부스토리지 전극(116,119)이 각각 동일한 면적으로 형성되면, 제1 주화소 전극(161)과 제1 부화소 전극(162)에서 개구된 부분의 면적비와 제2 주화소 전극(171)과 제2 부화소 전극(172)에서 개구된 부분의 면적비가 동일하게 된다.
- <82> 도 8b는 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다. 본 실시예는 도 8a를 참조하여 살핀 실시예와 일부분의 구성이 공통적이며, 상기 공통적인 부분에 대한 상세 설명은 생략한다.
- <83> 도 8b를 참조하면, 제1 부스토리지 전극(116)은 제1 주스토리지 전극(115)에서 수직으로 1차 분기된 후 상기 수직으로 분기된 부분에서 다시 상기 제1 주스토리지 전극(115)과 동일한 방향으로 2차 분기되어 형성된다. 제1 주스토리지 전극(115)에서 수직으로 분기된 부분만으로 제2 부스토리지 전극(119)에 대응되는 충분한 면적을 확보할 수 없는 경우, 제1 부스토리지 전극(116)의 충분한 면적이 확보되도록 이와 같이 2차 분기된 구조가 적용될 수 있다.
- <84> 도 8a 및 도 8b를 참조하여 살핀 실시예 외에도, 다양한 형상을 적용하여 제1 스토리지 전극(114)과 제2 스토리

지 전극(117)의 면적비를 동일하게 유지할 수 있다. 이하 제1 및 제2 스토리지 전극(114,117)이 형성된 액정표시장치의 단면 구조를 살펴본다. 하기의 단면 구조는 도 8a를 참조하여 살핀 실시예에 관한 것이나, 도 8b를 참조하여 살핀 실시예에 대해서도 유사하게 적용된다.

- <85> 도 9는 도 8a의 IV-IV' 라인을 따라 취해진 단면도이다.
- <86> 도 9를 참조하면, 제1 기관(100)상에 게이트 전극(110g)과 게이트 전극(110g)에서 이격된 제1 스토리지 전극(114)이 형성된다. 게이트 전극(110g)과 제1 스토리지 전극(114)은 게이트 절연막(121)으로 덮여있다. 게이트 전극(110g)이 형성된 게이트 절연막(121)상에는 반도체 패턴(122)과 소오스 전극(130s) 및 드레인 전극(130d)이 형성되고, 소오스 전극(130s)과 드레인 전극(130d)상에는 보호막(141)과 유기막(146)이 형성된다.
- <87> 제1 스토리지 전극(114)은 게이트 절연막(121)과 보호막(141) 및 유기막(146)을 사이에 두고 제1 화소 전극(160)과 상하로 마주보며, 그 결과 제1 스토리지 커패시터가 형성된다. 제1 스토리지 커패시터의 정전 용량은 제1 스토리지 전극(114)과 제1 화소 전극(160) 사이의 거리 및 그 사이에 개재된 게이트 절연막(121)과 보호막(141) 및 유전막(146)의 유전상수 값에 따라 달라진다. 상기 거리를 줄여서 상기 정전 용량값이 증가되도록, 유기막(146)의 소정 영역이 개구되고 제1 화소 전극(160)이 상기 개구된 부분으로 삽입될 수 있다.
- <88> 도 10은 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다.
- <89> 본 실시예는 도 4를 참조하여 살핀 실시예와 일부분의 구성이 공통적이며, 상기 공통적인 부분에 대한 상세 설명은 생략한다.
- <90> 도 10을 참조하면, 서로 마주보는 제1 기관(100)과 제2 기관(200)이 구비된다. 제1 기관(100)에는 화소 영역(PA1,PA2)이 정의되며 화소 영역(PA1,PA2)에는 화소 전극(160,170)이 형성된다. 제1 화소 전극(160)은 제1 주 화소 전극(161)과 제1 부화소 전극(162)으로 이루어지며, 제2 화소 전극(170)은 제2 주화소 전극(171)과 제2 부 화소 전극(172)으로 이루어진다. 제2 기관(200)에는 화소 전극(160,170)과 마주보는 공통 전극(240)이 형성된다.
- <91> 제1 주화소 전극(161)에는 제1 영역 분할 수단(163)이 형성되며, 제2 주화소 전극(171)에는 제2 영역 분할 수단(173)이 형성된다. 공통 전극(240)에는 제1 및 제2 영역 분할 수단(163,173)과 이격되며 제1 및 제2 영역 분할 수단(163,173)과 상호 작용하여 상기 화소 영역(PA1,PA2)을 복수의 영역으로 분할하는 제3 영역 분할 수단(245)이 형성된다.
- <92> 제1 내지 제3 영역 분할 수단(163,173,245)은 화소 전극(160,170)이나 공통 전극(240)의 소정 영역이 절개된 절개부로 형성될 수 있으며, 이러한 절개부는 화소 전극(160,170)과 공통 전극(240) 사이의 전계를 변형시켜 액정표시장치의 시야각을 넓히는 역할을 한다. 제1 내지 제3 영역 분할 수단(163,173,245)은 절개부와 동일한 역할을 할 수 있는, 화소 전극(160,170)과 공통 전극(240)상에 형성된 돌기로 이루어질 수 있다.
- <93> 도 11a 및 도 11b는 서로 다른 실시예에 따라 도 10의 V-V' 라인을 따라 취해진 단면도이다.
- <94> 도 11a를 참조하면, 제1 기관(100)과 제2 기관(200) 사이에는 액정을 포함하는 액정층(300)이 개재된다. 제1 기관(100)의 게이트 절연막(121)상에 제1 및 제2 화소 전극(160,170)의 경계에서 제2 데이터 라인(132)이 형성된다.
- <95> 제2 기관(200)에는 제1 및 제2 화소 전극(160,170)의 경계에 차광막 패턴(210)이 형성되어 제1 및 제2 화소 전극(160,170) 이외에서 빛의 투과를 차단한다. 차광막 패턴(210)상에는 백색광에서 특정 파장대의 빛을 필터링하여 컬러 영상을 나타내는 컬러필터(220)가 형성된다. 컬러필터(220)는 서로 번갈아가면서 배치되며 빛의 삼원색에 해당하는 적색필터(R)와 녹색필터(G) 및 청색필터(미도시)로 이루어진다. 컬러필터(220)상에는 제2 기관(200) 표면을 평탄화하고 컬러필터(220)를 보호하기 위한 오버코트막(230)이 형성된다. 오버코트막(230)상에는 공통 전극(240)이 형성된다. 공통 전극(240)은 화소 전극(160,170)과 동일한 재질로 형성된다. 공통 전극(240)에는 시야각을 넓히기 위한 제3 영역 분할 수단(245)으로 공통 전극(240)의 소정 영역이 절개된 절개부가 형성된다.
- <96> 도 11b를 참조하면, 제1 기관(100)의 제2 데이터 라인(132)상에는 보호막(141)과 컬러필터(148)가 형성된다. 컬러필터(148)는 컬러 영상을 나타내는 동시에 유기막(146)을 대신하여 제2 데이터 라인(132)과 화소 전극(160,170)간 커패시터를 억제하는 역할을 한다. 컬러필터(148)가 화소 영역(PA1,PA2)이 정의된 제1 기관(100)에 형성된 경우, 제조시 컬러필터(148)와 화소 영역(PA1,PA2)간 오정렬이 방지되는 장점이 있다.

<97> 제2 기관(200)에는 차광막 패턴(210)이 형성되며, 차광막 패턴(210)상에는 오버코트막(230)이 형성된다. 오버코트막(230)상에는 공통 전극(240)이 형성되며, 공통 전극(240)상에는 시야각을 넓히기 위한 제3 영역 분할 수단(245)으로 공통 전돌기가 형성된다.

<98> 이상 예시적인 관점에서 몇 가지 실시예를 살펴보았지만, 해당 기술 분야의 통상의 지식을 갖는 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

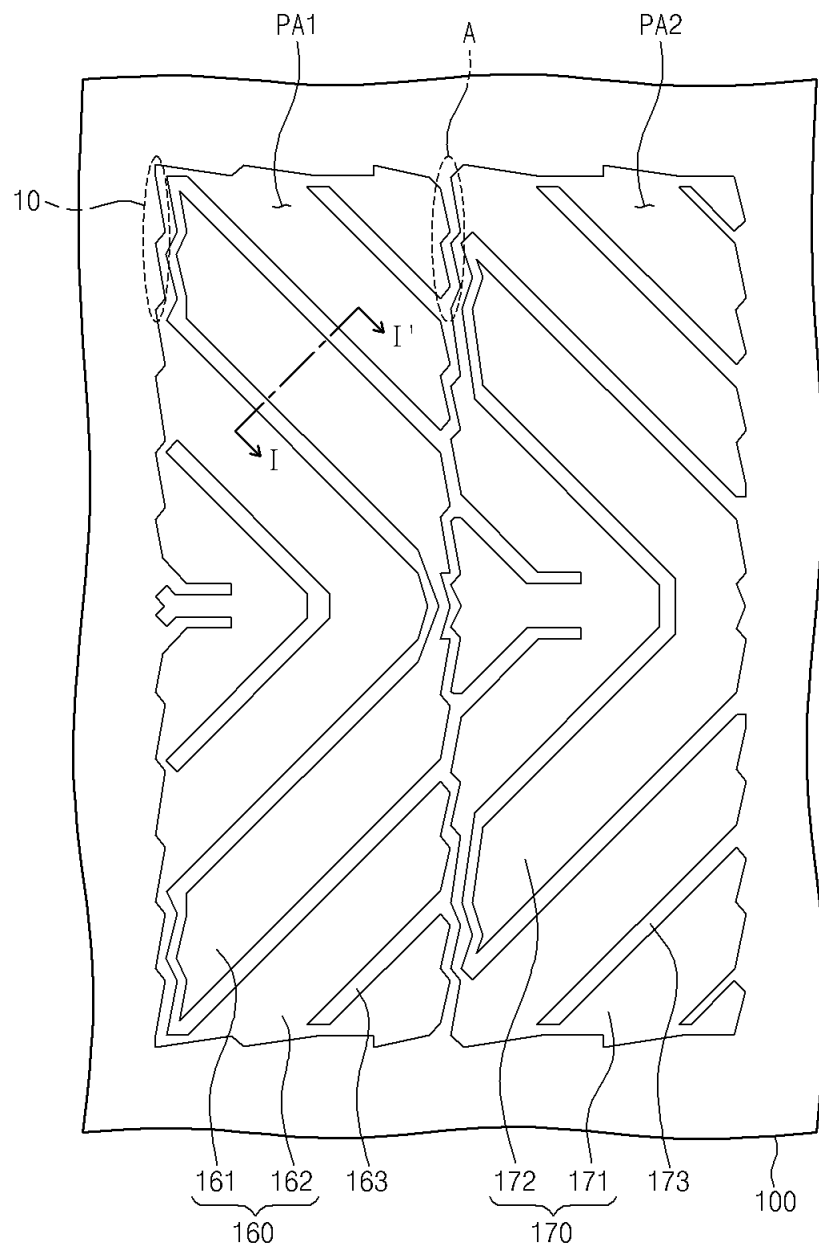
<99> 본 발명에 따르면, 액정표시장치의 시야각이 넓어지고 또한 동작 속도가 향상되는 효과가 있다.

도면의 간단한 설명

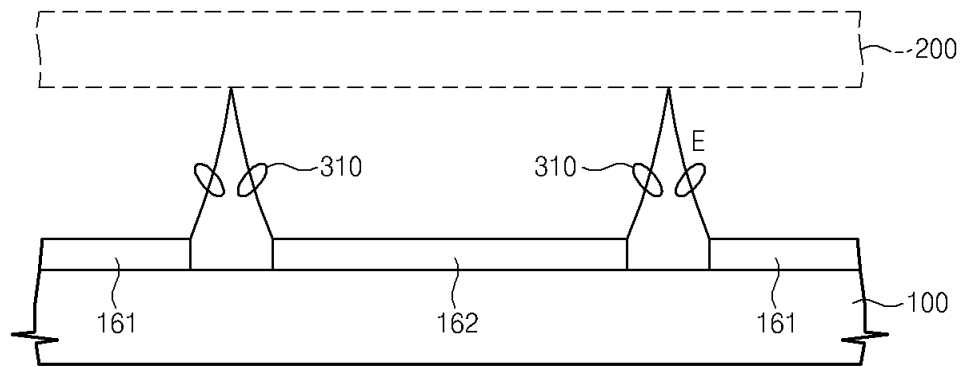
- <1> 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.
- <2> 도 2는 도 1의 I-I' 라인을 따라 취해진 단면도이다.
- <3> 도 3은 도 1의 'A' 부분에 대한 확대도이다.
- <4> 도 4는 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다.
- <5> 도 5는 도 4의 II-II' 라인을 따라 취해진 단면도이다.
- <6> 도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다.
- <7> 도 7은 도 5의 III-III' 라인을 따라 취해진 단면도이다.
- <8> 도 8a 및 도 8b는 본 발명의 각각 서로 다른 실시예에 따른 액정표시장치의 평면도이다.
- <9> 도 9는 도 8a의 IV-IV' 라인을 따라 취해진 단면도이다.
- <10> 도 10은 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다.
- <11> 도 11a 및 도 11b는 서로 다른 실시예에 따라 도 10의 V-V' 라인을 따라 취해진 단면도이다.
- <12> ☞도면의 주요부분에 대한 부호의 설명☞
- <13> 100 -- 제1 기관 114 -- 제1 스토리지 전극
- <14> 117 -- 제2 스토리지 전극 160 -- 제1 화소 전극
- <15> 163 -- 제1 영역 분할 수단 170 -- 제2 화소 전극
- <16> 173 -- 제2 영역 분할 수단 200 -- 제2 기관
- <17> 240 -- 공통 전극 245 -- 제3 영역 분할 수단
- <18> 300 -- 액정층 PA1 -- 제1 화소 영역
- <19> PA2 -- 제2 화소 영역

도면

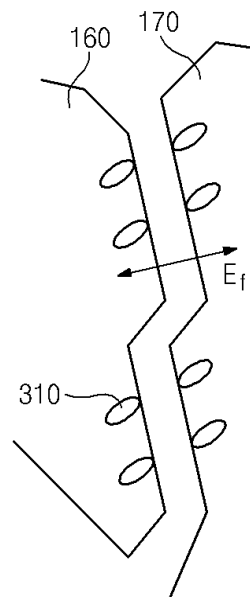
도면1



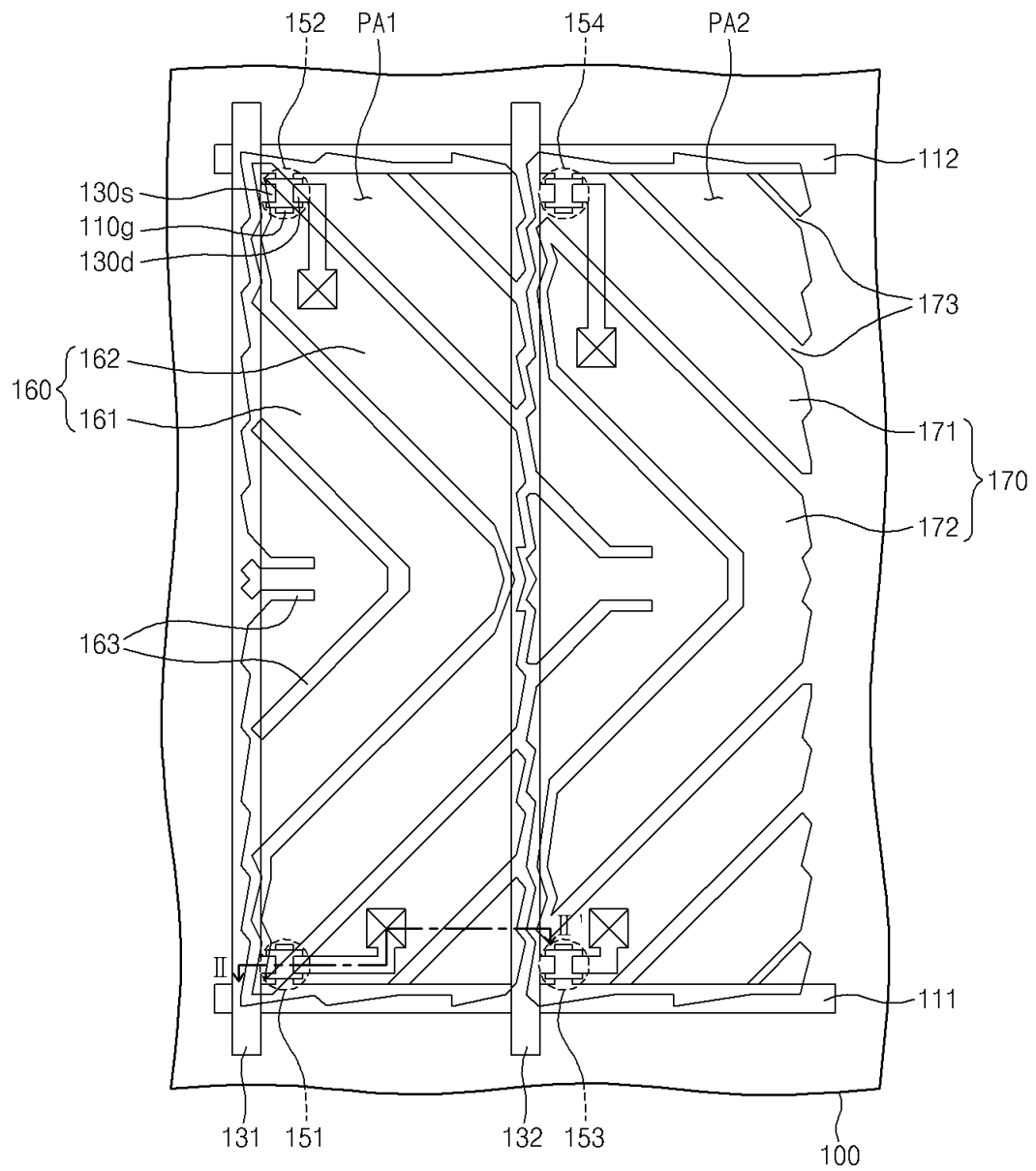
도면2



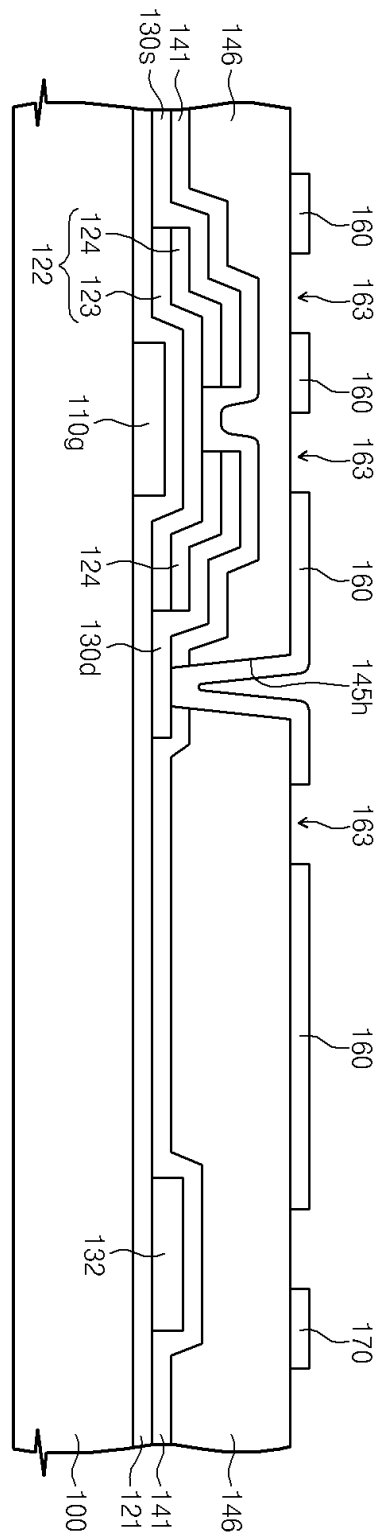
도면3



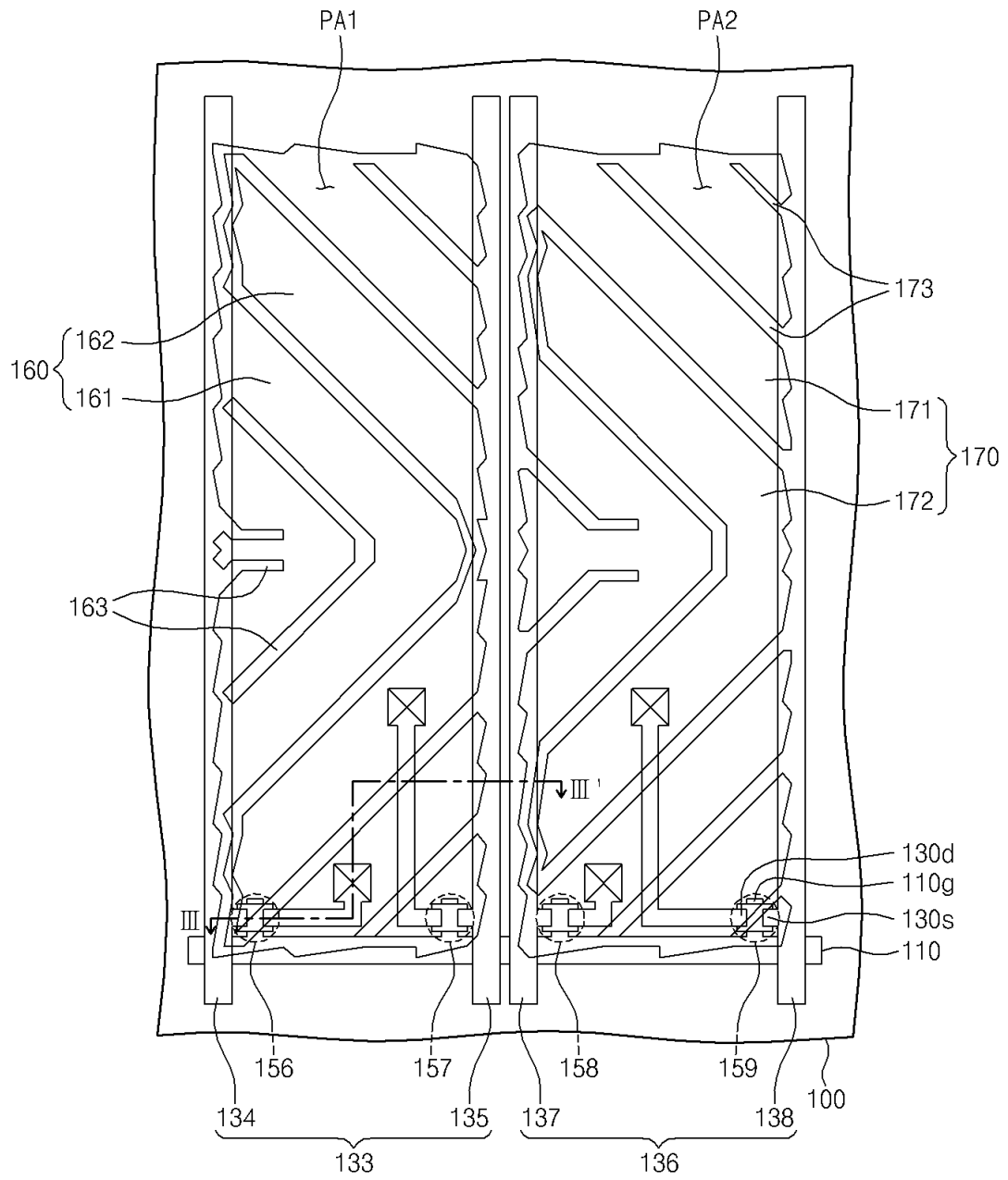
도면4



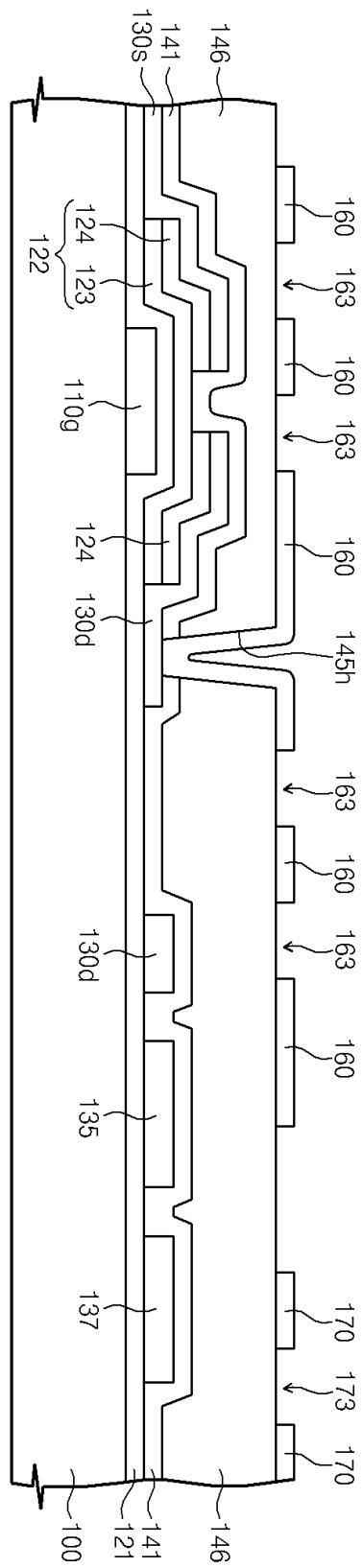
도면5



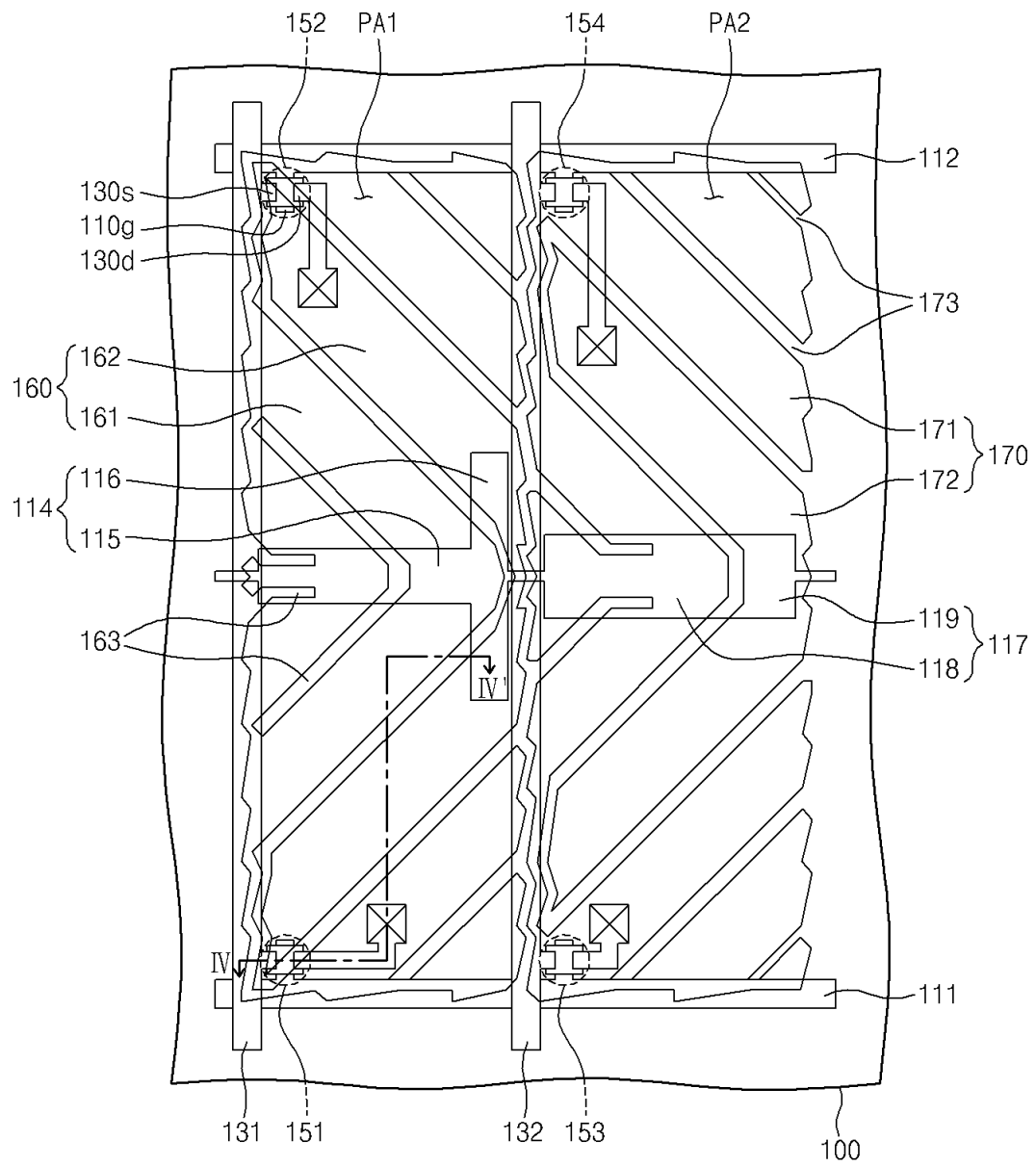
도면6



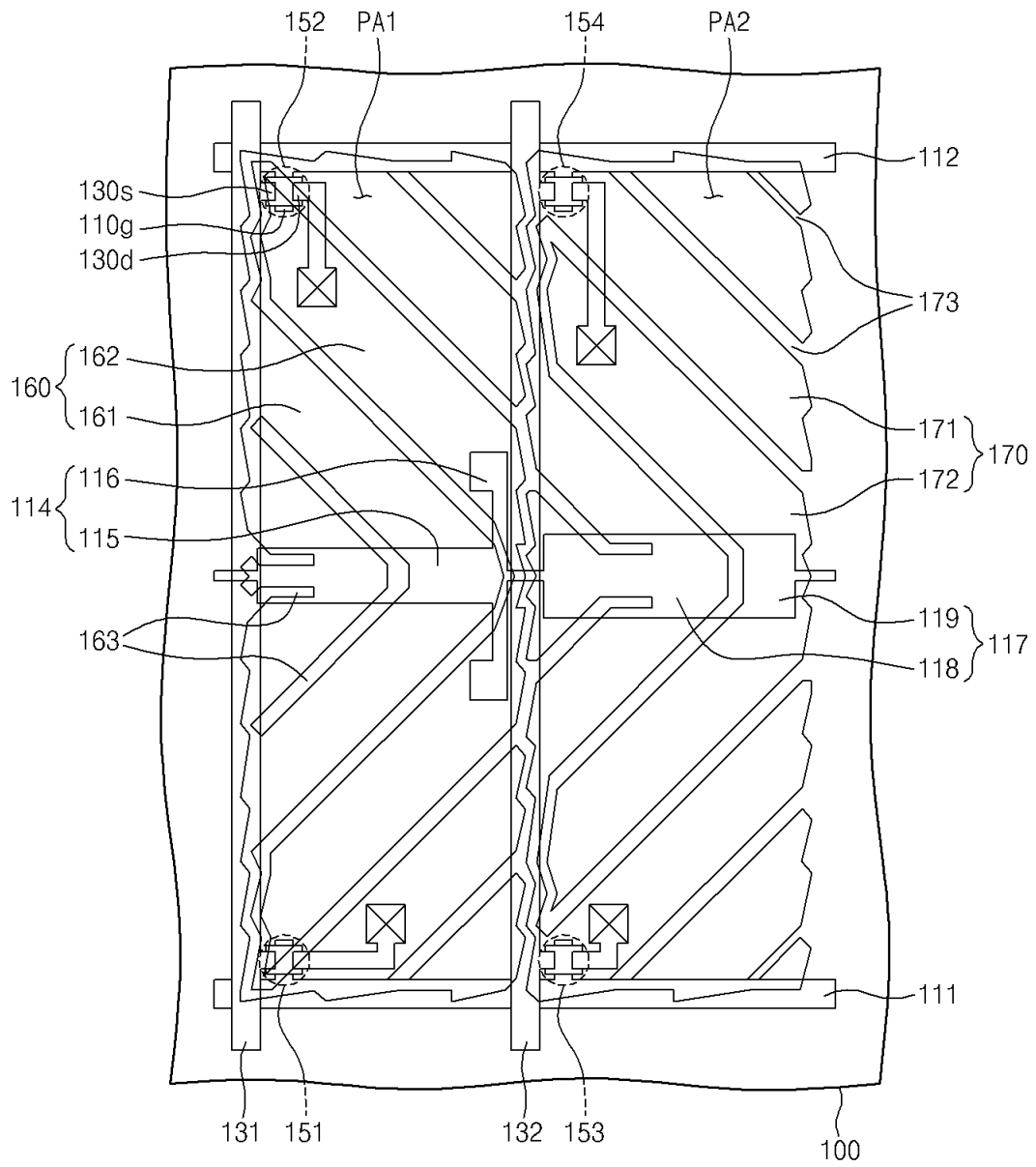
도면7



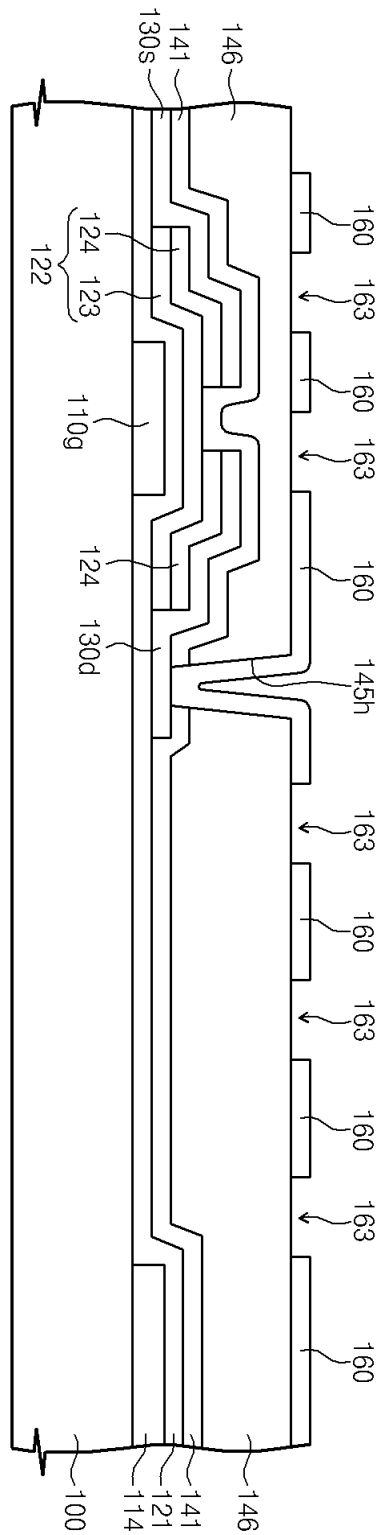
도면8a



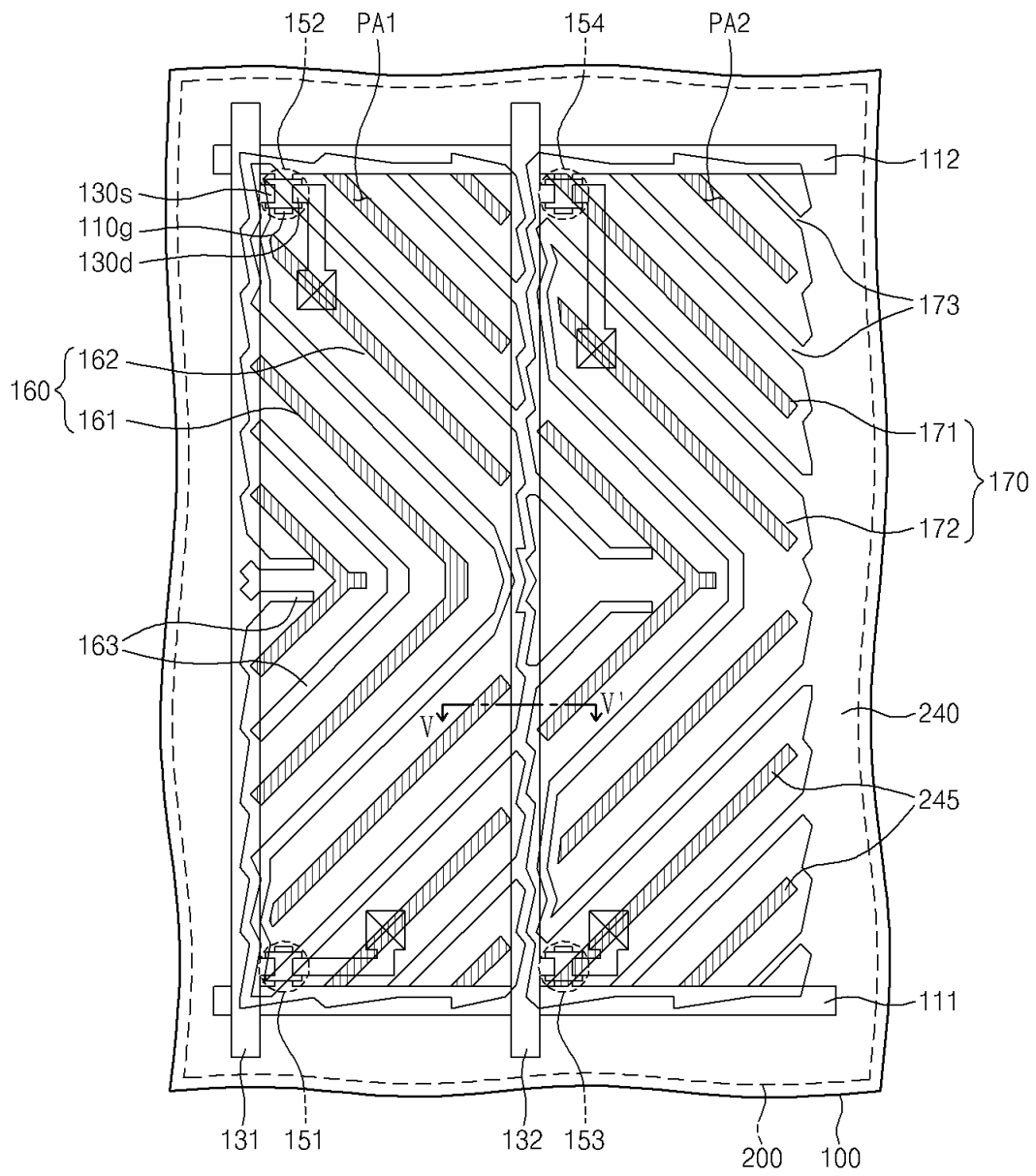
도면8b



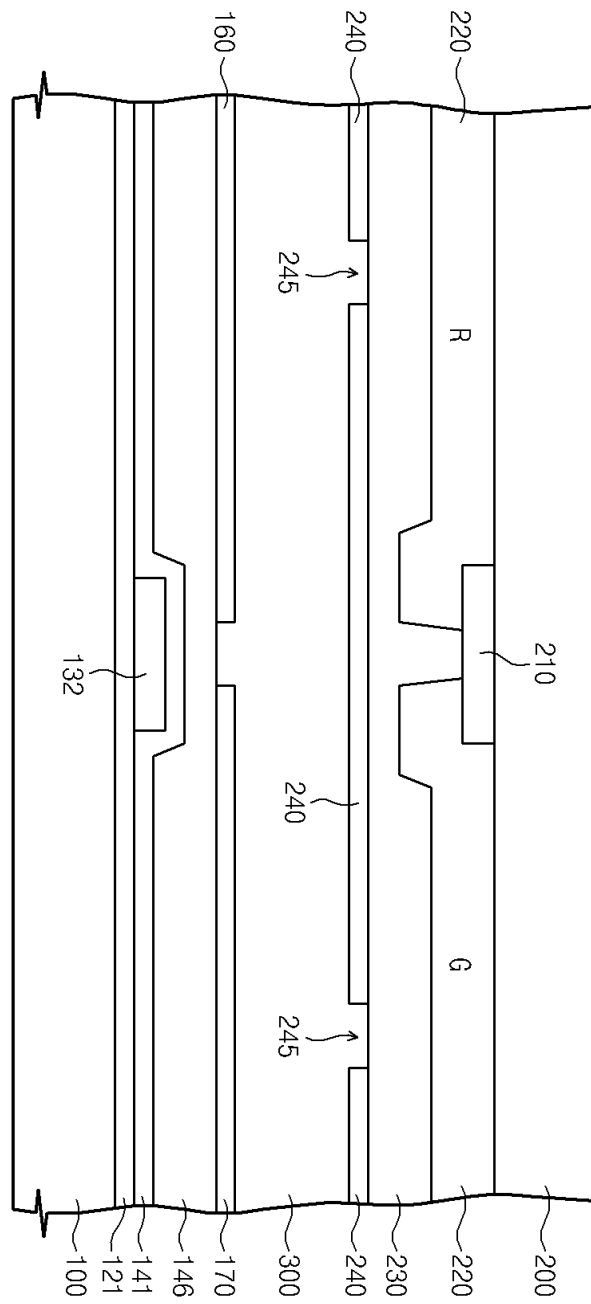
도면9



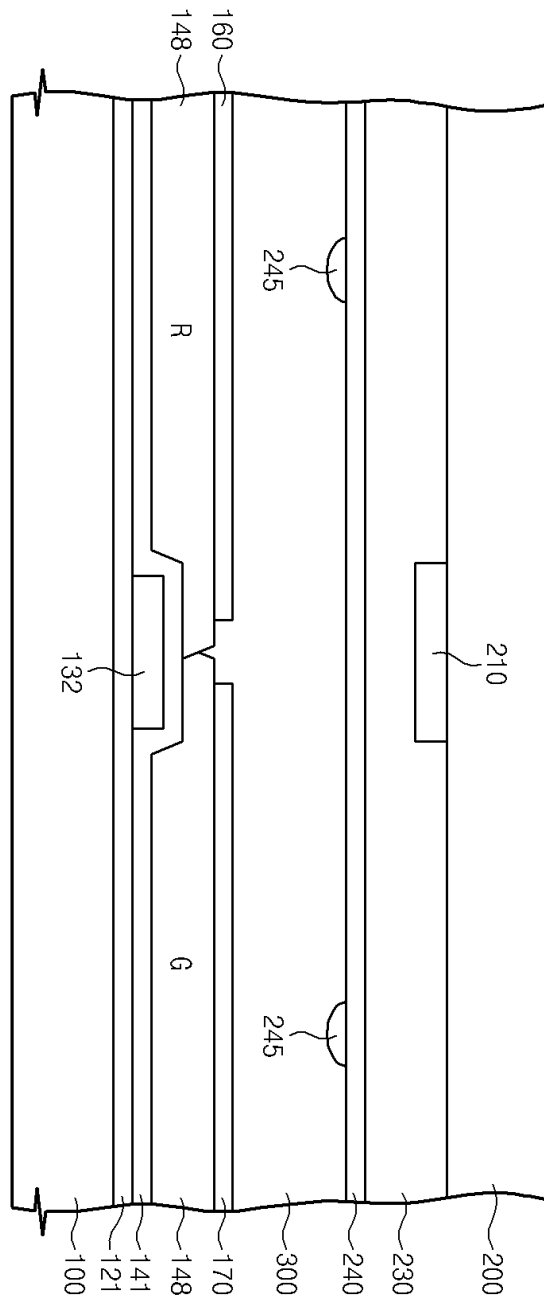
도면10



도면11a



도면11b



专利名称(译)	显示设备		
公开(公告)号	KR1020070099327A	公开(公告)日	2007-10-09
申请号	KR1020060030646	申请日	2006-04-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	DO HEE WOOK 도희욱 UM YOON SUNG 엄윤성 YOO SEUNG HOO 유승후 SHIN KYOUNG JU 신경주 KIM KANG WOO 김강우		
发明人	도희욱 엄윤성 유승후 신경주 김강우		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/134345 G09G2300/0443 G09G2320/0252 G09G2320/028 G02F1/134309 G02F1/133707 G09G2320/0673 G09G2300/0447 G02F2001/134381 G09G3/3648		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
其他公开文献	KR101257380B1		
外部链接	Espacenet		

摘要(译)

形成在第一和第二像素区上并包括第一主像素电极和第一像素电极的第一像素电极，形成在第一主像素电极上的第二主像素电极和形成在第二主像素电极上的第二像素电极，公开了一种包括由子像素电极制成的第二像素电极的显示装置。其中，第一像素电极和第二像素电极彼此相邻并且具有相对的边缘部分并且具有与呼叫相对应的形状，以及第一主像素电极和第一子像素电极之间的面积比。与两个子像素电极之间的面积比相同。财富 火炮 相 相

