



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0080638  
G02F 1/136 (2006.01) (43) 공개일자 2007년08월13일

(21) 출원번호 10-2006-0011932  
(22) 출원일자 2006년02월08일  
심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이재형  
경기 용인시 기흥읍 영덕리 태영아파트 947번지 206동 1202호  
송봉섭  
서울 강남구 역삼동 637-22 삼성빌라 204호

(74) 대리인 조희원

전체 청구항 수 : 총 7 항

(54) 액정 표시 장치의 제조 방법

(57) 요약

본 발명은 공정수를 줄일 수 있는 액정 표시 장치의 제조 방법을 제공하는 것이다.

이를 위하여, 본 발명은 회절 노광 마스크를 이용하여 폴리 실리콘 박막 패터닝 공정과 N+ 불순물을 도핑하여 스토리지 하부 전극을 형성하는 공정을 하나의 마스크 공정으로 수행함으로써 마스크 공정수를 감소시킬 수 있는 액정 표시 장치의 제조 방법을 개시한다.

대표도

도 5c

특허청구의 범위

청구항 1.

- 절연 기판 상에 폴리 실리콘 박막을 형성하는 단계와;
- 상기 폴리 실리콘 박막 위에 포토레지스트 패턴을 형성하는 단계와;
- 상기 포토레지스트 패턴을 마스크로 이용하여 상기 폴리 실리콘 박막을 패터닝하는 단계와;
- 상기 포토레지스트 패턴의 일부 영역을 제거하는 단계와;

상기 포토레지스트 패턴의 제거로 노출된 상기 폴리 실리콘 박막의 일부 영역에 불순물을 도핑하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 청구항 2.

제 1 항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계는

회절 노광 마스크를 이용하여 두께 차이로 단차를 갖는 포토레지스트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 청구항 3.

제 2 항에 있어서,

상기 포토레지스트 패턴의 일부 영역을 제거하는 단계는

상기 단차를 갖는 포토레지스트 패턴에서 상대적으로 낮은 두께의 일부 영역을 제거하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 청구항 4.

제 3 항에 있어서,

상기 폴리 실리콘 박막의 패터닝으로 박막 트랜지스터의 액티브층과, 상기 액티브층과 연결된 스토리지 하부 전극이 형성되고;

상기 불순물은 상기 스토리지 하부 전극에 도핑되는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 청구항 5.

제 4 항에 있어서,

상기 액티브층 및 스토리지 하부 전극이 형성된 상기 절연 기판 상에 제1 절연막을 형성하는 단계와;

상기 제1 절연막 상에 상기 액티브층의 일부와 중첩된 게이트 전극 및 상기 게이트 전극과 접속된 게이트 라인, 상기 스토리지 하부 전극과 중첩된 스토리지 라인을 형성하는 단계와;

상기 액티브층 중 상기 게이트 전극과 비중첩된 영역에 불순물을 도핑하여 소스 영역 및 드레인 영역을 형성하는 단계와;

상기 게이트 전극, 게이트 라인, 스토리지 라인이 형성된 제1 절연막 상에 제2 절연막을 형성하고 상기 액티브층의 소스 영역 및 드레인 영역을 각각 노출시키는 단계와;

상기 액티브층의 소스 영역 및 드레인 영역과 각각 접속된 소스 전극 및 드레인 전극, 상기 소스 전극과 접속된 데이터 라인을 형성하는 단계와;

상기 소스 전극, 드레인 전극, 데이터 라인이 형성된 상기 제2 절연막 상에 제3 절연막을 형성하고 상기 드레인 전극을 노출시키는 단계와;

상기 제2 절연막 상에 상기 드레인 전극과 접속된 화소 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 청구항 6.

제 5 항에 있어서,

상기 액티브층에 불순물을 도핑하는 단계는

다수의 액티브층에서 일부의 액티브층에는 제1 불순물을, 나머지 액티브층에는 상기 제2 불순물을 도핑하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 청구항 7.

제 5 항 및 제 6 항 중 어느 한 항에 있어서,

상기 제3 절연막으로 유기 절연막을 형성하고 상기 유기 절연막을 관통하는 투과홀을 형성하는 단계와;

상기 화소 전극이 형성된 상기 제3 절연막 위에 상기 투과홀에 형성된 화소 전극을 노출시키는 반사 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 저온 폴리 실리콘을 이용한 액정 표시 장치에 관한 것으로, 특히 공정수를 줄일 수 있는 액정 표시 장치의 제조 방법에 관한 것이다.

액정 표시 장치(Liquid Crystal Display; LCD)는 액정 표시 패널(이하, 액정 패널)에 매트릭스 형태로 배열된 액정 서브 화소들 각각이 비디오 신호에 따라 광투과율을 조절하게 함으로써 화상을 표시한다. 액정 표시 장치는 액티브 매트릭스 구동을 위하여 스위치 소자인 박막 트랜지스터(Thin Film Transistor; 이하 TFT)를 이용한다. TFT는 아몰퍼스 실리콘(Amorphous Silicon) 박막 또는 저온 폴리 실리콘(Low Temperature Poly Silicon; 이하 LTPS) 박막을 이용한다. LTPS 박막은 아몰퍼스 실리콘 박막을 레이저 어닐링(Laser Annealing) 방법으로 결정화한 박막으로 전자 이동도가 무척 빨라 회로의 고집적화가 가능하므로 화상 표시부의 구동 회로를 기판 상에 내장할 수 있는 장점이 있다. LTPS를 이용한 액정 패널에 내장된 구동 회로는 다수의 PMOS TFT, NMOS TFT, CMOS TFT를 포함하여 구성된다.

그리고 액정 패널의 화상 표시부에 매트릭스 형태로 배열된 액정 서브 화소 각각은 등가적으로 게이트 라인 및 데이터 라인과 접속된 TFT, TFT와 병렬 접속된 액정 커패시터 및 스토리지 커패시터를 포함한다. 액정 커패시터는 TFT와 접속되어 TFT 기판에 형성된 화소 전극이 액정을 사이에 두고 칼라 필터 기판에 형성된 공통 전극과 중첩되어 형성되고, 스토리지 커패시터는 TFT의 액티브층으로부터 신장된 액티브층이 절연막을 사이에 두고 스토리지 라인과 중첩되어 TFT 기판에 형성된다. 스토리지 커패시터를 구성하는 액티브층은 불순물 도핑으로 도전성을 갖게 된다.

이로 인하여 종래의 액정 표시 장치는 TFT 및 스토리지 커패시터의 액티브층을 형성하는 마스크 공정과 스토리지 커패시터의 액티브층에 불순물을 도핑하기 위한 마스크 공정이 각각 필요함에 따라 공정수가 복잡하다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로 공정수를 줄일 수 있는 액정 표시 장치의 제조 방법을 제공하는 것이다.

### 발명의 구성

이를 위하여, 본 발명에 따른 액정 표시 장치의 제조 방법은 절연 기판 상에 폴리 실리콘 박막을 형성하는 단계와; 상기 폴리 실리콘 박막 위에 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 마스크로 이용하여 상기 폴리 실리콘 박막을 패터닝하는 단계와; 상기 포토레지스트 패턴의 일부 영역을 제거하는 단계와; 상기 포토레지스트 패턴의 제거로 노출된 상기 폴리 실리콘 박막의 일부 영역에 불순물을 도핑하는 단계를 포함한다.

상기 포토레지스트 패턴을 형성하는 단계는 회절 노광 마스크를 이용하여 두께 차이로 단차를 갖는 포토레지스트 패턴을 형성하는 단계를 포함한다.

상기 포토레지스트 패턴의 일부 영역을 제거하는 단계는 상기 단차를 갖는 포토레지스트 패턴에서 상대적으로 낮은 두께의 일부 영역을 제거하는 단계를 포함한다.

상기 폴리 실리콘 박막의 패터닝으로 박막 트랜지스터의 액티브층과, 상기 액티브층과 연결된 스토리지 하부 전극이 형성되고; 상기 불순물은 상기 스토리지 하부 전극에 도핑된다.

그리고 본 발명에 따른 액정 표시 장치의 제조 방법은 상기 액티브층 및 스토리지 하부 전극이 형성된 상기 절연 기판 상에 제1 절연막을 형성하는 단계와; 상기 제1 절연막 상에 상기 액티브층의 일부와 중첩된 게이트 전극 및 상기 게이트 전극과 접속된 게이트 라인, 상기 스토리지 하부 전극과 중첩된 스토리지 라인을 형성하는 단계와; 상기 액티브층 중 상기 게이트 전극과 비중첩된 영역에 불순물을 도핑하여 소스 영역 및 드레인 영역을 형성하는 단계와; 상기 게이트 전극, 게이트 라인, 스토리지 라인이 형성된 제1 절연막 상에 제2 절연막을 형성하고 상기 액티브층의 소스 영역 및 드레인 영역을 각각 노출시키는 단계와; 상기 액티브층의 소스 영역 및 드레인 영역과 각각 접속된 소스 전극 및 드레인 전극, 상기 소스 전극과 접속된 데이터 라인을 형성하는 단계와; 상기 소스 전극, 드레인 전극, 데이터 라인이 형성된 상기 제2 절연막 상에 제3 절연막을 형성하고 상기 드레인 전극을 노출시키는 단계와; 상기 제2 절연막 상에 상기 드레인 전극과 접속된 화소 전극을 형성하는 단계를 추가로 포함한다.

상기 액티브층에 불순물을 도핑하는 단계는 다수의 액티브층에서 일부의 액티브층에는 제1 불순물을, 나머지 액티브층에는 상기 제2 불순물을 도핑하는 단계를 포함한다.

또한 본 발명에 따른 액정 표시 장치의 제조 방법은 상기 제3 절연막으로 유기 절연막을 형성하고 상기 유기 절연막을 관통하는 투과홀을 형성하는 단계와; 상기 화소 전극이 형성된 상기 제3 절연막 위에 상기 투과홀에 형성된 화소 전극을 노출시키는 반사 전극을 형성하는 단계를 추가로 포함한다.

상기 기술적 과제 외에 본 발명의 다른 특징 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 1 내지 도 12b를 참조하여 상세히 설명하기로 한다.

도 1은 본 발명의 실시 예에 따른 반투과형 LTPS 액정 표시 장치의 박막 트랜지스터 기판에서 한 서브 화소를 도시한 평면도이고, 도 2는 도 1에 도시된 II-II'선에 따른 한 서브 화소의 단면도이다.

본 발명에 따른 LTPS 액정 표시 장치의 박막 트랜지스터 기판은 다수의 서브 화소가 매트릭스 형태로 배열되어 화상을 표시하는 표시 영역과, 표시 영역을 구동하는 구동 회로가 형성된 구동 회로 영역으로 구분된다. 박막 트랜지스터 기판의 구동 회로는 다수의 NMOS TFT들, PMOS TFT들, NMOS TFT 및 PMOS TFT가 병렬 접속된 CMOS TFT들과 다수의 신호 라인들로 구성된다.

도 1 및 도 2에 도시된 한 서브 화소는 게이트 라인(2) 및 데이터 라인(14)과 접속된 NMOS TFT(15)와, NMOS TFT(15)와 접속되고 서브 화소 영역에 형성된 화소 전극(22)과, NMOS TFT(15)와 접속되고 서브 화소 영역의 반사 영역(RA)과 투과 영역(TA)을 정의하는 반사 전극(24)을 구비한다.

게이트 라인(2)과 데이터 라인(14)은 층간 절연막(36)을 사이에 두고 교차하여 화소 전극(22)이 형성되는 서브 화소 영역을 정의한다. 스토리지 라인(4)은 게이트 라인(2)과 함께 나란하게 형성되어 층간 절연막(36)을 사이에 두고 데이터 라인(14)과 교차하게 형성된다.

NMOS TFT(15)는 게이트 라인(2)의 게이트 신호에 응답하여 데이터 라인(14)의 비디오 신호를 화소 전극(22)에 공급한다. 이를 위하여 NMOS TFT(15)는 게이트 라인(2)과 접속된 게이트 전극(6), 데이터 라인(14)과 접속된 소스 전극(16), 화소 전극(22)과 접속된 드레인 전극(18), 소스 전극(16) 및 드레인 전극(18) 사이에 채널을 형성하는 액티브층(8)을 구비한다. 액티브층(8)은 버퍼막(32)을 사이에 두고 절연 기관(30) 위에 형성된다. 액티브층(8)은 LTPS 박막으로 형성된 것으로 게이트 절연막(34)을 사이에 두고 게이트 전극(6)과 중첩된 채널 영역(8C)과, 채널 영역(8C)을 사이에 두고 n+ 불순물이 도핑된 소스 영역(8S) 및 드레인 영역(8D)을 구비한다. 액티브층(8)의 소스 영역(8S) 및 드레인 영역(8D)은 층간 절연막(36) 및 게이트 절연막(34)을 관통하는 콘택홀(12S, 12D) 각각을 통해 소스 전극(16) 및 드레인 전극(18)과 각각 접속된다. 액티브층(8)은 오프 전류를 감소시키기 위하여 채널 영역(8C)과 소스 영역(8S) 및 드레인 영역(8D) 사이에 n- 불순물이 주입된 LDD(Lightly Doped Drain) 영역(미도시)을 더 구비하기도 한다.

NMOS TFT(15) 위에 형성된 유기 절연막(38)은 드레인 전극(18)을 노출시키는 제3 콘택홀(20)과 함께 투과 영역(TA)에 형성된 투과홀(40)을 구비한다. 투과홀(40)은 반사 영역(RA)에서 액정층을 2회 경유하여 출사되는 외부광과, 투과 영역(TA)에서 액정층을 1회 경유하여 출사되는 내부광의 광 경로 차이를 보상한다. 투과홀(40)은 유기 절연막(38) 및 층간 절연막(36)을 관통하여 게이트 절연막(34)이 노출되게 하거나, 게이트 절연막(34)까지 관통하여 형성되기도 한다. 유기 절연막(38)의 상부 및/또는 하부에는 무기 절연막이 추가로 형성되기도 한다.

화소 전극(22)은 각 서브 화소 영역에 유기 절연막(38)과 투과홀(40)을 경유하여 형성되고 콘택홀(20)을 통해 드레인 전극(18)과 접속된다. 화소 전극(22)은 투과율이 높은 투명 도전 물질로 형성되어 백라이트 유닛으로부터의 내부광을 투과시킨다. 반사 전극(24)은 각 서브 화소 영역의 반사 영역(RA)에 형성되고 그 아래의 화소 전극(22)을 통해 드레인 전극(18)과 접속된다. 각 서브 화소 영역에서 반사 전극(24)이 형성된 영역은 반사 영역(RA)으로 반사 전극(24)이 형성되지 않은 영역, 즉 반사 전극(24)의 관통홀을 통해 화소 전극(22)이 노출된 영역은 투과 영역(TA)으로 정의된다. 반사 전극(24)은 반사율이 높은 도전 물질로 형성되어 외부광을 반사시킨다. 반사 효율을 높이기 위해 반사 전극(24)이 엠보싱 표면을 갖도록 유기 절연막(38)의 표면이 엠보싱 표면을 갖도록 형성되기도 한다. 반사 전극(22)의 외곽부는 게이트 라인(2) 및 데이터 라인(14)의 일측부와 중첩되도록 형성되고 NMOS TFT(15) 및 스토리지 커패시터(Cst)를 덮도록 형성된다. 화소 전극(22) 및 반사 전극(24)은 NMOS TFT(15)를 통해 공급된 데이터 신호를 충전하여 도시하지 않은 칼라 필터 기관에 형성된 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기관과 칼라 필터 기관 사이에 채워진 액정이 유전 이방성에 의해 회전함으로써 칼라 필터 기관을 경유하여 반사 영역으로 입사되는 외부광의 반사량이 조절되고, 백라이트 유닛으로부터 화소 전극(22)을 경유하여 입사되는 내부광의 투과량이 조절된다.

스토리지 커패시터(Cst)는 스토리지 라인(4)이 액티브층(8)으로부터 연장되고 n+ 불순물이 도핑된 LTPS 박막으로 이루어진 스토리지 하부 전극(10)과 게이트 절연막(34)을 사이에 두고 중첩되어 형성된다. 스토리지 커패시터(Cst)는 NMOS TFT(15)의 오프 누설 전류를 보상하여 화소 전극(22) 및 반사 전극(24)이 일정한 전압을 유지할 수 있게 한다.

도 3은 본 발명에 따른 LTPS 박막 트랜지스터 기관의 구동 회로 영역에 형성된 CMOS TFT, 즉 NMOS 및 PMOS TFT를 도시한 단면도이다.

도 3에 도시된 구동 회로의 NMOS TFT(25)는 도 2에 도시된 표시 영역의 NMOS TFT(15)와 동일한 구성을 갖는다. PMOS TFT(45)는 절연 기관(30) 위의 버퍼막(32) 상에 형성된 액티브층(48)과, 게이트 절연막(34)을 사이에 두고 액티브층(48)의 채널 영역(48C)과 중첩된 게이트 전극(46)과, 층간 절연막(36)을 관통하는 콘택홀(52S, 52D) 각각을 통해 액티브층(48)의 소스 영역(48S) 및 드레인 영역(48D)과 각각 접속된 소스 전극(56) 및 드레인 전극(58)을 구비한다. PMOS TFT(45)의 액티브층(48)의 소스 영역(46S) 및 드레인 영역(48)은 p 불순물이 도핑되어 형성된다.

그리고 본 발명의 실시 예에 따른 반투과형 LTPS 액정 표시 장치에서는 액티브층(8, 48) 및 스토리지 하부 전극(10)을 형성하는 LTPS 박막의 패터닝 공정과, 스토리지 하부 전극(10)에만 n+ 불순물을 도핑하는 공정을 회절 노광 마스크를 이용

하여 하나의 마스크 공정으로 수행한다. 이에 따라 본 발명은 마스크 공정수가 감소되므로 공정이 단순화되어 제조 원가를 절감할 수 있다. 이하, 본 발명의 실시 예에 따른 반투과형 LTPS 액정 표시 장치의 박막 트랜지스터 기관의 제조 방법을 구체적으로 살펴보기로 한다.

도 4a 내지 도 4c는 본 발명의 실시 예에 따른 LTPS 박막 트랜지스터 기관의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도들이고, 도 5a 내지 도 5c는 본 발명의 제1 마스크 공정을 구체적으로 설명하기 위한 단면도들이다.

도 4a 내지 도 4c를 참조하면, 절연 기관(30) 상에 버퍼막(32)이 형성되고 버퍼막(32) 위에 제1 마스크 공정으로 표시 영역 및 구동 회로 영역의 액티브층(8, 48)과, 표시 영역의 액티브층(8)과 일체화된 스토리지 하부 전극(10)이 형성된다.

구체적으로, 도 5a에 도시된 바와 같이 버퍼막(32)과 LTPS 박막(7)이 절연 기관(30) 상에 적층된다. 버퍼막(32)은 산화 실리콘 등과 같은 무기 절연 물질이 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 절연 기관(30) 상에 전면 증착되어 형성된다. LTPS 박막(7)은 버퍼막(32) 상에 PECVD 등의 방법으로 아몰퍼스 실리콘 박막을 형성한 다음 레이저 어닐링 등의 방법으로 결정화하여 LTPS 박막(7)을 형성한다. 레이저 결정화 이전에 아몰퍼스 실리콘 박막 내에 존재하는 수소 원자를 제거하기 위한 탈수소화(Dehydrogenation) 공정을 더 진행하기도 한다. 이어서 회절 노광 마스크인 제1 마스크(70)를 이용한 포토리소그래피 공정으로 LTPS 박막(7) 위에 단차를 갖는 포토레지스트 패턴(60)을 형성한다. 포토레지스트 패턴(60)은 마스크(70)의 기관(72)에 차단 패턴(74)이 형성된 차단부에 대응하는 제1 포토레지스트 패턴(60A)과, 차단 패턴(74) 내에 다수의 슬릿(76)이 형성된 회절 노광부에 대응하여 제1 포토레지스트 패턴(60A) 보다 얇은 두께의 제2 포토레지스트 패턴(60B)으로 구성된다. 이러한 포토레지스트 패턴(60)을 마스크로 이용한 식각 공정으로 LTPS 박막(7)을 패터닝함으로써 도 5b에 도시된 바와 같이 액티브층(8) 및 스토리지 하부 전극(10)이 형성된다. 그리고 포토레지스트 패턴(60)을 에칭하여 제2 포토레지스트 패턴(60B)은 제거되고 제1 포토레지스트 패턴(60A)의 두께가 감소되게 하여 도 5c에 도시된 바와 같이 스토리지 하부 전극(10)을 노출시킨 다음, n+ 불순물을 도핑하여 스토리지 하부 전극(10)이 도전성을 갖게 한다. 그 다음 두께가 감소된 제1 포토레지스트 패턴(60A)은 스트립 공정으로 제거된다.

도 6a 내지 도 6c는 본 발명의 실시 예에 따른 LTPS 박막 트랜지스터 기관의 제조 방법 중 제2 및 제3 마스크 공정을 설명하기 위한 평면도 및 단면도들이고, 도 7a 및 도 7b는 제2 및 제3 마스크 공정을 구체적으로 설명하기 위한 단면도들이다.

도 6a 내지 도 6c를 참조하면, 액티브층(8, 48) 및 스토리지 하부 전극(10)이 형성된 버퍼막(32) 상에 게이트 절연막(34)이 형성되고 게이트 절연막(34) 위에 제2 및 제3 마스크 공정으로 게이트 라인(2), 게이트 전극(6, 46), 스토리지 라인(4)을 포함하는 게이트 금속 패턴과, 액티브층(8)에 n+ 불순물이 도핑된 소스 및 드레인 영역(8S, 8D)이, 액티브층(48)에 p 불순물이 도핑된 소스 및 드레인 영역(48S, 48D)이 형성된다.

게이트 절연막(34)은 액티브층(8, 48) 및 스토리지 하부 전극(10)이 형성된 버퍼막(32) 상에 산화 실리콘 등과 같은 무기 절연 물질이 PECVD 등의 방법으로 전면 증착되어 형성된다. 이어서 게이트 절연막(34) 위에 게이트 금속층이 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr) 등과, 이들의 합금이 단일층 또는 복층 구조로 적층되어 이용된다. 그 다음 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(2) 및 게이트 전극(6, 46)과 스토리지 라인(10)을 포함하는 게이트 금속 패턴이 형성된다. 이때 구동 회로 영역의 액티브층(48)과 중첩되는 게이트 전극(46)은 도 7a에 도시된 바와 같이 액티브층(48)을 완전히 덮도록 넓은 면적으로 형성된다. 그리고 게이트 금속 패턴을 마스크로 하여 게이트 전극(6)과 비중첩된 액티브층(8)에 N+ 불순물을 도핑함으로써 N+ 불순물이 도핑된 액티브층(8)의 소스 영역(8S) 및 드레인 영역(8D)을 형성한다. 이때 N+ 불순물은 게이트 금속 패턴 위에 포토레지스트 패턴이 남아있는 상태에서 도핑되기도 한다.

그 다음 제3 마스크를 이용한 포토리소그래피 공정으로 도 7b에 도시된 바와 같이 포토레지스트 패턴(80)을 형성하여 구동 회로 영역의 게이트 전극(46)을 다시 패터닝한 다음 게이트 전극(46)과 비중첩된 액티브층(46)에 P 불순물을 도핑함으로써 불순물이 도핑된 소스 영역(48S) 및 드레인 영역(48D)을 형성한다. 포토레지스트 패턴(80)은 스트립 공정으로 제거된다.

도 8a 내지 도 8c는 본 발명의 실시 예에 따른 LTPS 박막 트랜지스터 기관의 제조 방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도들이다.

도 8a 내지 도 8c를 참조하면, 제4 마스크 공정으로 다수의 컨택홀(12S, 12D, 52S, 52D)을 포함하는 층간 절연막(36)이 형성된다. 층간 절연막(36)은 게이트 금속 패턴이 형성된 게이트 절연막(34) 위에 산화 질리콘, 질화 실리콘 등과 같은 무

기 절연 물질이 PECVD 등의 증착 방법으로 전면 증착되어 형성된다. 이어서 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 층간 절연막(36) 및 게이트 절연막(34)을 관통하여 액티브층(8, 48)의 소스 영역(8S, 48S)과 드레인 영역(8D, 48D)을 각각 노출시키는 다수의 컨택홀(12S, 12D, 52S, 52D)이 형성된다.

도 9a 내지 도 9c는 본 발명의 실시 예에 따른 LTPS 박막 트랜지스터 기관의 제조 방법 중 제5 마스크 공정을 설명하기 위한 평면도 및 단면도들이다.

도 9a 내지 도 9c를 참조하면, 제5 마스크 공정으로 층간 절연막(36) 상에 데이터 라인(14), 소스 전극(16, 56), 드레인 전극(18, 58)을 포함하는 소스/드레인 금속 패턴이 형성된다. 소스/드레인 금속 패턴은 층간 절연막(36) 상에 스퍼터링 등의 증착 방법으로 소스/드레인 금속층을 형성한 다음 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층을 패터닝함으로써 형성된다. 소스 전극(16) 및 드레인 전극(18)은 컨택홀(12S, 12D) 각각을 통해 액티브층(8)의 소스 영역(8S) 및 드레인 영역(8D)과 각각 접속되어 표시 영역과 구동 회로 영역의 NMOS TFT(15, 25)를 형성한다. 그리고 소스 전극(56) 및 드레인 전극(58)은 컨택홀(52S, 52D) 각각을 통해 액티브층(48)의 소스 영역(48S) 및 드레인 영역(48D)과 각각 접속되어 구동 회로 영역의 PMOS TFT(45)를 형성한다.

도 10a 내지 도 10c는 본 발명의 실시 예에 따른 LTPS 박막 트랜지스터 기관의 제조 방법 중 제6 마스크 공정을 설명하기 위한 평면도 및 단면도들이다.

도 10a 내지 도 10c를 참조하면, 제6 마스크 공정으로 소스/드레인 금속 패턴이 형성된 층간 절연막(38) 상에 컨택홀(20) 및 투과홀(40)을 포함하는 유기 절연막(38)이 형성된다. 유기 절연막(38)은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 스핀 코팅(Spin Coating), 스핀리스 코팅(Spinless Coating) 등의 방법으로 코팅됨으로써 형성된다. 이어서 제6 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 유기 절연막(38)을 관통하는 컨택홀(20) 및 투과홀(40)이 형성된다. 이때, 유기 절연막(38)의 상부 및/또는 하부에 무기 절연막이 추가로 형성되기도 하고 이때 컨택홀(20) 및 투과홀(40)은 추가된 무기 절연막을 관통하도록 형성된다. 나아가 투과홀(40)은 층간 절연막(34) 또는 게이트 절연막(32)까지 관통하도록 연장되기도 한다.

도 11a 및 도 11b는 본 발명의 실시 예에 따른 LTPS 박막 트랜지스터 기관의 제조 방법 중 제7 마스크 공정을 설명하기 위한 평면도 및 단면도들이다.

도 11a 및 도 11b를 참조하면, 제7 마스크 공정으로 유기 절연막(38)과 투과홀(40)을 경유하는 화소 전극(22)이 형성되어 컨택홀(20)을 통해 드레인 전극(8)과 접속된다. 화소 전극(22)은 유기 절연막(38) 및 게이트 절연막(32) 위에 투명 도전층을 스퍼터링 등의 증착 방법으로 형성한 다음 제7 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 각 서브 화소 영역에 형성된다. 투명 도전층으로는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO 등이 이용된다.

도 12a 및 도 12b는 본 발명의 실시 예에 따른 LTPS 박막 트랜지스터 기관의 제조 방법 중 제8 마스크 공정을 설명하기 위한 평면도 및 단면도들이다.

도 12a 및 도 12b를 참조하면, 제8 마스크 공정으로 화소 전극(22)이 형성된 유기 절연막(38) 위에 반사 전극(24)이 형성된다. 반사 전극(24)은 화소 전극(22) 및 유기 절연막(38) 위에 반사율이 좋은 금속층을 스퍼터링 등의 증착 방법으로 형성한 다음 제8 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 각 서브 화소 영역에 형성되어 반사 영역(RA) 및 투과 영역(TA)을 정의한다.

이와 같이 본 발명에 따른 LTPS 박막 트랜지스터 기관의 제조 방법은 회절 노광 마스크를 이용하여 액티브층(8, 48) 및 스토리지 하부 전극(10)을 형성하는 LTPS 박막 패터닝 공정과, 스토리지 하부 전극(10)에 N<sup>+</sup> 불순물을 도핑하는 공정을 하나의 마스크 공정으로 수행함으로써 마스크 공정수를 8배의 마스크 공정으로 감소시킬 수 있게 된다. 이러한 본 발명의 LTPS 박막 트랜지스터 기관의 제조 방법은 반사 전극(24) 및 유기 절연막(38)의 투과홀(40)이 적용되지 않는 투과형 LTPS 박막 트랜지스터 기관의 제조 방법에도 동일하게 적용된다.

## 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정 표시 장치의 제조 방법은 회절 노광 마스크를 이용하여 LTPS 박막 패터닝 공정과 N+ 불순물을 도핑하여 스토리지 하부 전극을 형성하는 공정을 하나의 마스크 공정으로 수행함으로써 마스크 공정수를 전체 마스크 공정수를 기존의 9매의 마스크 공정에서 8매의 마스크 공정으로 감소시킬 수 있게 된다. 이 결과, 공정수 감소로 공정을 단순화하여 생산성을 향상시킬 수 있음과 아울러 제조 원가를 시킬 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 도면의 간단한 설명

도 1은 본 발명의 실시 예에 따른 액정 표시 장치의 박막 트랜지스터 기관에서 한 서브 화소를 도시한 평면도.

도 2는 도 1에 도시된 II-II'선에 따른 한 서브 화소의 단면도.

도 3은 본 발명의 실시 예에 따른 액정 표시 장치의 박막 트랜지스터 기관에서 구동 회로에 포함되는 CMOS 박막 트랜지스터를 도시한 단면도.

도 4a 내지 도 4c는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도들.

도 5a 내지 도 5c는 도 4b에 도시된 제1 마스크 공정을 구체적으로 설명하기 위한 단면도들.

도 6a 내지 도 6c는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제2 및 제3 마스크 공정을 설명하기 위한 평면도 및 단면도들.

도 7a 및 도 7b는 도 6c에 도시된 제2 및 제3 마스크 공정을 구체적으로 설명하기 위한 단면도들.

도 8a 내지 도 8c는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도들.

도 9a 내지 도 9c는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제5 마스크 공정을 설명하기 위한 평면도 및 단면도들.

도 10a 내지 도 10c는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제6 마스크 공정을 설명하기 위한 평면도 및 단면도들.

도 11a 및 도 11b는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제7 마스크 공정을 설명하기 위한 평면도 및 단면도들.

도 12a 및 도 12b는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제8 마스크 공정을 설명하기 위한 평면도 및 단면도들.

#### < 도면의 주요부분에 대한 설명 >

2 : 게이트 라인 4 : 스토리지 라인

6, 46 : 게이트 전극 8, 48 : 액티브층

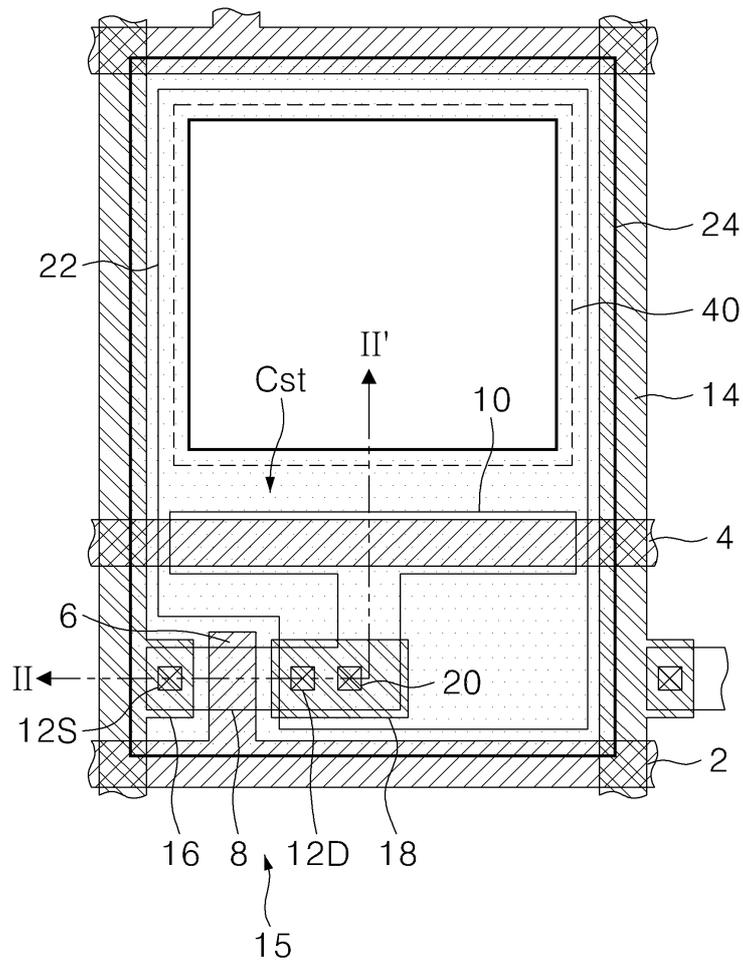
8S, 48S : 소스 영역 8D, 48D : 드레인 영역

10 : 스토리지 하부 전극 12S, 12D, 52S, 52D, 20 : 콘택홀

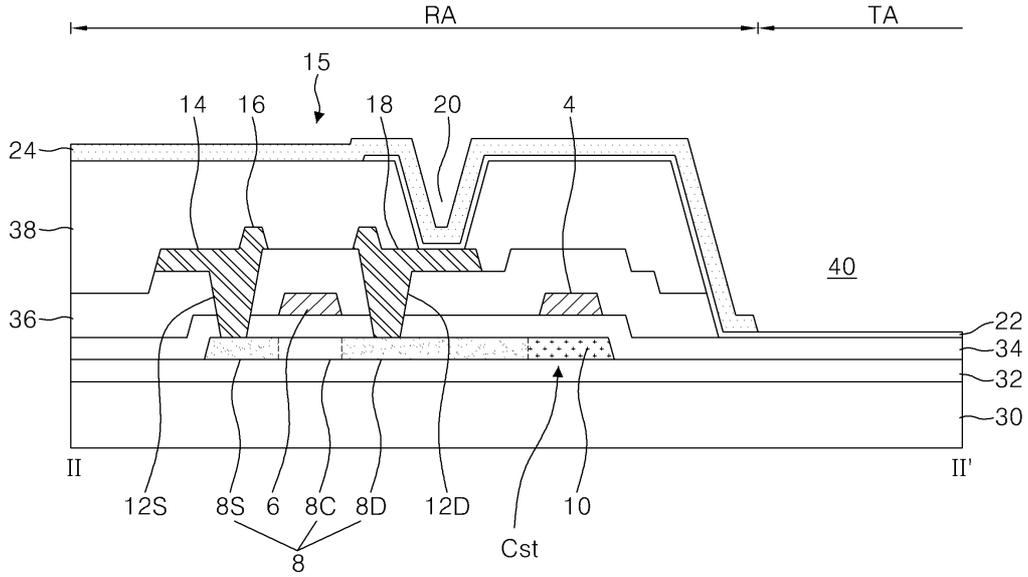
- 14 : 데이터 라인 15, 25 : NMOS TFT
- 16, 56 : 소스 전극 18, 58 : 드레인 전극
- 22 : 화소 전극 24 : 반사 전극
- 30 : 절연 기판 32 : 버퍼막
- 34 : 게이트 절연막 36 : 층간 절연막
- 38 : 유기 절연막 40 : 투과홀
- 60, 80 : 포토레지스트 패턴 70 : 회절 노광 마스크
- 72 : 마스크 기판 74 : 차단 패턴
- 76 : 슬릿

도면

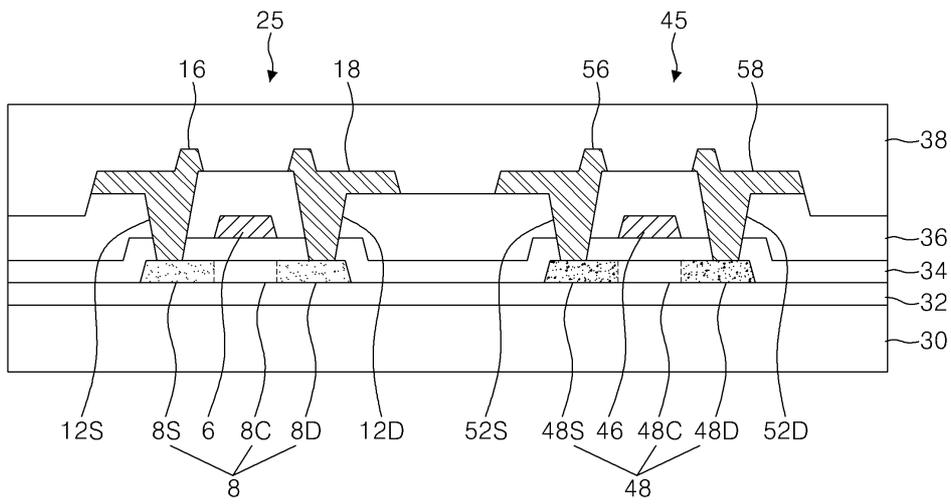
도면1



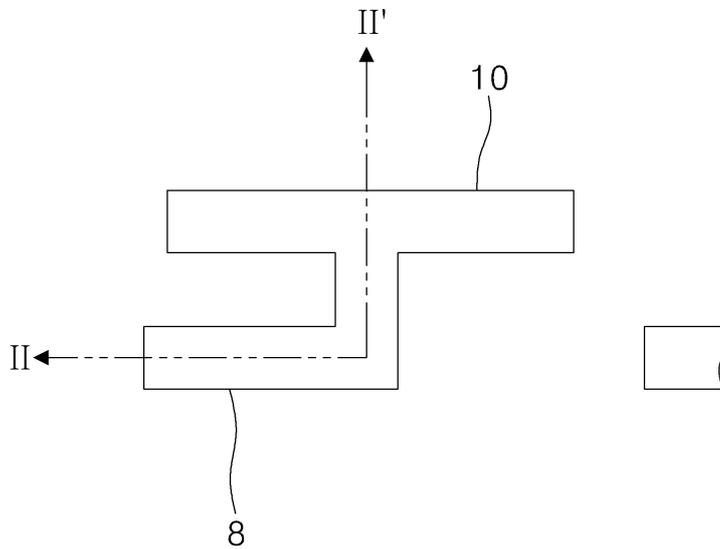
도면2



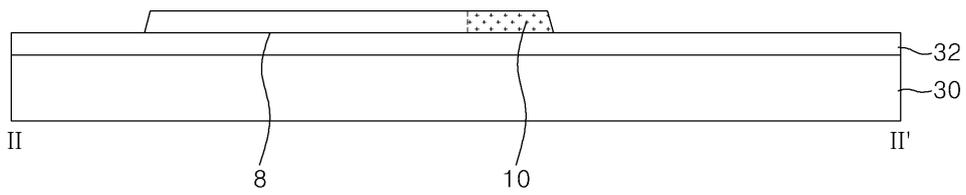
도면3



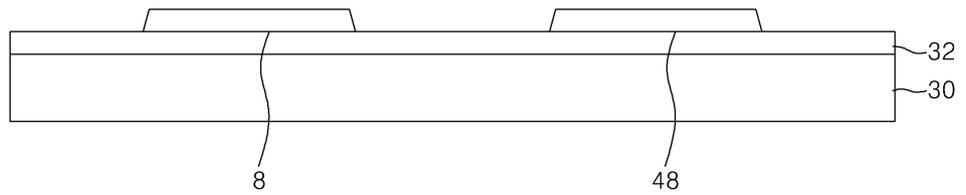
도면4a



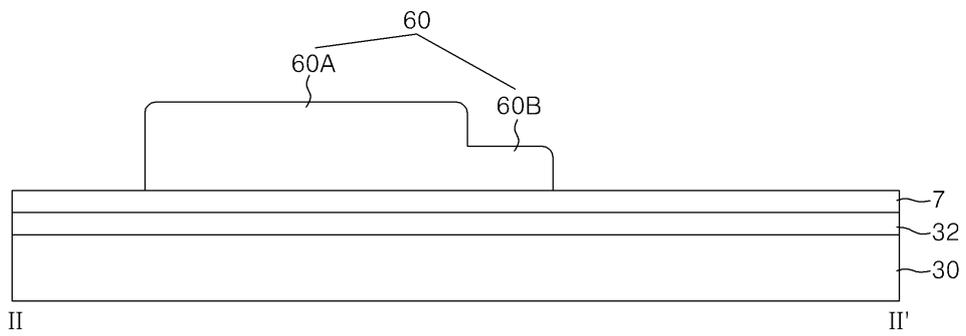
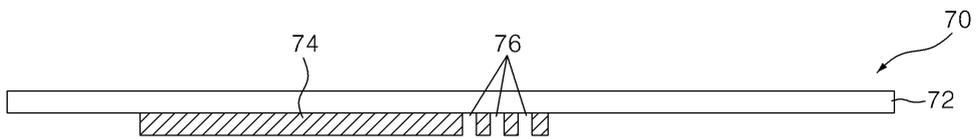
도면4b



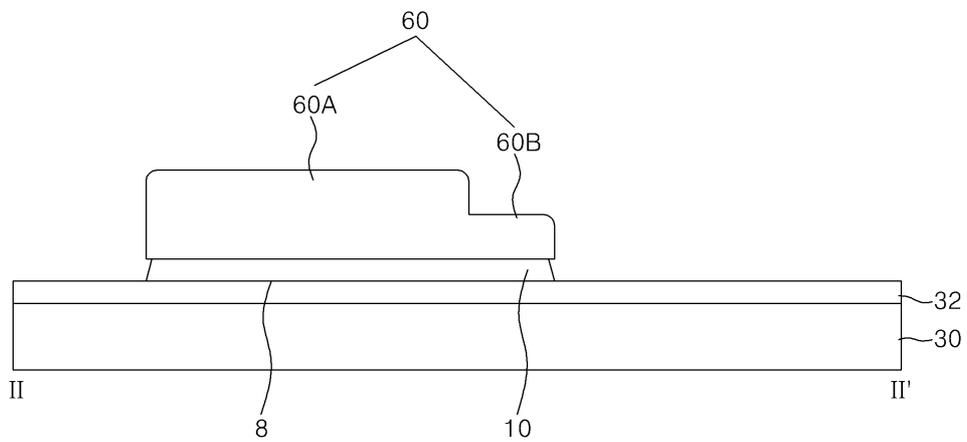
도면4c



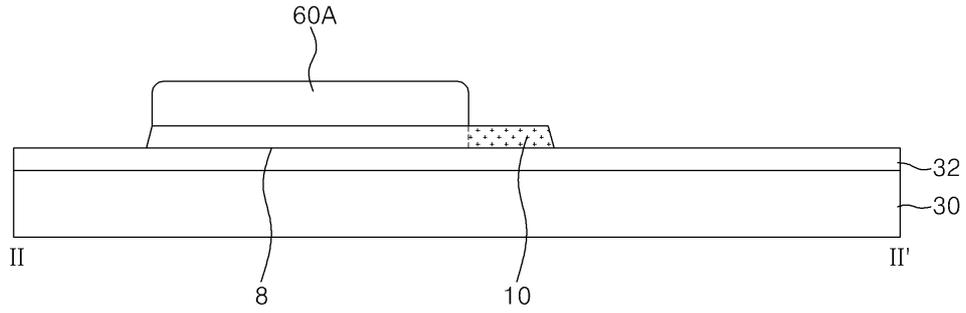
도면5a



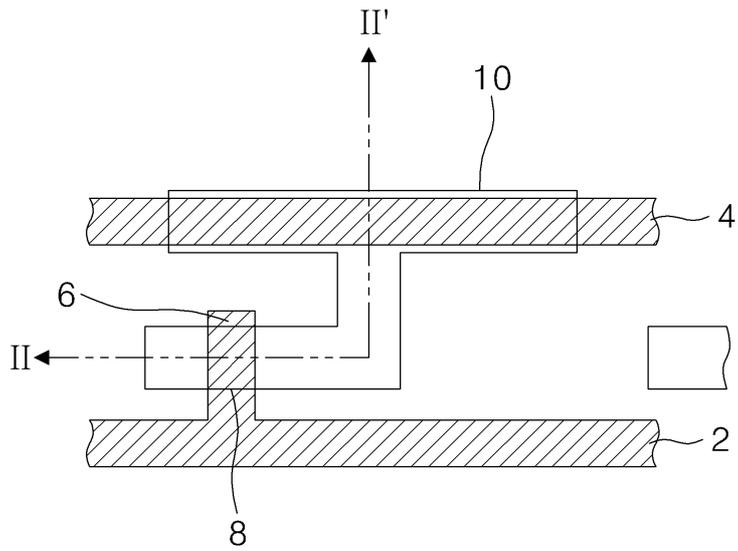
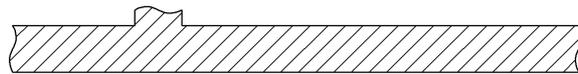
도면5b



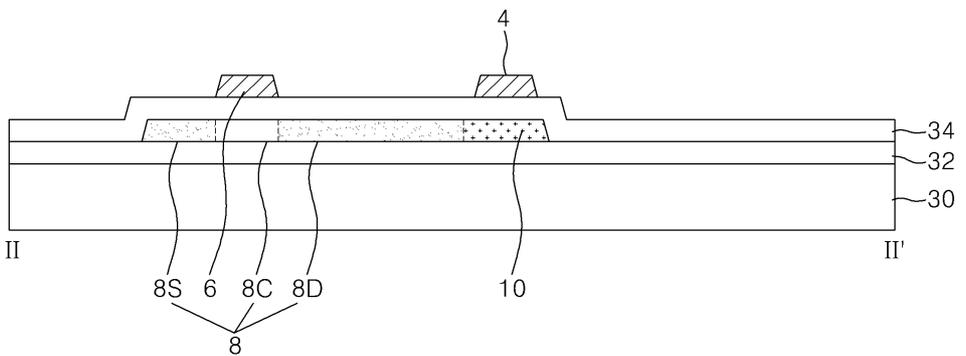
도면5c



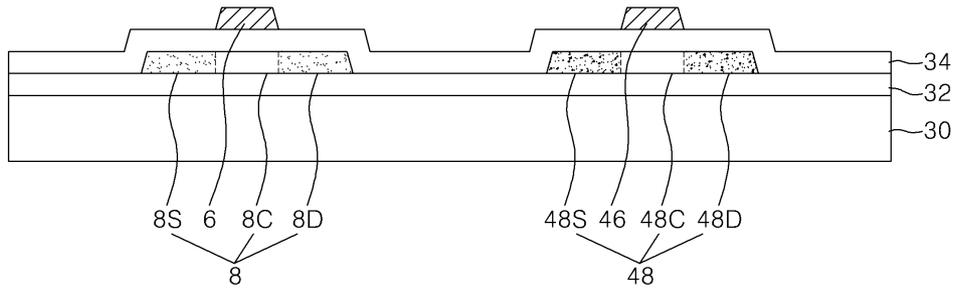
도면6a



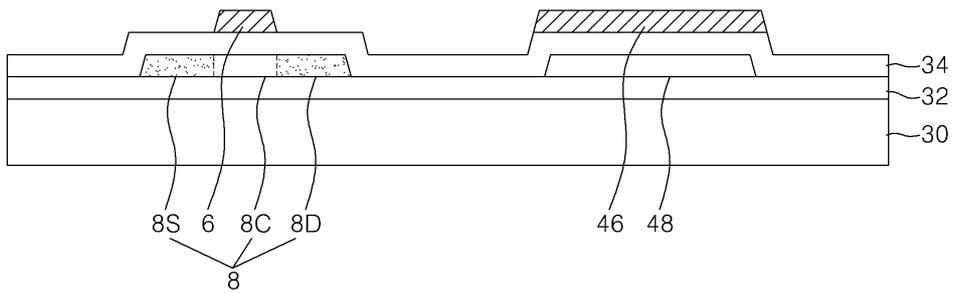
도면6b



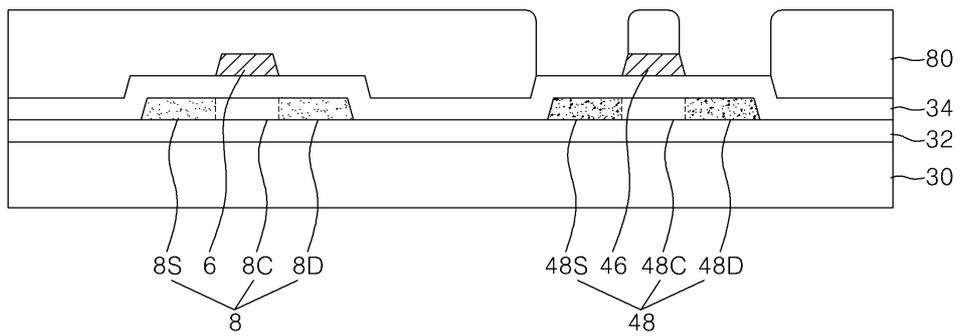
도면6c



도면7a

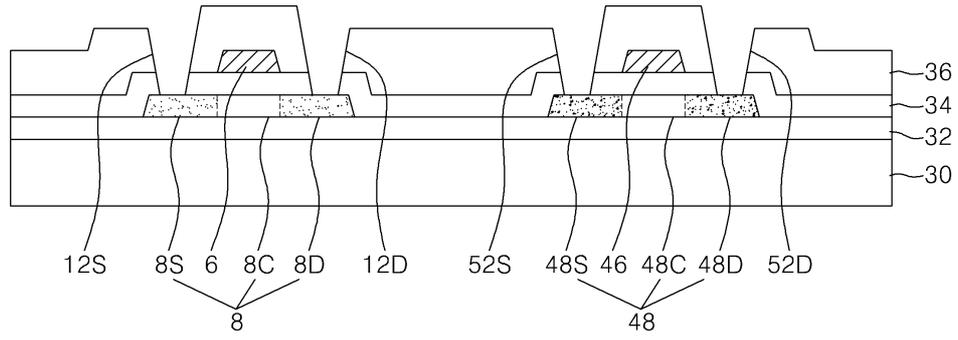


도면7b

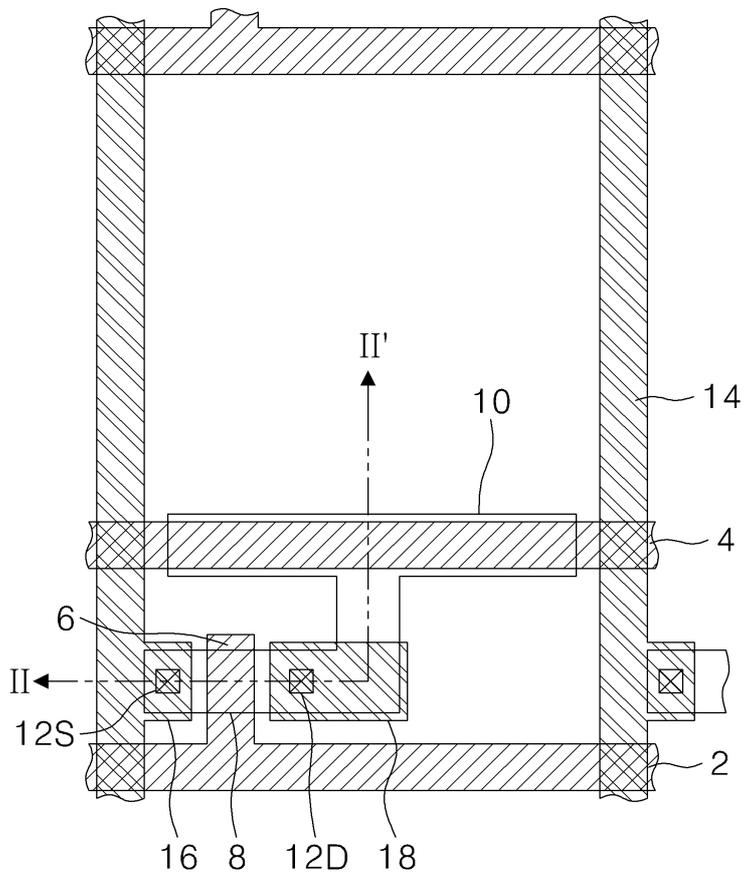




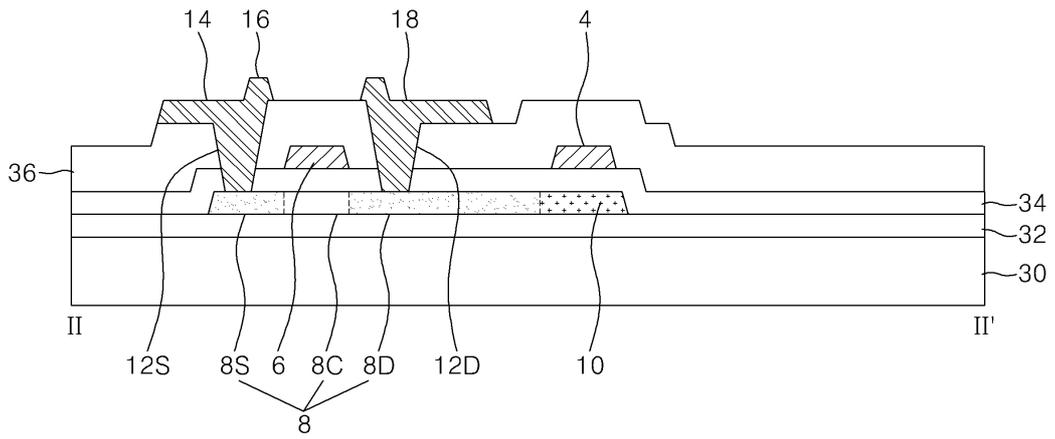
도면8c



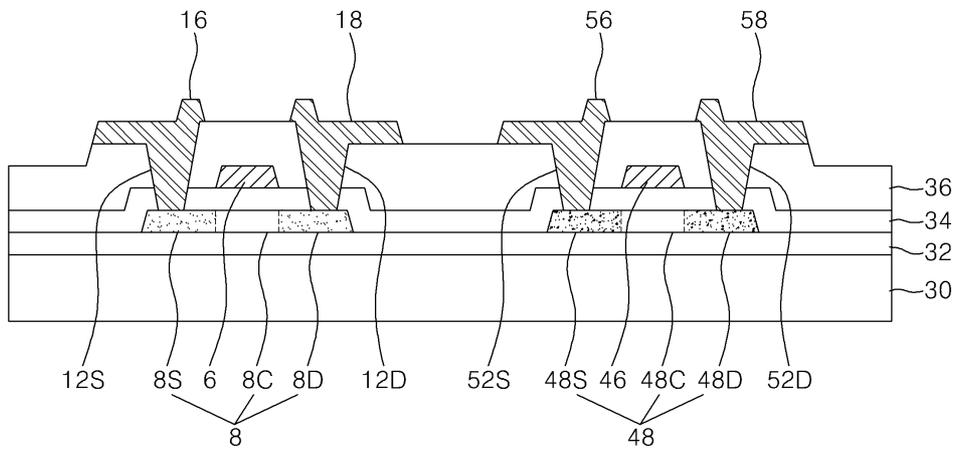
도면9a



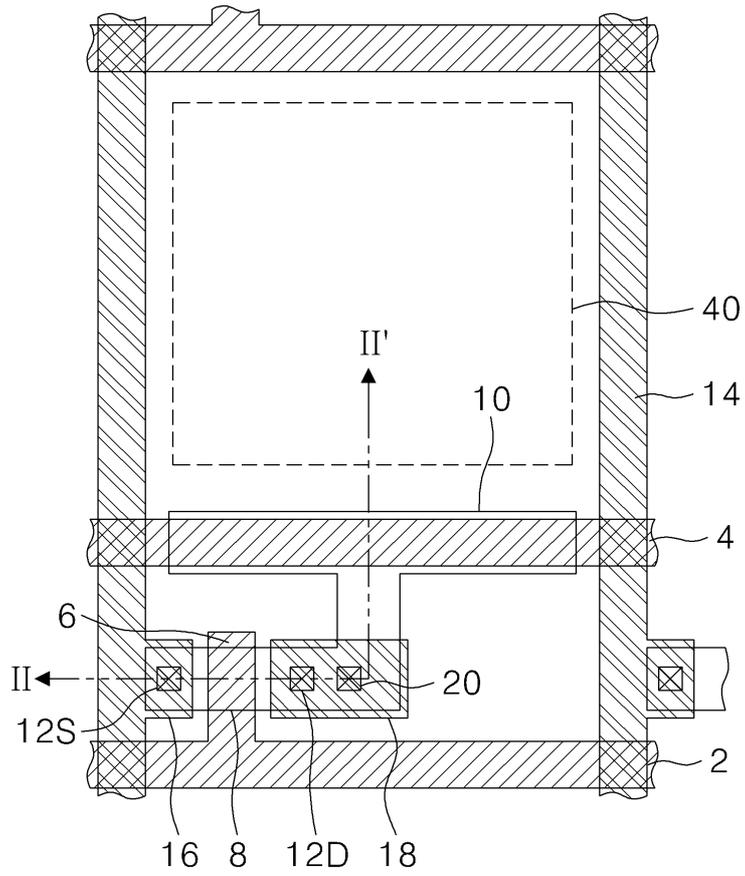
도면9b



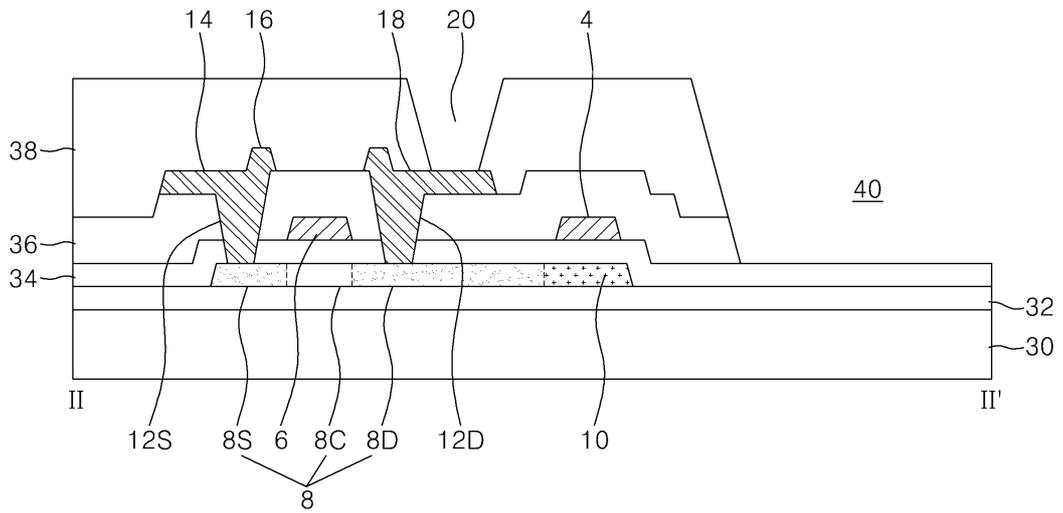
도면9c



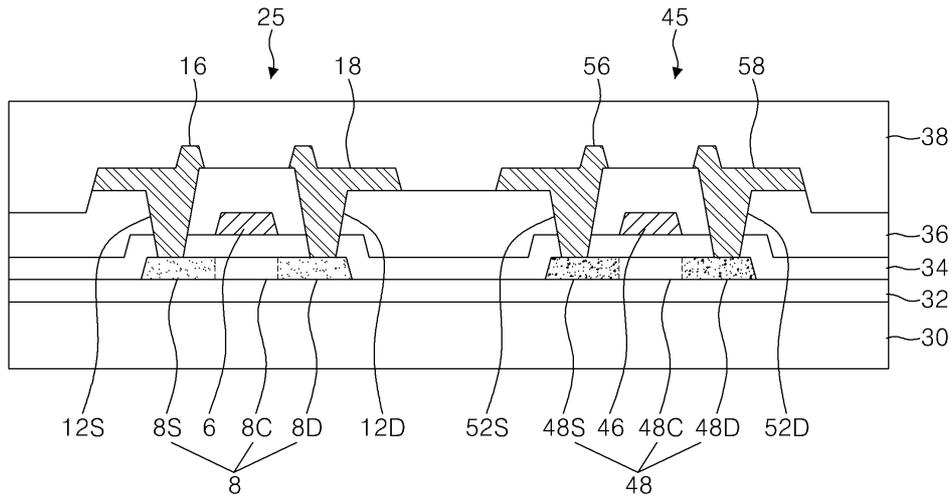
도면10a



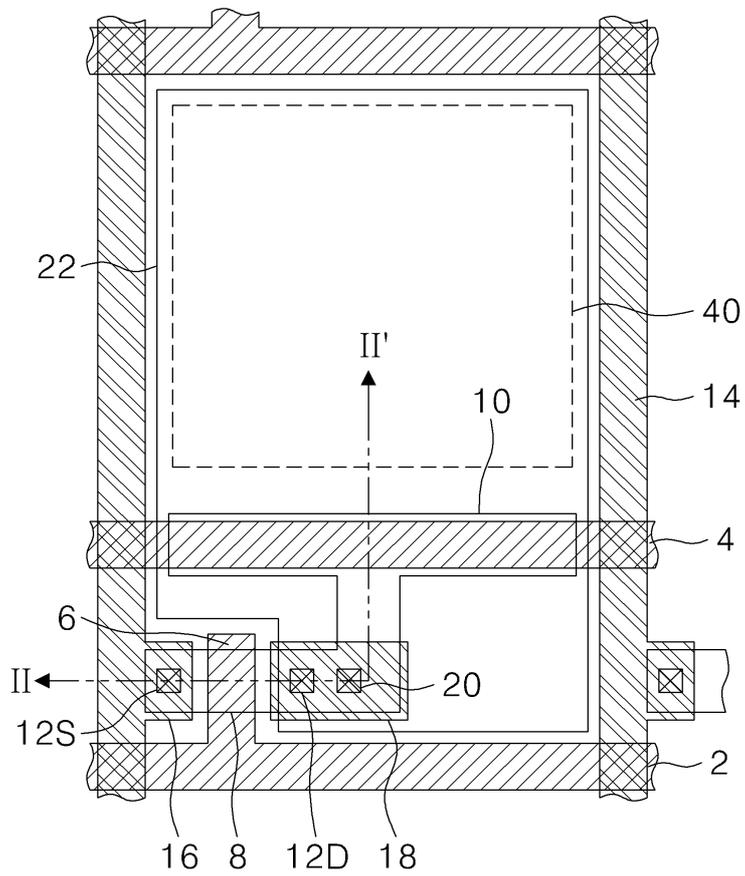
도면10b



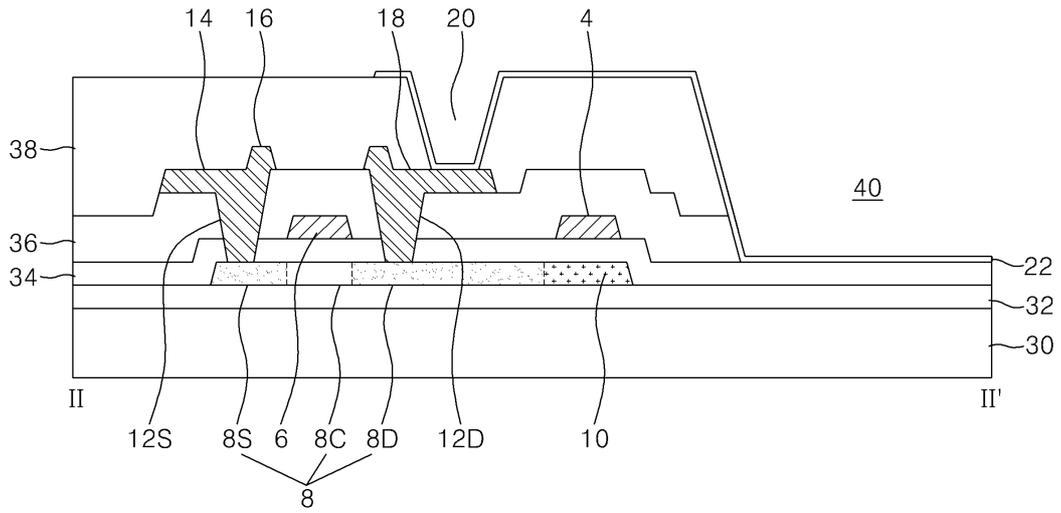
도면10c



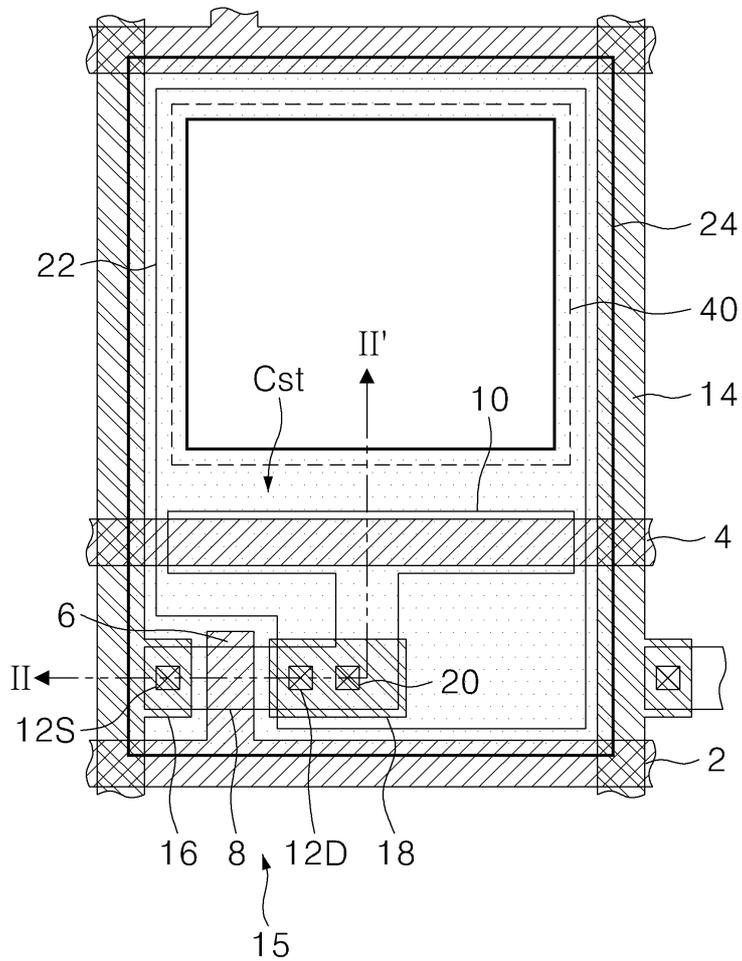
도면11a



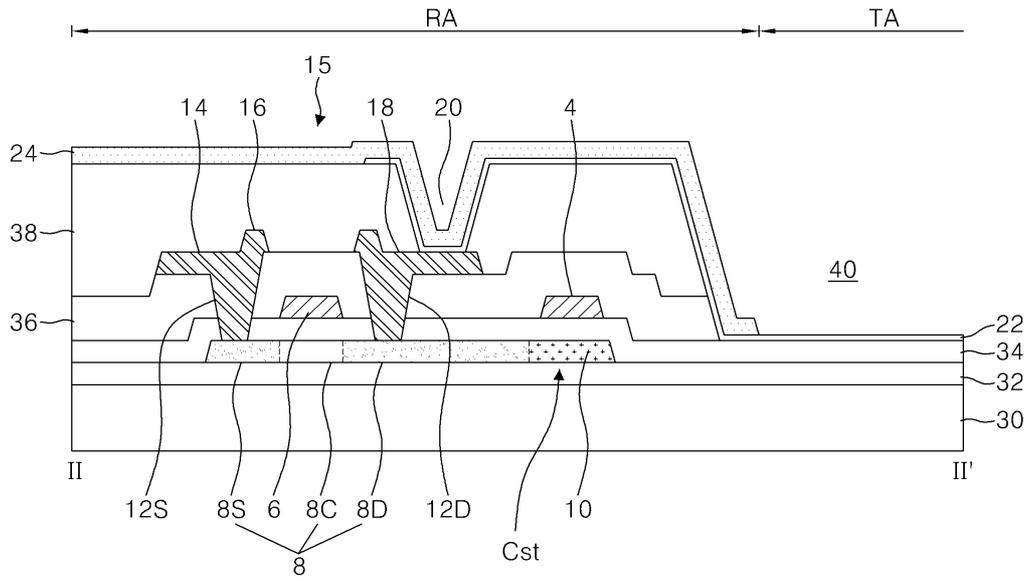
도면11b



도면12a



도면12b



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	<a href="#">KR1020070080638A</a>	公开(公告)日	2007-08-13
申请号	KR1020060011932	申请日	2006-02-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE JAE HYUNG 이재형 SONG BONG SUB 송봉섭		
发明人	이재형 송봉섭		
IPC分类号	G02F1/136		
CPC分类号	A63F3/00261 A63F3/00697 A63F3/02		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋, 云何		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种用于减少工艺数量的液晶显示器的制造方法。为此，本发明公开了一种液晶显示器的制造方法，用于通过执行形成存储下电极的工艺来减少掩模工艺数量，多晶硅层图案化工艺和使用衍射曝光掩模将N+杂质掺杂到一个掩模上处理。

