(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G09G 3/36 (2006.01)
G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0074845
(43) 공개일자 2007년07월18일

(21) 출원번호 10-2006-0002880
(22) 출원일자 2006년01월10일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박동원
충남 천안시 불당동 대동 다숲아파트 110동 1402호

(74) 대리인 권혁수
송윤호
오세준

전체 청구항 수 : 총 12 항

(54) 액정 표시 장치

(57) 요약

액정 표시 장치는, 액정 패널의 현재 구동 게이트 라인에 대응하는 현재 픽셀 데이터 신호와 이전 구동 게이트 라인에 대응하는 이전 픽셀 데이터 신호를 비교하고, 비교 결과에 따라서 제어 신호들을 출력하고, 출력 픽셀 데이터 신호를 선택적으로 출력하는 타이밍 컨트롤러, 그리고 상기 제어 신호들 및 상기 타이밍 컨트롤러로부터의 상기 픽셀 데이터 신호에 응답해서 상기 데이터 라인들을 구동하는 데이터 드라이버를 포함한다. 현재 픽셀 데이터 신호와 이전 픽셀 데이터 신호의 비교 결과에 따라서 타이밍 컨트롤러로부터 소스 드라이버로 출력 픽셀 데이터 신호를 선택적으로 제공함으로써 타이밍 컨트롤러로부터 소스 드라이버로 제공되는 신호의 크기가 감소한다. 그 결과 전력 소모 및 EMI가 감소한다.

대표도

도 2

특허청구의 범위

청구항 1.

복수의 게이트 라인들과 상기 복수의 게이트 라인들에 교차하여 배열된 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들에 의해 정의된 영역들에 배열된 복수의 픽셀들을 포함하는 액정 패널과;

현재 구동 게이트 라인에 대응하는 현재 픽셀 데이터 신호와 이전 구동 게이트 라인에 대응하는 이전 픽셀 데이터 신호를 비교하고, 비교 결과에 따라서 제어 신호들을 출력하고, 상기 현재 구동 게이트 라인에 대응하는 출력 픽셀 데이터 신호를 선택적으로 출력하는 타이밍 컨트롤러; 그리고

상기 제어 신호들 및 상기 출력 픽셀 데이터 신호에 응답해서 상기 데이터 라인들을 구동하는 데이터 드라이버를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

상기 이전 픽셀 데이터 신호를 출력하고, 상기 현재 픽셀 데이터 신호를 저장하는 라인 메모리와;

상기 현재 픽셀 데이터 신호와 상기 이전 픽셀 데이터 신호를 비교하고, 비교 결과에 따라서 출력 제어 신호를 발생하는 출력 제어기와;

상기 출력 제어 신호에 응답해서 상기 현재 픽셀 데이터 신호를 상기 출력 픽셀 데이터 신호로서 선택적으로 출력하고, 상기 출력 제어 신호에 대응하는 OP-코드를 생성하는 출력 회로; 그리고

상기 현재 픽셀 데이터 신호와 상기 이전 픽셀 데이터 신호를 비교하고, 비교 결과에 따라서 반전 신호를 발생하는 반전 신호 발생기를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 2 항에 있어서,

상기 출력 제어기는,

상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 일치하지 않고, 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 반전 관계가 아닐 때 상기 출력 제어 신호를 제 1 레벨로 설정하고;

상기 출력 회로는,

상기 출력 제어 신호가 상기 제 1 레벨일 때 제 1 값의 상기 OP-코드를 생성하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 2 항에 있어서,

상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호는 각각 상기 액정 패널에 배열된 1 수평 라인의 픽셀들에 대한 픽셀 데이터 신호인 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 4 항에 있어서,

상기 출력 제어기는,

상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 전부 일치할 때 또는 일부 픽셀들에 대한 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 일치하고 나머지 픽셀들에 대한 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 반전 관계일 때 상기 출력 제어 신호를 제 2 레벨로 설정하고;

상기 출력 회로는,

상기 출력 제어 신호가 상기 제 2 레벨일 때 제 2 값의 상기 OP-코드를 생성하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제 4 항에 있어서,

상기 데이터 드라이버는,

순차적인 샘플링 신호를 공급하는 쉬프트 레지스터와;

상기 샘플링 신호에 응답하여 상기 출력 회로로부터의 상기 출력 픽셀 데이터 신호를 저장하는 데이터 레지스터와;

상기 OP-코드 및 상기 반전 신호에 응답해서 상기 데이터 레지스터로부터 출력되는 상기 출력 픽셀 데이터 신호를 선택적으로 래치하는 래치와;

상기 래치로부터 출력되는 상기 출력 픽셀 데이터 신호를 아날로그 픽셀 데이터 신호로 변환하는 디지털-아날로그 변환기; 그리고

그리고 상기 디지털-아날로그 변환기로부터의 상기 아날로그 픽셀 데이터 신호를 상기 데이터 라인들로 제공하는 출력 버퍼를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 6 항에 있어서,

상기 래치는,

상기 OP-코드가 제 1 값을 가질 때 상기 데이터 레지스터로부터 출력되는 상기 출력 픽셀 데이터 신호를 래치하고, 상기 OP-코드가 제 2 값을 가질 때 상기 데이터 레지스터로부터 출력되는 상기 출력 픽셀 데이터 신호를 래치하지 않는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제 6 항에 있어서,

상기 반전 신호 발생기는,

각각의 픽셀에 대한 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 상보적 관계일 때 제 1 레벨의 상기 반전 신호를 발생하고, 각각의 픽셀에 대한 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 비상보적 관계일 때 제 2 레벨의 상기 반전 신호를 발생하는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제 8 항에 있어서,

상기 래치는,

상기 픽셀들 각각에 대해서 상기 반전 신호가 상기 제 1 값을 가질 때 이미 래치된 상기 출력 픽셀 데이터 신호를 반전시켜서 출력하고, 상기 데이터 레지스터로부터의 상기 출력 픽셀 데이터 신호를 새롭게 입력받지 않고, 상기 픽셀들 각각에 대해서 상기 반전 신호가 상기 제 2 값을 가질 때 상기 데이터 레지스터로부터의 상기 출력 픽셀 데이터 신호를 새롭게 래치하는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제 6 항에 있어서,

상기 타이밍 컨트롤러로부터 출력되는 상기 제어 신호들은 래치 신호를 포함하고;

상기 래치 및 상기 출력 버퍼는 상기 래치 신호에 동기해서 동작하는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제 2 항에 있어서,

상기 출력 회로는,

상기 현재 픽셀 데이터 신호를 입력받아서 출력으로 전달하고, 상기 출력 제어 신호에 대응하는 OP-코드를 생성하는 OP-코드 생성기; 그리고

상기 출력 제어 신호에 응답해서 상기 OP-코드 생성기로부터의 출력을 상기 출력 픽셀 데이터 신호로서 출력하는 스위칭 회로를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제 1 항에 있어서,

상기 타이밍 컨트롤러는 게이트 구동 제어 신호들을 더 출력하고,

상기 게이트 구동 제어 신호들에 응답해서 상기 게이트 라인들을 순차적으로 구동하는 게이트 드라이버를 더 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 좀 더 구체적으로는 전력 소모가 감소된 액정 표시 장치에 관한 것이다.

액정 표시 장치는 휴대가 간편한 플랫 패널(flat panel)형 디스플레이 중에서 대표적인 것으로서, 박막 트랜지스터(thin film transistor: TFT)를 스위칭 소자로 이용한 박막 트랜지스터-액정 표시 장치가 주로 이용되고 있다.

박막 트랜지스터-액정 표시 장치에서 박막 트랜지스터는 행렬의 형태로 배열되어 있는 다수의 픽셀에 각각 대응하여 형성되는 것이 일반적이며, 각각의 픽셀에는 박막 트랜지스터의 제어에 따라 화상 신호가 전달되는 픽셀 전극이 각각 형성되어 있다. 또한, 박막 트랜지스터 기판에는 게이트 구동 집적 회로의 출력 단자와 각각 연결되어 픽셀을 제어하기 위해 게이트 신호를 공급하는 게이트 라인과, 데이터 구동 집적 회로의 출력 단자와 각각 연결되어 화상 신호를 공급하며 게이트 라인과 교차하여 행렬의 픽셀을 정의하는 데이터 라인이 매트릭스 형태로 형성되어 있으며 이러한 게이트 라인과 데이터 라인은 픽셀의 픽셀 전극과 박막 트랜지스터를 통하여 각각 연결되어 있다.

이와 같은 배열의 액정 패널의 동작 원리는 다음과 같다. 게이트 라인들이 순차적으로 선택되고, 선택된 게이트 라인에 게이트 온 전압이 펄스 형태로 인가되며, 데이터 라인들로 픽셀 데이터에 대응하는 전압이 인가됨으로써 패널의 모든 픽셀을 구동할 수 있다.

최근 액정 표시 장치의 해상도가 향상됨에 따라서 액정 패널에 구성되는 픽셀의 수가 증가하고, 한 프레임을 표시하기 위해 필요한 데이터의 크기도 커지고 있는 추세이다. 액정 표시 장치 내 구성되는 회로들 간에 전송되는 데이터의 양이 많아질수록 전력 소모 및 EMI가 증가하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 내부 회로들 간에 전송되는 데이터의 양을 줄일 수 있는 액정 표시 장치를 제공하는 데 있다.

발명의 구성

상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 액정 표시 장치는: 액정 패널, 타이밍 컨트롤러 그리고 데이터 드라이버를 포함한다. 액정 패널은 복수의 게이트 라인들과 상기 복수의 게이트 라인들에 교차하여 배열된 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들에 의해 정의된 영역들에 배열된 복수의 픽셀들을 포함한다. 타이밍 컨트롤러는 현재 구동 게이트 라인에 대응하는 현재 픽셀 데이터 신호와 이전 구동 게이트 라인에 대응하는 이전 픽셀 데이터 신호를 비교하고, 비교 결과에 따라서 제어 신호들을 출력하고, 상기 현재 구동 게이트 라인에 대응하는 출력 픽셀 데이터 신호를 선택적으로 출력한다. 그리고 데이터 드라이버는 상기 제어 신호들 및 상기 출력 픽셀 데이터 신호에 응답해서 상기 데이터 라인들을 구동한다.

또한 상기 타이밍 컨트롤러는, 상기 이전 픽셀 데이터 신호를 출력하고, 상기 현재 픽셀 데이터 신호를 저장하는 라인 메모리와, 상기 현재 픽셀 데이터 신호와 상기 이전 픽셀 데이터 신호를 비교하고, 비교 결과에 따라서 출력 제어 신호를 발생하는 출력 제어기와, 상기 출력 제어 신호에 응답해서 상기 현재 픽셀 데이터 신호를 상기 출력 픽셀 데이터 신호로서 선택적으로 출력하고, 상기 출력 제어 신호에 대응하는 OP-코드를 생성하는 출력 회로, 그리고 상기 현재 픽셀 데이터 신호와 상기 이전 픽셀 데이터 신호를 비교하고, 비교 결과에 따라서 반전 신호를 발생하는 반전 신호 발생기를 포함한다.

상기 출력 제어기는, 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 일치하지 않고, 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 반전 관계가 아닐 때 상기 출력 제어 신호를 제 1 레벨로 설정하고, 상기 출력 회로는, 상기 출력 제어 신호가 상기 제 1 레벨일 때 제 1 값의 상기 OP-코드를 생성한다.

상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호는 각각 상기 액정 패널에 배열된 1 수평 라인의 픽셀들에 대한 픽셀 데이터 신호이다.

상기 출력 제어기는, 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 전부 일치할 때 또는 일부 픽셀들에 대한 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 일치하고 나머지 픽셀들에 대한 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 반전 관계일 때 상기 출력 제어 신호를 제 2 레벨로 설정하고, 상기 출력 회로는, 상기 출력 제어 신호가 상기 제 2 레벨일 때 제 2 값의 상기 OP-코드를 생성한다.

상기 데이터 드라이버는, 순차적인 샘플링 신호를 공급하는 쉬프트 레지스터와, 상기 샘플링 신호에 응답하여 상기 출력 회로로부터의 상기 출력 픽셀 데이터 신호를 저장하는 데이터 레지스터와, 상기 OP-코드 및 상기 반전 신호에 응답해서 상기 데이터 레지스터로부터 출력되는 상기 출력 픽셀 데이터 신호를 선택적으로 래치하는 래치와, 상기 래치로부터 출력되는 상기 출력 픽셀 데이터 신호를 아날로그 픽셀 데이터 신호로 변환하는 디지털-아날로그 변환기, 그리고 상기 디지털-아날로그 변환기로부터의 상기 아날로그 픽셀 데이터 신호를 상기 데이터 라인들로 제공하는 출력 버퍼를 포함한다.

상기 래치는, 상기 OP-코드가 제 1 값을 가질 때 상기 데이터 레지스터로부터 출력되는 상기 출력 픽셀 데이터 신호를 래치하고, 상기 OP-코드가 제 2 값을 가질 때 상기 데이터 레지스터로부터 출력되는 상기 출력 픽셀 데이터 신호를 래치하지 않는다.

상기 반전 신호 발생기는, 각각의 픽셀에 대한 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 상보적 관계일 때 제 1 레벨의 상기 반전 신호를 발생하고, 각각의 픽셀에 대한 상기 현재 픽셀 데이터 신호 및 상기 이전 픽셀 데이터 신호가 비상보적 관계일 때 제 2 레벨의 상기 반전 신호를 발생한다.

상기 래치는, 상기 픽셀들 각각에 대해서 상기 반전 신호가 상기 제 1 값을 가질 때 이미 래치된 상기 출력 픽셀 데이터 신호를 반전시켜서 출력하고, 상기 데이터 레지스터로부터의 상기 출력 픽셀 데이터 신호를 새롭게 입력받지 않고, 상기 픽셀들 각각에 대해서 상기 반전 신호가 상기 제 2 값을 가질 때 상기 데이터 레지스터로부터의 상기 출력 픽셀 데이터 신호를 새롭게 래치한다.

상기 타이밍 컨트롤러로부터 출력되는 상기 제어 신호들은 래치 신호를 포함하고, 상기 래치 및 상기 출력 버퍼는 상기 래치 신호에 동기해서 동작한다.

상기 출력 회로는, 상기 현재 픽셀 데이터 신호를 입력받아서 출력으로 전달하고, 상기 출력 제어 신호에 대응하는 OP-코드를 생성하는 OP-코드 생성기, 그리고 상기 출력 제어 신호에 응답해서 상기 OP-코드 생성기로부터 출력을 상기 출력 픽셀 데이터 신호로서 출력하는 스위칭 회로를 포함한다.

상기 타이밍 컨트롤러는 게이트 구동 제어 신호들을 더 출력하고, 상기 액정 표시 장치는, 상기 게이트 구동 제어 신호들에 응답해서 상기 게이트 라인들을 순차적으로 구동하는 게이트 드라이버를 더 포함한다.

이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

도 1은 본 발명의 바람직한 실시예에 따른 액정 표시 장치의 구성을 보여주는 도면이다.

도 1을 참조하면, 액정 표시 장치(100)는 타이밍 컨트롤러(110), 게이트 드라이버(120), 소스 드라이버(130), 액정 패널(140), 그리고 계조 전압 발생기(150)를 포함한다.

액정 패널(140)은 복수의 게이트 라인들(G1-Gn)과, 게이트 라인들에 교차하는 복수의 데이터 라인들(D1-Dm)과, 게이트 라인 및 데이터 라인에 의해 정의된 영역에 각각 배열된 픽셀들을 포함한다. 각 픽셀은 게이트 라인과 데이터 라인에 게이트 전극 및 소스 전극이 각각 연결되는 박막 트랜지스터(T1)와, 박막 트랜지스터(T1)의 드레인 전극에 연결되는 액정 커패시터(C_{LC}) 및 스토리지 커패시터(C_{ST})를 포함한다. 이러한 픽셀 구조에서는, 게이트 드라이버(120)에 의해서 게이트 라인들이 순차적으로 선택되고, 선택된 게이트 라인에 게이트 온 전압이 펄스 형태로 인가되면, 게이트 라인에 연결된 픽셀의 박막 트랜지스터(T1)가 턴 온되고, 이어서 소스 드라이버(130)에 의해 각 데이터 라인에 픽셀 정보를 포함하는 전압이 인가된다. 이 전압은 해당 픽셀의 박막 트랜지스터를 거쳐 액정 커패시터(C_{LC})와 스토리지 커패시터(C_{ST})에 인가되며, 액정 및 스토리지 커패시터들(C_{LC}, C_{ST})이 구동됨으로써 소정의 표시 동작이 이루어진다.

타이밍 컨트롤러(110)는 외부 장치로부터 입력되는 현재 픽셀 데이터 신호(RGB), 수평 동기 신호(H_SYNC), 수직 동기 신호(V_SYNC), 클럭 신호(MCLK) 및 데이터 인에이블 신호(DE)를 입력받는다. 타이밍 컨트롤러(110)는 소스 드라이버(130)와의 인터페이스 사양에 맞도록 데이터 포맷(format)을 변환한 출력 픽셀 데이터 신호(RGB') 및 제어 신호들을 소스 드라이버(140)로 출력한다. 타이밍 컨트롤러(110)로부터 소스 드라이버(130)로 제공되는 제어 신호들은, 래치 신호(LOAD), 수평 동기 시작 신호(STH, start horizontal), 반전 신호(DPOL) 및 클럭 신호(HCLK)를 포함한다.

또한, 타이밍 컨트롤러(110)는 수직 동기 시작 신호(start vertical) 및 출력 인에이블 신호 그리고 게이트 클럭 신호 등의 제어 신호들(CTRL)을 게이트 드라이버(120)로 출력한다.

게이트 드라이버(120)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들(CTRL)에 응답해서 액정 패널(140)의 게이트 라인들(G1-Gn)을 순차적으로 스캐닝한다. 여기서, 스캐닝이란 게이트 라인들에 게이트 온 전압(VON)을 순차적으로 인가하여 게이트 온 전압(VON)이 인가된 게이트 라인의 픽셀을 데이터 기록이 가능한 상태로 만드는 것을 말한다.

계조 전압 발생기(150)는 출력 픽셀 데이터 신호에 대응하는 계조 전압들(V0-V11)을 소스 드라이버(130)로 제공한다.

소스 드라이버(130)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들(LOAD, STH, DPOL, HCLK)에 응답해서 계조 전압 발생기(150)로부터의 계조 전압들 중 출력 픽셀 데이터 신호(RGB')에 대응하는 계조 전압들을 가지고 액정 패널(140)의 데이터 라인들(D1-Dm)을 구동한다. 일반적으로 소스 드라이버(130)는 복수의 집적 회로들로 구성된다.

도 2는 도 1에 도시된 타이밍 컨트롤러(110) 내 구성되는 본 발명의 바람직한 실시예에 따른 픽셀 데이터 신호 발생기(200)의 구체적인 구성을 보여주는 도면이다.

도 2를 참조하면, 픽셀 데이터 신호 발생기(200)는 출력 회로(210), 라인 메모리(220), 출력 제어기(230) 그리고 반전 신호 발생기(240)를 포함한다. 출력 회로(210)는 OP-코드 생성기(212) 및 3상태 버퍼(214)를 포함한다.

외부로부터 입력된 현재 구동 게이트 라인(Gk)에 대응하는 현재 픽셀 데이터 신호(RGBk)는 OP-코드 생성기(212) 및 라인 메모리(220)로 입력된다. 현재 구동 게이트 라인(Gk)에 대응하는 현재 픽셀 데이터 신호(RGBk)는 게이트 온 전압이 인가되는 게이트 라인(Gk)과 연결된 m개의 픽셀들로 제공될 픽셀 데이터 신호를 의미한다.

라인 메모리(220)는 현재 구동 게이트 라인(Gk)에 대응하는 현재 픽셀 데이터 신호(RGBk)와 이전 구동 게이트 라인(Gk-1)에 대응하는 이전 픽셀 데이터 신호(RGBk-1)를 비교하고, 출력 제어 신호(OUT_CTRL)를 출력한다. 출력 제어 신호(OUT_CTRL)는 픽셀 데이터 신호들(RGBk, RGBk-1)에 대한 비교 결과, 출력 픽셀 데이터 신호(RGBk')의 출력이 필요할 때 로우 레벨로 설정되고, 반면 출력 픽셀 데이터 신호(RGBk')의 출력이 불필요할 때 하이 레벨로 설정된다.

OP-코드 생성기(212)는 출력 제어 신호(OUT_CTRL)가 로우 레벨일 때 제 1 값의 OP-코드를 생성한다. 출력 제어 신호(OUT_CTRL)가 하이 레벨일 때 제 2 값의 OP-코드를 생성한다.

3상태 버퍼(214)는 출력 제어기(230)로부터의 출력 제어 신호(OUT_CTRL)에 응답해서 OP-코드 생성기(212)로부터의 출력 신호를 출력 픽셀 데이터 신호(RGBk')로서 출력한다. 출력 픽셀 데이터 신호(RGBk')는 현재 픽셀 데이터 신호(RGBk)와 OP-코드를 포함하거나 또는 OP-코드만을 포함한다.

반전 신호 발생기(240)는 외부로부터 입력된 현재 픽셀 데이터 신호(RGBk)와 라인 메모리(220)로부터 출력되는 이전 픽셀 데이터 신호(RGBk-1)를 비교하고, 비교 결과에 따라서 반전 신호(DPOL)를 출력한다. 반전 신호 발생기(240)는 각각의 픽셀에 대한 현재 픽셀 데이터 신호(RGBk)와 픽셀 데이터 신호(RGBk-1)가 상보적 관계에 놓여있는 경우에만 하이 레벨의 반전 신호(DPOL)를 출력하고, 나머지 경우에는 로우 레벨의 반전 신호(DPOL)를 출력한다.

도 3은 도 2에 도시된 소스 드라이버(130)의 본 발명의 실시예에 따른 구체적인 구성을 보여주는 도면이다.

도 3을 참조하면, 소스 드라이버(130)는, 순차적인 샘플링 신호를 공급하는 쉬프트 레지스터(310), 샘플링 신호에 응답하여 현재 픽셀 데이터를 저장하는 데이터 레지스터(320), 데이터 레지스터(320)로부터 출력되는 데이터를 래치하는 래치(330), 래치(330)로부터 출력되는 디지털 픽셀 데이터를 아날로그 신호로 변환하는 디지털-아날로그 변환기(340) 그리고 출력 버퍼(350)를 포함한다.

쉬프트 레지스터(310)는 타이밍 컨트롤러(110)로부터의 수평 동기 시작 신호(STH)를 클럭 신호(HCLK)에 따라 순차적으로 쉬프트시켜 샘플링 신호로서 출력한다.

데이터 레지스터(320)는 쉬프트 레지스터(310)로부터의 샘플링 신호에 응답해서 타이밍 컨트롤러(110)로부터의 출력 픽셀 데이터 신호(RGB')를 일정 단위씩 순차적으로 샘플링하여 저장한다. 이 때, 데이터 레지스터(320)의 크기는 (수평 방향 픽셀의 수 * 픽셀 데이터 각각의 비트 수)이다.

래치(330)는 데이터 레지스터(320)로부터의 출력 픽셀 데이터 신호를 래치하고, 출력 픽셀 데이터 신호(RGB')에 포함된 OP-코드, 타이밍 컨트롤러(110)로부터의 반전 신호(DPOL)와 래치 신호(LOAD)에 응답해서 래치된 픽셀 데이터를 출력한다. 타이밍 컨트롤러(110)로부터의 반전 신호(DPOL)가 픽셀 단위로 하이 레벨 또는 로우 레벨로 설정되므로, 래치(330)는 래치된 픽셀 데이터 신호들 중 대응하는 반전 신호(DPOL)가 하이 레벨인 출력 픽셀 데이터 신호를 반전시킨다.

또한, 래치(330)는 출력 픽셀 데이터 신호(RGB')에 포함된 OP-코드가 제 1 값을 가지면, 래치 신호(LOAD)가 활성화될 때 데이터 레지스터(320)로부터의 출력 픽셀 데이터 신호를 새롭게 래치한다. 반면, 출력 픽셀 데이터 신호(RGB')에 포함된 OP-코드가 제 2 값을 가지면, 래치 신호(LOAD)가 활성화될 때 데이터 레지스터(320)로부터의 출력 픽셀 데이터 신호를 새롭게 래치하지 않고 기존에 저장된 값을 유지한다.

디지털-아날로그 변환기(340)는 래치(330)로부터의 출력 픽셀 데이터 신호를 계조 전압들(VO-V11)을 이용하여 아날로그 픽셀 신호로 변환한다. 계조 전압들(VO-V11)은 계조 전압 발생기(150)에 의해서 발생된다. 출력 버퍼(350)는 디지털-아날로그 변환기(340)로부터 출력되는 아날로그 픽셀 신호를 저장한 후 래치 신호(LOAD)에 동기해서 액정 패널의 데이터 라인들(D1-Dm)로 공급한다. 예컨대, 래치(330)는 래치 신호(LOAD)의 라이징 에지(rising edge)에서 데이터 레지스터(320)로부터의 출력 픽셀 데이터 신호를 디지털-아날로그 변환기(340)로 출력하고, 출력 버퍼(350)는 래치 신호(LOAD)의 폴링 에지(falling edge)에서 디지털-아날로그 컨버터(340)의 출력을 데이터 라인들(D1-Dm)로 전달한다.

도 2 및 도 3에 도시된 픽셀 데이터 신호 발생기(200) 및 소스 드라이버(130)의 구체적인 동작을 도 4 내지 도 7에 도시된 타이밍도들을 참조하여 상세히 설명한다. 도 4 내지 도 7에 도시된 타이밍도들에서 k-1번째 게이트 라인(Gk-1)이 구동될 때 제어 신호들(OUT_CTRL, RGBk', DPOL)은 k-2번째 게이트 라인(Gk-2)에 대응하는 픽셀 데이터 신호(RGBk-2)와 k-1번째 게이트 라인에 대응하는 픽셀 데이터 신호(RGBk-1)의 비교 결과에 따라서 결정된다. 그러나, 본 명세서에서는 k-1번째 게이트 라인(Gk-1) 및 k번째 게이트 라인(Gk)에 각각 대응하는 픽셀 데이터 신호들(RGBk-1, RGBk)의 관계를 중심으로 설명하기 위해, k-1번째 게이트 라인(Gk-1)이 한 프레임의 첫 번째 게이트 라인(G1)이거나, 또는 k-2번째 게이트 라인(Gk-2)에 대응하는 픽셀 데이터 신호(RGBk-2)와 k-1번째 게이트 라인에 대응하는 픽셀 데이터 신호(RGBk-1)가 서로 다르고, 반전 관계가 성립하지 않는다고 가정한다.

도 4는 이전 픽셀 데이터 신호(RGBk-1)와 현재 픽셀 데이터 신호(RGBk)가 완전히 일치할 때 타이밍 컨트롤러(110)로부터 출력되는 신호들의 타이밍도를 보여주고 있다.

도 4를 참조하면, 이전 픽셀 데이터 신호(RGBk-1)와 현재 픽셀 데이터 신호(RGBk)가 동일한 경우 게이트 라인(Gk)가 구동될 때, 도 2에 도시된 픽셀 데이터 신호 발생기(200)에서 출력 제어 신호(OUT_CTRL)는 하이 레벨로 설정되고, OP-코드는 제 2 값을 가지며, 반전 신호(DPOL)는 로우 레벨로 설정된다.

그러므로, 도 2의 픽셀 데이터 신호 발생기(200)로부터 출력되는 출력 픽셀 데이터 신호(RGBk')는 픽셀 데이터 신호를 포함하지 않고, OP-코드만을 포함한다. 또한, 도 3에 도시된 래치(330)는 로드 신호(LOAD)의 라이징 에지에서 데이터 레지스터(320)로부터 새로운 출력 픽셀 데이터 신호를 받아들이지 않고, 기존에 래치된 출력 픽셀 데이터 신호를 디지털-아날로그 변환기(340)로 출력한다.

도 5는 인접한 두 개의 게이트 라인들(Gk-1, Gk)에 대응하는 픽셀 데이터 신호들(RGBk-1, RGBk)의 일부 데이터 신호가 일치하고, 나머지 데이터 신호들이 반전 관계에 있을 때 도 1에 도시된 타이밍 컨트롤러(110)로부터 출력되는 신호들을 보여주는 타이밍도이다.

도 5에 도시된 바와 같이, 픽셀 데이터 신호(RGBk-1)는 "FF0F0…FF"이고, 현재 픽셀 데이터 신호(RGBk)는 "FFFFF…FF"이므로, 픽셀 데이터 신호 "0"을 픽셀 데이터 신호 "F"로 반전시키면 두 픽셀 데이터 신호들은 일치한다.

따라서, 게이트 라인(Gk)이 구동될 때 출력 제어 신호(OUT_CTRL)는 하이 레벨로 설정되고, OP-코드는 제 2 값을 가지며, 반전 신호(DPOL)는 픽셀 데이터 신호들(RGBk-1, RGBk)이 일치하는 구간에서는 로우 레벨로 설정되고, 반전 관계에 있는 구간에서는 하이 레벨로 설정된다.

그러므로, 도 2의 픽셀 데이터 신호 발생기(200)는 출력 픽셀 데이터 신호(RGBk')를 출력하지 않는다. 또한, 도 3에 도시된 래치(330)는 로드 신호(LOAD)의 라이징 에지에서 데이터 레지스터(320)로부터 새로운 출력 픽셀 데이터 신호를 받아

들이지 않고, 기존에 래치된 출력 픽셀 데이터 신호 중 반전 신호(DPOL)의 로우 레벨에 대응하는 출력 픽셀 데이터 신호는 그대로 디지털-아날로그 변환기(340)로 출력하고, 반전 신호(DPOL)의 하이 레벨에 대응하는 출력 픽셀 데이터 신호는 반전시키켜서 디지털-아날로그 변환기(340)로 출력한다.

도 6은 인접한 두 개의 게이트 라인들(Gk-1, Gk)에 대응하는 픽셀 데이터 신호들(RGBk-1, RGBk) 전체가 반전 관계에 있을 때 도 1에 도시된 타이밍 컨트롤러(110)로부터 출력되는 신호들을 보여주는 타이밍도이다.

도 6을 참조하면, 픽셀 데이터 신호(RGBk-1)는 "FFFFF…FF"이고, 픽셀 데이터 신호(RGBk-1)는 "FFFFF…FF"이므로, 픽셀 데이터 신호(RGBk-1)를 반전시키면 픽셀 데이터 신호(RGBk-1)와 동일하게 된다.

따라서, 게이트 라인(Gk)이 구동될 때 출력 제어 신호(OUT_CTRL)는 하이 레벨로 설정되고, OP-코드는 제 2 값을 가지며, 반전 신호(DPOL)는 하이 레벨로 설정된다.

그러므로, 도 2의 픽셀 데이터 신호 발생기(200)는 출력 픽셀 데이터 신호(RGBk')를 출력하지 않는다. 또한, 도 3에 도시된 래치(330)는 로드 신호(LOAD)의 라이징 에지에서 데이터 레지스터(320)로부터 새로운 출력 픽셀 데이터 신호를 받아들이지 않고, 기존에 래치된 출력 픽셀 데이터 신호 전체를 반전시켜서 디지털-아날로그 변환기(340)로 출력한다.

상술한 바와 같이, 이전 픽셀 데이터 신호(RGBk-1)와 현재 픽셀 데이터 신호(RGBk)가 완전히 일치할 때, 일부는 일치하고 나머지는 반전 관계일 때, 그리고 완전히 반전 관계일 때 타이밍 컨트롤러(110)로부터 소스 드라이버(130)로 전송되는 출력 픽셀 데이터 신호(RGB')는 픽셀 데이터 신호를 포함하지 않고, OP-코드만을 포함한다. 이러한 경우들에 있어서, 타이밍 컨트롤러(110)로부터 소스 드라이버(130)로 전송되는 데이터의 크기가 감소하고, 그 결과 전력 소모 및 EMI가 감소한다.

도 7은 인접한 두 개의 게이트 라인들(Gk-1, Gk)에 대응하는 픽셀 데이터 신호들(RGBk-1, RGBk) 전체가 일치하지도 않고, 반전 관계가 없을 때 도 1에 도시된 타이밍 컨트롤러(110)로부터 출력되는 신호들을 보여주는 타이밍도이다.

도 7에 따르면, 픽셀 데이터 신호(RGBk-1)는 "FF0F0…FF"이고, 픽셀 데이터 신호(RGBk-1)는 "FFOAA…FF"이므로, 픽셀 데이터 신호들(RGBk-1, RGBk)은 서로 다른 신호들이다.

따라서, 게이트 라인(Gk)이 구동될 때 출력 제어 신호(OUT_CTRL)는 로우 레벨로 설정되고, OP-코드는 제 1 값을 가지며, 반전 신호(DPOL)는 로우 레벨로 설정된다.

그러므로, 도 2의 픽셀 데이터 신호 발생기(200)는 출력 픽셀 데이터 신호(RGBk')를 출력하고, 도 3에 도시된 래치(330)는 로드 신호(LOAD)의 라이징 에지에서 데이터 레지스터(320)로부터 새로운 출력 픽셀 데이터 신호를 입력받아서 디지털-아날로그 변환기(340)로 출력한다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경할 수 있는 것은 물론이다.

발명의 효과

이와 같은 본 발명에 의하면, 타이밍 컨트롤러로부터 소스 드라이버로 전송되는 픽셀 데이터 신호의 크기가 감소한다. 그 결과 전력 소모 및 EMI가 감소한다.

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 액정 표시 장치의 구성을 보여주는 도면

도 2는 도 1에 도시된 타이밍 컨트롤러 내 구성되는 본 발명의 바람직한 실시예에 따른 픽셀 데이터 신호 발생기의 구체적인 구성을 보여주는 도면

도 3은 도 2에 도시된 소스 드라이버의 본 발명의 실시예에 따른 구체적인 구성을 보여주는 도면; 그리고

도 4 내지 도 7은 도 2 및 도 3에 도시된 픽셀 데이터 신호 발생기 및 소스 드라이버에서 사용되는 신호들의 타이밍도들이다.

*도면의 주요 부분에 대한 설명

100 : 액정 표시 장치 110 : 타이밍 컨트롤러

120 : 게이트 드라이버 130 : 소스 드라이버

140 : 액정 패널 150 : 계조 전압 발생기

200 : 픽셀 데이터 신호 발생기 210 : 출력 회로

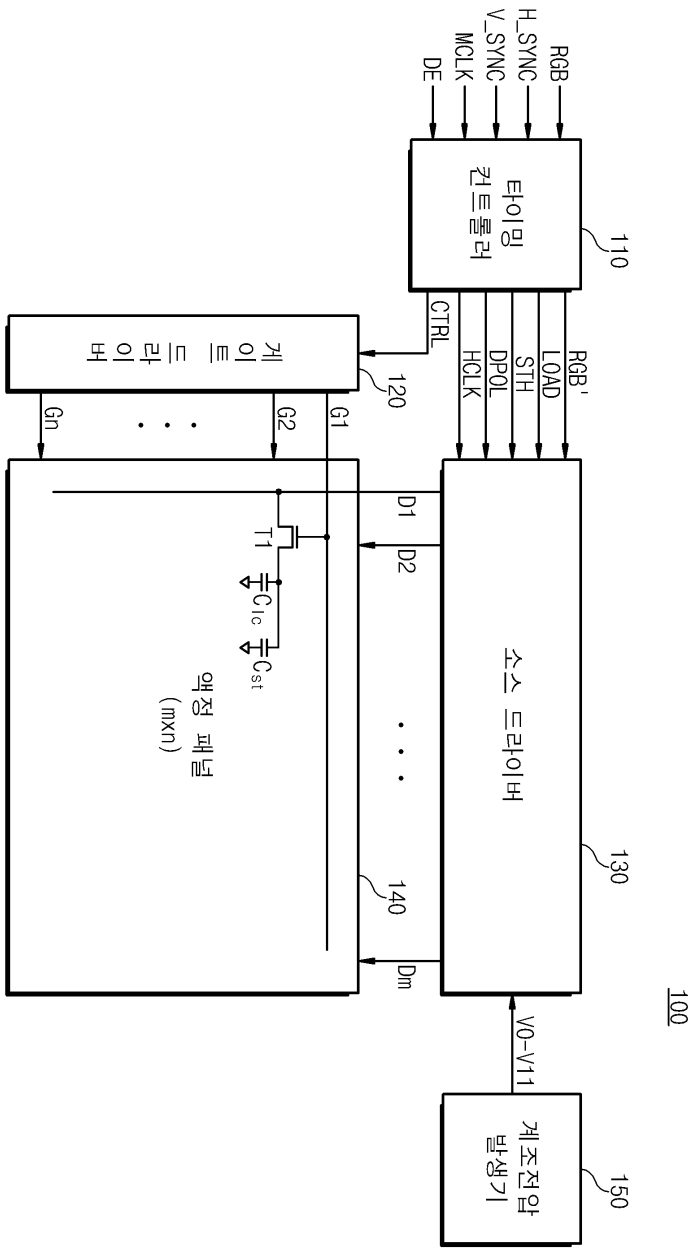
212 : OP-코드 생성기 214 : 3상태 버퍼

220 : 라인 메모리 230 : 출력 제어기

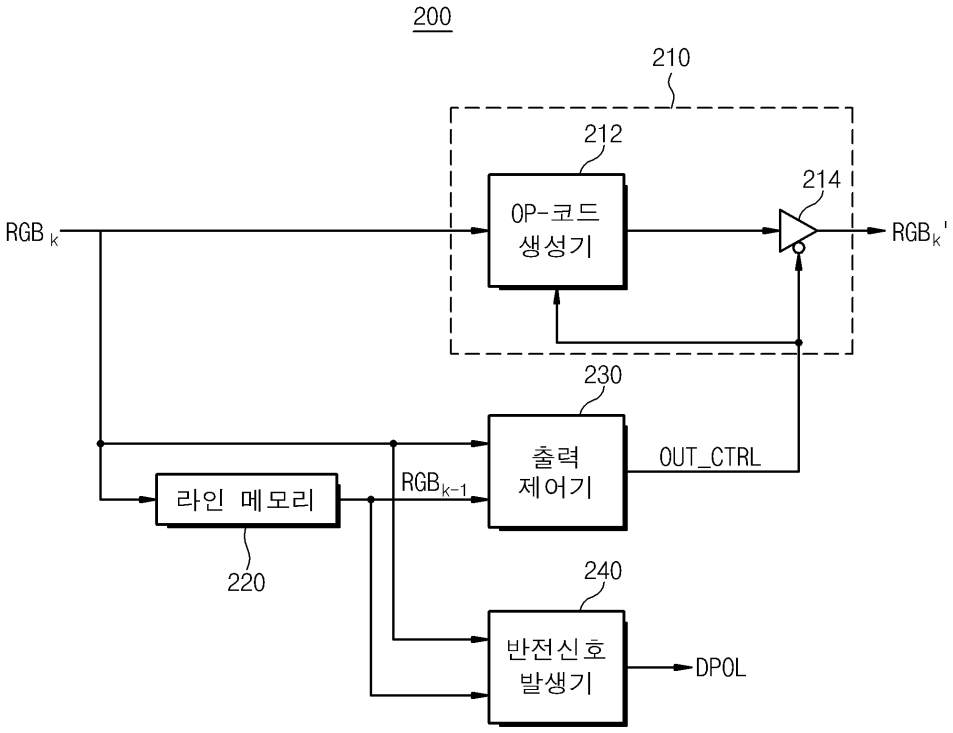
240 : 반전 신호 발생기

도면

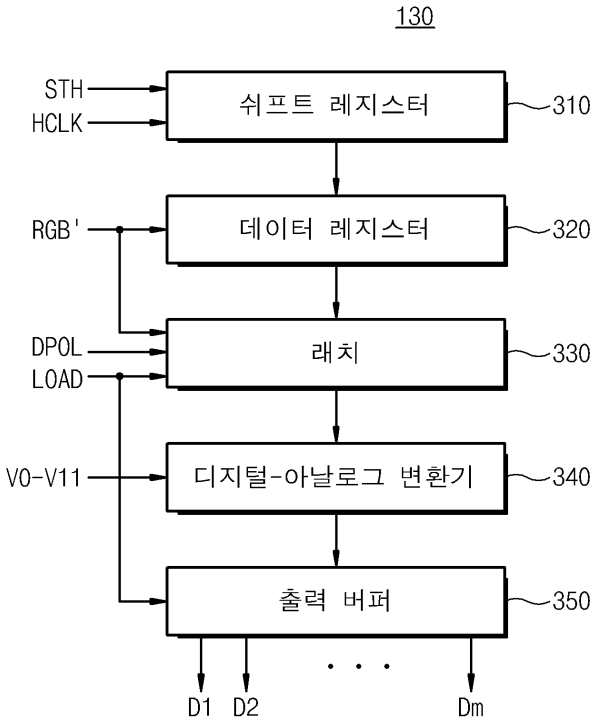
도면1


RGB
H_SYNC
V_SYNC
MCLK
DE
타이밍 컨트롤러
110
CTRL
RGB'
LOAD
STH
DPOL
HCLK
게이트 드라이버
120
Gn
G2
G1
D1
D2
Dm
T1
Clc
Cst
액정 패널 (mxn)
소스 드라이버
130
140
V0-V11
계조전압 발생기
150
100

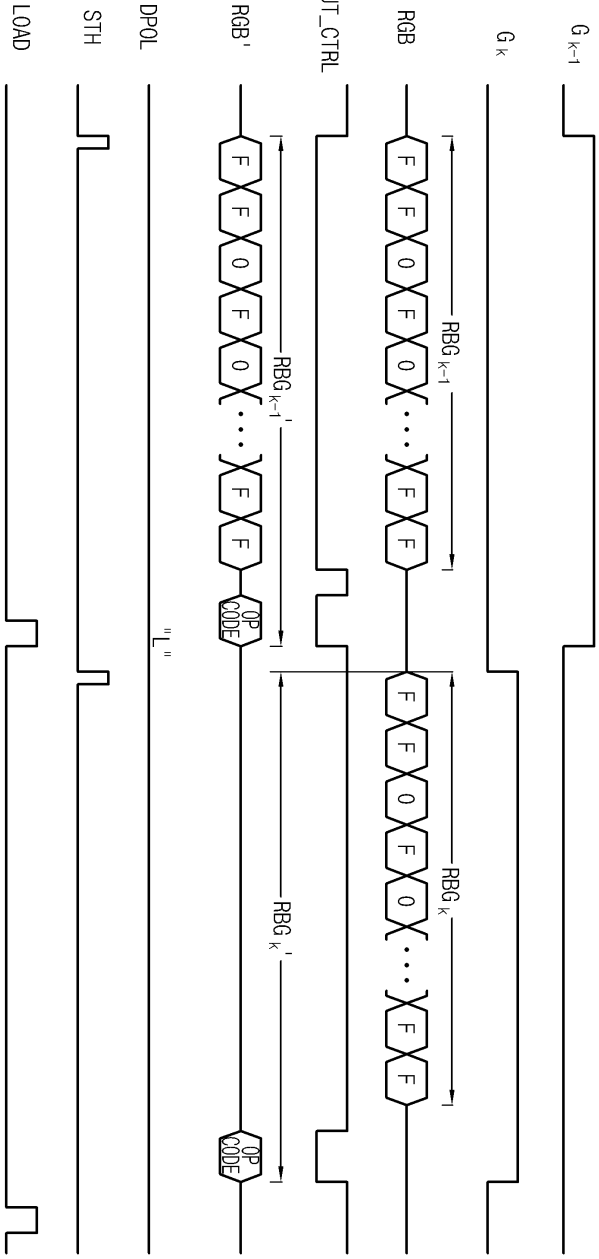
도면2


200
210
212
214
OP-코드
생성기
RGB k
RGB k'
230
출력
제어기
OUT_CTRL
라인 메모리
RGB k-1
220
240
반전신호
발생기
DPOL

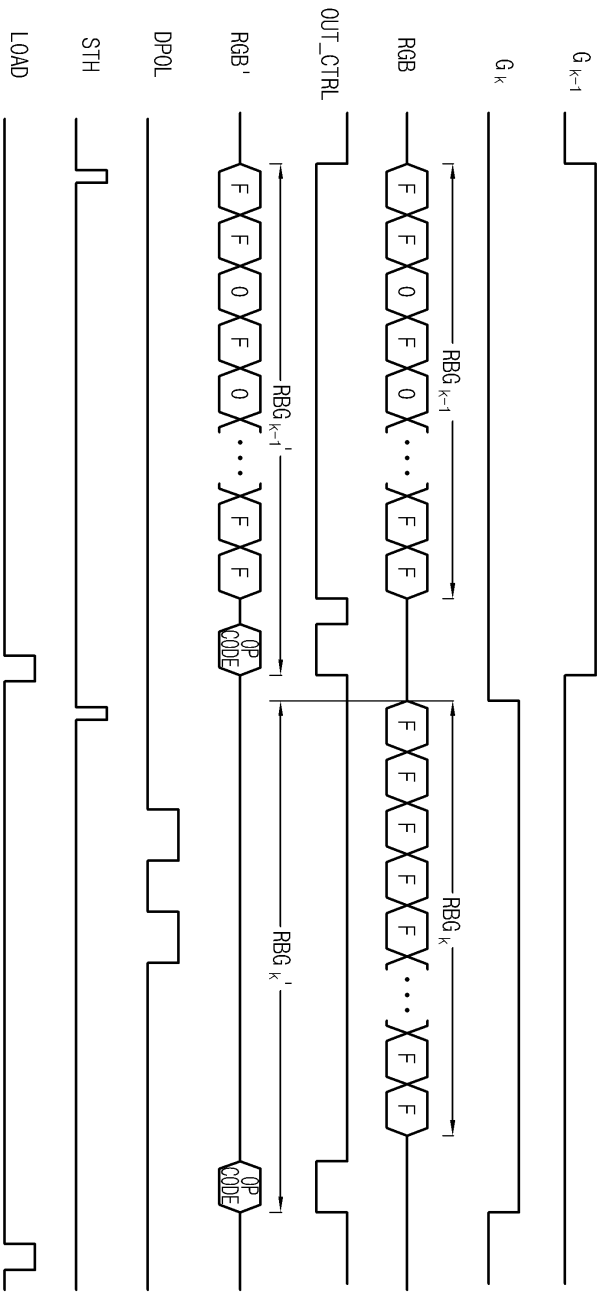
도면3


130
STH
HCLK
쉬프트 레지스터
310
RGB'
데이터 레지스터
320
DPOL
LOAD
래치
330
V0-V11
디지털-아날로그 변환기
340
출력 버퍼
350
D1
D2
Dm

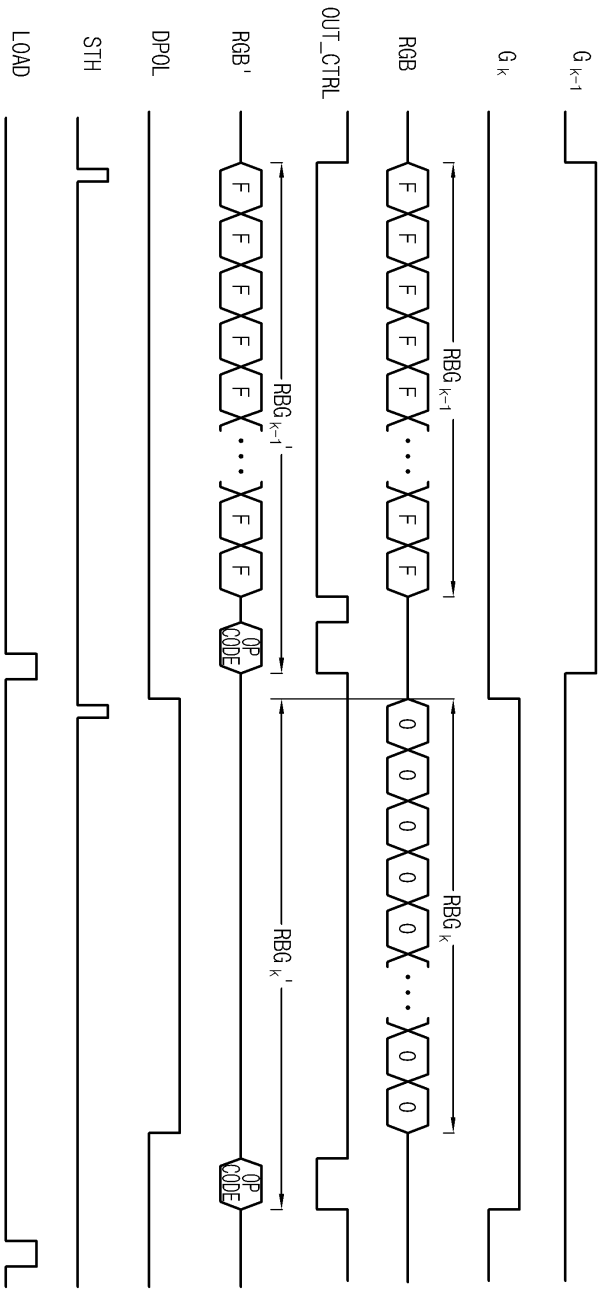
도면4


G k-1
G k
RGB
OUT_CTRL
RGB'
DPOL
STH
LOAD
RBG k-1
RBG k
RBG k-1'
RBG k'
OP CODE
"L"

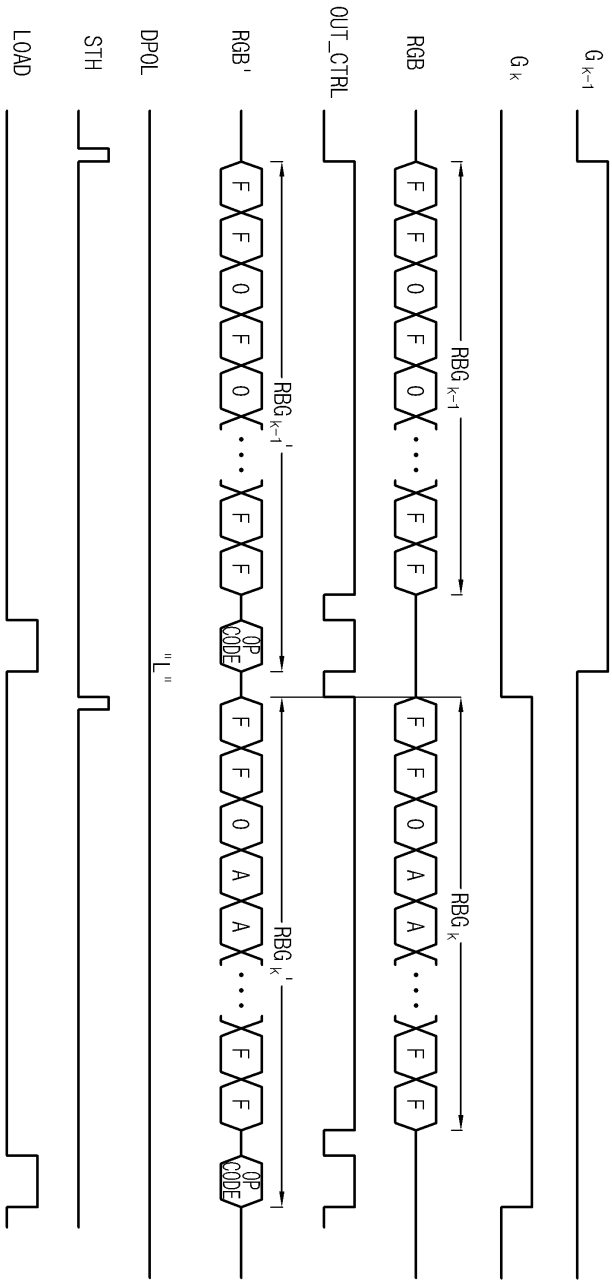
도면5


G k-1
G k
RGB
OUT_CTRL
RGB'
DPOL
STH
LOAD
RBG k-1
RBG k
RBG k-1'
RBG k'
OP CODE
OP CODE

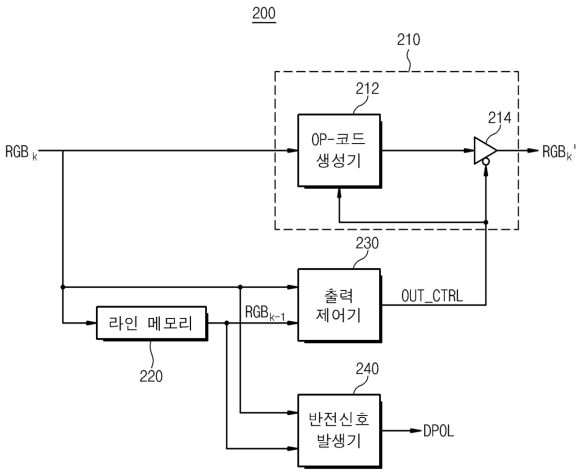
도면6


G k-1
G k
RGB
OUT_CTRL
RGB'
DPOL
STH
LOAD
RBG k-1
RBG k
RBG k-1'
RBG k'
OP CODE
OP CODE

도면7


G k-1
G k
RGB
OUT_CTRL
RGB'
DPOL
STH
LOAD
RBG k-1
RBG k
RBG k-1'
RBG k'
OP CODE
"L"

专利名称(译)	液晶显示器		
公开(公告)号	KR1020070074845A	公开(公告)日	2007-07-18
申请号	KR1020060002880	申请日	2006-01-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK DONG WON		
发明人	PARK,DONG WON		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3688 G09G2330/06 G09G2330/021		
代理人(译)	SE JUN OH KWON，HYUK SOO 宋，云何		
外部链接	Espacenet		

摘要(译)

液晶显示器包括对应于液晶面板的驱动栅极线的像素数据信号，定时控制器比较对应于先前驱动栅极线的先前像素数据信号，并根据比较结果输出控制信号，并选择性地输出输出像素数据信号和数据驱动器，用于响应来自控制信号和定时控制器的像素数据信号驱动数据线。目前，根据前一像素数据信号和像素数据信号的比较结果，通过选择性地提供输出像素数据信号，从时序控制器提供给源驱动器的信号大小从时序控制器减少到源驱动器。因此，功耗和EMI降低。