

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(11) 공개번호 10-2006-0064358 (43) 공개일자 2006년06월13일
---	--

(21) 출원번호	10-2004-0103178
-----------	-----------------

(22) 출원일자	2004년12월08일
-----------	-------------

(71) 출원인	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
----------	--------------------------------------

(72) 발명자	양준영 경기도 부천시 원미구 상1동 행복한마을 서해아파트2407-1303
----------	---

(74) 대리인	특허법인네이트
----------	---------

심사청구 : 없음

(54) 액정표시장치용 어레이기판 제조방법

요약

본 발명은 구동소자 및 스위칭소자로 다결정실리콘박막트랜지스터를 사용한 구동회로 일체형 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

본 발명은 구동회로 일체형 액정표시장치용 어레이기판을 제작함에 있어, 불순물을 도핑하기 위한 별도의 마스크공정을 생략하여 전체적인 공정을 줄일 수 있는 것을 특징으로 한다.

대표도

도 23b

명세서

도면의 간단한 설명

도 1은 일반적인 구동회로부 일체형 액정패널의 개략적인 평면도.

도 2는 어레이기판의 단일화소의 한 영역을 도시한 평면도.

도 3a와 3b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제1 마스크공정을 나타낸 단면도.

도 4a와 4b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제2 마스크공정을 나타낸 단면도.

도 5a와 5b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제3 마스크공정을 나타낸 단면도.

도 6a와 6b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제4 마스크공정을 나타낸 단면도.

도 7a와 7b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제5 마스크공정을 나타낸 단면도.

도 8a와 8b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제6 마스크공정을 나타낸 단면도.

도 9a와 9b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제7 마스크공정을 나타낸 단면도.

도 10a와 10b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제8 마스크공정을 나타낸 단면도.

도 11a와 11b는 종래에 따른 액정표시장치용 어레이기판의 제조공정 중 제9 마스크공정을 나타낸 단면도.

도 12a ~ 12b 내지 도 15a ~ 15b는 본 발명의 실시예에 따른 제1마스크공정을 순서에 따라 도시한 공정 단면도.

도 16a와 16b는 본 발명의 실시예에 따른 게이트절연막을 형성하는 공정을 도시한 단면도.

도 17a와 17b는 본 발명의 실시예에 따른 제2마스크공정을 도시한 공정 단면도.

도 18a와 18b는 본 발명의 실시예에 따른 제3마스크공정을 도시한 공정 단면도.

도 19a와 19b는 본 발명의 실시예에 따른 제4마스크공정을 도시한 공정 단면도.

도 20a와 20b는 본 발명의 실시예에 따른 n+ 불순물을 도핑하는 공정을 도시한 공정 단면도.

도 21a와 21b는 본 발명의 실시예에 따른 제5마스크공정을 도시한 공정 단면도.

도 22a와 22b는 본 발명의 실시예에 따른 제6마스크공정을 도시한 공정 단면도.

도 23a와 23b는 본 발명의 실시예에 따른 제7마스크공정을 도시한 공정 단면도.

<도면의 주요부분에 대한 부호의 설명>

F : LDD영역 V1 : 제1 액티브영역

V2(N, L) : 제2 액티브영역

100 : 기판 102 : 버퍼층

114, 116, 118 : 제1, 제2, 제3 액티브패턴

120 : 다결정실리콘 패턴 122 : 스토리지금속 패턴

124 : 게이트절연막 126, 128, 130 : 게이트전극

132 : 스토리지 배선 138 : 층간절연막

146a, 148a, 150a : 소스전극 146b, 148b, 150b : 드레인전극

152 : 보호층 154 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 다결정실리콘박막트랜지스터를 포함하는 구동회로 일체형 액정표시장치용 어레이기판의 구성과 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 박막트랜지스터(Thin Film Transistor ; TFT)를 포함하는 어레이기판과 컬러필터기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 이미지를 얻는 표시장치이다.

현재에는 상기 박막트랜지스터와 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있으며, 상기 박막 트랜지스터 소자의 활성층으로는 수소화된 비정질 실리콘(a-Si:H)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질실리콘은 원자배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링본드(dangling bond)가 존재하여 빛 조사나 전기장 인가 시 준안정상태로 변화되어 박막트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있으며, 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{ cm}^2/\text{V} \cdot \text{s}$)이 좋지 않아 구동회로로는 쓰기 어렵다.

반면, 폴리실리콘은 비정질실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있으며, 폴리실리콘을 이용하여 기판에 직접 구동회로를 만들면 실장이 매우 간단해 지고 액정패널을 더욱 콤팩트(compact)하게 제작할 수 있는 장점이 있다.

도 1은 일반적인 구동회로부 일체형 액정표시장치용 어레이기판의 개략도이다.

도시한 바와 같이, 절연 기판(2)은 크게 표시부(D1)와 비표시부(D2)로 정의될 수 있으며, 상기 표시부(D1)에는 다수의 화소(P)가 매트릭스 형태로 위치하고 각 화소마다 스위칭소자(T) 및 이와 연결된 화소전극(78)이 구성된다.

또한, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(GL)과 이와는 수직하게 교차하는 데이터배선(DL)이 구성된다.

상기 비표시부(D2)에는 구동회로부(GP, DP)가 구성되는데, 구동회로부(GP, DP)는 기판(2)의 일측에 위치하여 상기 게이트배선(GL)에 신호를 인가하는 게이트 구동회로부(GP)와, 이와는 평행하지 않은 기판(2)의 타측에 위치하여 상기 데이터배선(DL)에 신호를 인가하는 데이터 구동회로부(DP)가 구성된다.

또한, 상기 게이트 및 데이터 구동회로부(GP, DP)는 외부신호 입력단(OL)과 연결되어 있다.

상기 게이트 및 데이터 구동회로부(GP, DP)는 상기 외부신호 입력단(OL)을 통하여 입력된 외부신호를 내부에서 조절하여 각각 게이트 및 데이터배선(GL, DL)을 통해 화소부(P)로 디스플레이 컨트롤 신호 및 데이터신호를 공급하기 위한 장치이다.

따라서, 상기 게이트 및 데이터 구동회로부(GP, DP)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(complementary metal-oxide semiconductor)구조의 박막트랜지스터로 구성된다.

상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막트랜지스터에 사용되는 반도체 기술의 일종으로서, 음전기로 충전된 여분의 전자들(n형 반도체)과 양전기로 충전된 정공들(p형 반도체)을 이용하여 하나의 전도체를 형성하고, 상기 두 종류의 반도체들의 효과적인 전기제어에 의해 전류 게이트를 이루기 위한 상호 보완적인 방법으로 사용된다. 종래에서는, 상기 CMOS 소자로 n형, p형의 다결정박막트랜지스터를 사용하였다.

다음 도 2는 다결정박막트랜지스터를 포함하는 종래에 따른 어레이기판의 단일화소의 구성을 도시한 평면도이다.

도시한 바와 같이, 기판(2)상에 일방향으로 연장된 게이트배선(GL)과 이와 수직하게 교차하여 화소영역(P)을 정의하는 데이터배선(DL)이 구성된다.

상기 게이트배선(GL)과 데이터배선(DL)의 교차지점에는 폴리실리콘으로 형성된 액티브층(14)과, 액티브층(14)의 상부에 구성된 게이트전극(32)과, 상기 액티브층(14)과 접촉하는 소스전극(70)과 드레인전극(72)을 포함하는 박막트랜지스터(T)가 구성된다.

상기 화소영역(P)에는 상기 드레인전극(72)과 접촉하는 화소전극(78)이 구성된다.

또한 상기 화소영역(P)에는 스토리지 캐패시터(C_{ST})가 구성되는데 이는 불순물이 도핑된 다결정 패턴(16)을 제1전극으로 하고, 상기 제1전극의 상부에 형성되고 화소영역(P)을 가로지르는 스토리지 배선(34)을 제2전극으로 한다.

도 3a ~ 도 3b 내지 도 11a ~ 도 11b는 종래기술의 CMOS소자 박막트랜지스터의 마스크공정을 각각 도시한 단면도이다.

도 3a ~ 도 11a는 구동회로부를 도시한 단면도이고, 도 3b ~ 도 11b는 화소부를 도시한 단면도이다.

도 3a와 도 3b는 제1마스크공정을 나타낸 단면도이다.

전술한 바와 같이, 스위칭영역(C)의 n형 박막트랜지스터와, 구동회로 영역(D)에서 CMOS소자를 구성하는 n형 및 p형 박막트랜지스터는 단일 기판 상에 동일한 공정으로 제작된다.

도시한 바와 같이, 기판(2)상에 스위칭영역(C) 및 스토리지영역(ST)을 포함하는 화소영역(P)과 구동회로영역(D)을 정의하고, 산화실리콘(SiO_2)을 증착하여 버퍼층(4)을 형성한다.

상기 버퍼층(4) 상부의 구동회로영역(D)의 제1 액티브 패턴(10)과 제2 액티브 패턴(12) 및 스위칭영역(C)의 제3 액티브 패턴(14)을 제1마스크공정으로 형성하고, 상기 제3 액티브 패턴(14)에서 연장된 스토리지영역(ST)의 다결정실리콘 패턴(16)을 형성한다.

도 4a와 도 4b는 제2마스크 공정 단계를 도시한 도면으로, 상기 액티브패턴(10, 12, 14)이 형성된 기판(2)의 전면에 포토레지스트(photoresist)를 도포한 후 제2마스크 공정으로 패터닝하여, 상기 구동영역(D)과 스위칭영역(C)의 제1 내지 제3 액티브 패턴(10, 12, 14)을 덮는 제1 내지 제3 포토레지스트 패턴(20, 22, 24)을 형성한다. 이때, 상기 제3액티브 패턴(14)의 연장부 즉, 다결정실리콘 패턴(16)은 노출된 상태이다.

다음으로, 상기 노출된 다결정실리콘 패턴(16)에 n+ 또는 p+ 불순물 이온을 도핑하는 공정을 진행한다.

상기 불순물이 도핑된 다결정실리콘 패턴(16)은 스토리지 캐패시터(C_{ST})의 제1 전극의 역할을 하게 된다.

이어서, 상기 제1 내지 제3 포토레지스트 패턴(20, 22, 24)을 제거한다.

도 5a와 도 5b는 제3마스크 공정을 나타낸 단면도로서, 도시한 바와 같이, 상기 불순물이 도핑된 다결정실리콘 패턴(16)이 형성된 기판(2) 전면에 질화실리콘(SiN_x)과 산화실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트절연막(26)을 형성한다.

상기 게이트절연막(26)이 형성된 기판(2)의 전면에 알루미늄(Al), 알루미늄합금(AlNd)을 증착하고 제3마스크 공정으로 패터닝하여, 상기 제1 내지 제3 액티브 패턴(10, 12, 14) 상부에 각각 게이트전극(28, 30, 32)을 형성한다.

상기 제1 내지 제3 액티브 패턴(10, 12, 14)은 다결정실리콘층으로 형성된 것이며, 편의상 각 패턴을 제1 액티브영역(V1)과 제1 액티브영역(V1) 양측에 위치하는 제2 액티브영역(V2)으로 정의한다. 한편, 상기 구동영역(D)의 제1 액티브 패턴(10) 및 스위칭영역(C)의 제3 액티브 패턴(14)에서 제1 액티브영역(V1)과 제2 액티브영역(V2) 사이에 LDD영역(F)을 정의한다.

상기 게이트전극(28, 30, 32)는 제1 내지 제3 액티브패턴(10, 12, 14)의 제1 액티브영역(V1)에 대응한다.

동시에, 상기 화소영역(P)내의 스토리지영역(ST)상부 즉, 상기 불순물 이온이 도핑된 다결정실리콘 패턴(16)의 상부에 스토리지 배선(34)을 형성한다.

이때, 상기 다결정실리콘 패턴(16)을 제1 전극으로 하고, 상부의 스토리지 배선(34)을 제2 전극으로 하는 스토리지 캐패시터(C_{ST})가 구성된다.

다음으로, 상기 게이트전극(28, 30, 32)이 형성된 기판(2)의 전면에 저농도의 n형 불순물 이온을 도핑하는 공정을 진행한다.

전술한 도핑공정으로, 상기 게이트전극(28, 30, 32)의 주변으로 노출된 제1 내지 제3 액티브 패턴(10, 12, 14)의 제2액티브영역(V2)과 LDD영역(F)에는 저농도 n형 불순물 이온이 도핑된 상태가 된다.

도 6a와 도 6b는 제4마스크 공정을 나타낸 도면으로, 상기 노출된 제1 내지 제3 액티브 패턴(10, 12, 14)의 표면에 저농도 n형 불순물 이온 도핑이 진행된 기판(2)의 전면에 포토레지스트(photoresist)를 도포한 후 제4마스크 공정으로 패터닝하여, 상기 구동영역(D)에 형성된 제1 액티브 패턴(10)의 제1 액티브영역(V1) 및 LDD 영역(F)을 덮는 제1 포토레지스트 패턴(36)과, 제2 액티브 패턴(12)을 덮는 제2 포토레지스트 패턴(38)과, 제3 액티브 패턴(14)의 제1 액티브영역(V1) 및 LDD영역(F)을 덮는 제3 포토레지스트 패턴(40)을 형성한다. 이때, 제1, 제3 액티브 패턴(10, 14)의 제2 액티브영역(V2)이 노출된 상태가 된다.

다음으로, 상기 제1 내지 제3 포토레지스트 패턴(36, 38, 40)이 형성된 기판(2)의 전면에 고농도의 n형 이온을 도핑하는 공정을 진행한다.

이와 같이 하면, 상기 노출된 제1액티브 패턴(10)과, 상기 스위칭영역(C)의 노출된 제3 액티브 패턴(14)의 제2 액티브영역(V2)에 고농도의 n형 이온이 도핑 되어 이 부분은 오믹콘택층(ohmic contact layer)으로서 기능을 하게 된다.

다음으로, 상기 제1 내지 제3 포토레지스트 패턴(36, 38, 40)을 제거하는 공정을 진행한다.

도 7a와 도 7b는 제5마스크 공정을 나타낸 도면으로, 도시한 바와 같이 상기 고농도의 n형 이온을 도핑하는 공정을 진행한 기판(2)의 전면에 포토레지스트를 도포한 후 제 5마스크 공정으로 패터닝하여, 상기 구동영역(D)의 제1 액티브 패턴(10)과 화소영역(P)을 각각 덮는 제1, 제2 포토레지스트 패턴(42, 44)을 형성한다.

제1포토레지스트 패턴(42)은 제1액티브 패턴(10)을 덮으며, 제2포토레지스트 패턴(44)은 제3 액티브 패턴(14)과 스토리지영역(ST)의 연장부(16)를 덮게 된다.

다음으로, 상기 제1, 제2 포토레지스트 패턴(42, 44)이 형성된 기판(2)의 전면에 고농도 p형 이온을 도핑하는 공정을 진행하여, 상기 제2 액티브 패턴(12)의 제2액티브영역(V2)에 고농도의 p형 이온을 도핑한다.

고농도의 p형 이온이 도핑된 영역 또한, 오믹콘택층(ohmic contact layer)으로서의 기능을 하게 된다.

다음으로 상기 제1, 제2 포토레지스트 패턴(42, 44)을 제거한다.

도 8a와 도 8b는 제6마스크 공정을 나타낸 도면으로, 도시한 바와 같이, 고농도 p형이온을 도핑하는 공정이 진행된 기판(2)의 전면에 산화실리콘(SiO_2)을 증착하여, 층간 절연막(46)을 형성한 후 제 6 마스크 공정으로 패터닝하여, 상기 제1 액티브 패턴(10)의 제2 액티브영역(V2)을 노출하는 제1 콘택홀(50)과 제2 콘택홀(52)을 형성하고, 상기 제2 액티브 패턴(12)의 제2 액티브영역(V2)을 노출하는 제3 콘택홀(54)과 제4 콘택홀(56)을 형성하고, 상기 제3 액티브 패턴(14)의 제2 액티브영역(V2)을 노출하는 제5 콘택홀(58)과 제6 콘택홀(60)을 형성한다.

도 9a와 도 9b는 제7마스크 공정을 나타낸 도면으로, 도시한 바와 같이, 상기 층간절연막(46)이 형성된 기판(2)에 도전성 금속 그룹 중 선택된 하나를 증착하고 제7마스크 공정으로 패터닝하여, 상기 각 제1, 제3, 제5 콘택홀(50, 54, 58)을 통해 노출된 제1 내지 제3 액티브 패턴(10, 12, 14)의 제2 액티브영역(V2)과 각각 접촉하는 소스전극(62, 66, 70)과, 상기 제2, 제4, 제6 콘택홀(52, 56, 60)을 통해 노출된 다른 제2 액티브영역(V2)과 각각 접촉하는 드레인전극(64, 68, 72)을 형성한다.

도 10a와 도 10b는 제8마스크 공정을 나타낸 도면으로, 도시한 바와 같이, 상기 소스/드레인전극(62, 66, 70/64, 68, 72)이 형성된 기판(2)의 전면에 무기절연물질을 증착하여 보호막(74)을 형성한다.

다음으로, 상기 보호막(74)을 제8마스크 공정으로 패터닝하여, 상기 스위칭 영역(C)의 드레인전극(72)을 노출하는 드레인 콘택홀(76)을 형성한다.

도 11a와 도 11b는 제9마스크 공정을 나타낸 도면으로, 상기 보호막(74)이 형성된 기판(2)의 전면면에 인듐-틴-옥사이드(ITO)를 증착하고 패터닝하여, 상기 드레인콘택홀(76)을 통해 노출된 드레인전극(72)과 접촉하면서 상기 화소영역(P)에 위치하는 화소전극(78)을 형성한다.

전술한 바와 같은 공정을 통해, 구동 영역과 스위칭영역에 다결정 박막트랜지스터로 구성된 CMOS 소자와 스위칭소자를 포함하는 종래에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

그러나, 종래에 따른 액정표시장치용 어레이기판의 제조방법은 공정수가 상당히 많으며, 이와 같이 공정수가 많게 되면 액정표시장치를 제작함에 있어 불량발생 확률을 높이는 동시에, 공정 시간 지연 및 공정 비용을 높여 제품의 수율을 떨어뜨리는 문제가 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제를 해결하기 위해 제안된 것으로, 본 발명의 목적은 불순물 도핑 시 마스크 공정을 줄여 어레이기판을 제작하는 방법을 제안한다.

본 발명은 공정수를 낮추어 불량발생 확률을 현저히 줄이고, 공정시간 단축 및 공정비용을 절감할 수 있도록 하는 것을 목적으로 한다.

발명의 구성 및 작용

전술한 바와 같은 목적을 달성하기 위해, 본 발명은 기판을 스위칭영역 및 스토리지영역을 포함하는 화소영역과 n영역과 p영역을 포함하는 구동영역으로 정의하는 단계와; 상기 기판의 전면면에 버퍼층을 형성하는 단계와; 상기 버퍼층의 상부에, 상기 n영역에 위치하며 제1 및 제2 액티브영역 및 LDD영역을 포함하는 제1 액티브 패턴과, 상기 p영역의 제1 및 제2 액티브영역을 포함하는 제2 액티브 패턴과, 상기 스위칭영역에 위치하며 제1 및 제2 액티브영역 및 LDD영역을 포함하는 제2 액티브 패턴, 스토리지영역에 위치하는 연장부를 형성하는 단계와; 상기 제1 내지 제3 액티브 패턴 및 연장부의 상부에 게이트절연막을 형성하는 단계와; 상기 게이트절연막 상부에 위치하며, 제1 내지 제3 액티브 패턴과 대응하는 제1 내지 제3 게이트전극을 형성하고, 상기 연장부와 대응하는 스토리지 배선을 형성하는 단계와;

상기 제1 내지 제3 게이트전극을 포함하는 기판에 저농도 n형 이온을 도핑하는 단계와; 상기 제2 게이트전극의 주변으로 노출된 상기 제2 액티브 패턴의 제2 액티브영역에 고농도 p형 이온을 도핑하는 단계와; 상기 고농도 p형 이온이 도핑된 제2 액티브 패턴을 포함하는 기판의 전면면에 층간절연막을 형성하고, 상기 층간절연막을 패터닝하여 상기 제1 내지 제3 액티브 패턴의 제2 액티브영역을 각각 노출하는 콘택홀을 형성하는 단계와; 상기 콘택홀을 통해 노출된 각각의 제2 액티브영역에 고농도 n형 이온을 도핑하는 단계와; 상기 고농도 n형 이온이 도핑된 각각의 제2 액티브영역과 접촉하고 서로 이격된 제1 내지 제3 소스전극 및 제1 내지 제3 드레인전극을 형성하는 단계와; 상기 제1 내지 제3 소스전극 및 제1 내지 제3 드레인전극이 형성된 기판의 전면면에 드레인콘택홀을 포함하는 보호층을 형성하는 단계와;

상기 드레인콘택홀을 통해 제3 드레인전극과 접촉하는 화소전극을 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법을 제공한다.

상기 연장부의 상부에는 스토리지금속 패턴을 형성하는 단계를 더욱 포함하는 것을 특징으로 하며, 상기 연장부와 스토리지금속 패턴은 동일한 마스크공정에서 형성되는 것을 특징으로 한다.

또한, 상기 마스크 공정은 기판의 전면면에 다결정실리콘층을 형성하는 단계와; 상기 다결정실리콘층의 상부에 도전성 금속층을 형성하는 단계와; 상기 금속층이 형성된 기판의 전면면에 포토레지스트층을 형성하고, 포토레지스트층의 상부에 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키는 단계와; 상기 마스크의 상부로 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여 상기 n영역과 p영역에 제1두께의 제1 및 제2 포토레지스트 패턴을 형성하고, 상기 스위칭영역에 상기 제1두께의 제3 포토레지스트 패턴을 형성하고, 상기 스토리지영역에 상기 제1두께보다 두꺼운 제2두께의 제4 포토레지스트 패턴을 형성하는 단계와; 상기 제1 내지 제4 포토레지스트 패턴의 주변으로 노출된 하부의 금속층과 다결정실리콘층을 제거하여 금속패턴과 다결정실리콘패턴을 형성하는 단계와; 상기 제1 내지 제3 포토레지스트 패턴을 제거하여, 그 하부의 금속패턴을 노출하여, 상기 금속패턴을 제거하는 단계와; 상기 제4 포토레지스트 패턴을 제거하는 단계를 포함한다.

상기 마스크의 반투과부는 상기 n영역과 p영역과, 상기 스위칭영역에 구성하고, 상기 마스크의 차단부는 상기 스토리지영역에 위치하도록 하는 것을 특징으로 하며, 상기 고농도 n형 이온 도핑은 상기 콘택홀을 포함한 층간절연막이 마스크 역할을 하는 것을 특징으로 한다.

또한, 상기 고농도 n형 이온은 상기 고농도 p형 이온보다 적은양을 도핑하는 것을 특징으로 하며, 상기 제1, 제3 액티브 패턴의 제2 액티브 영역은 고농도 n형 이온이 도핑되고, 제1 액티브 영역은 도핑 되지 않으며, 제1 액티브영역과 제2 액티브 영역의 사이에 형성된 LDD영역 및 제2 액티브영역의 양 끝의 영역에는 저농도 n형 이온이 도핑된 것을 특징으로 한다.

또한, 상기 제2 액티브 패턴의 제2 액티브영역에는 고농도 p형 이온이 도핑되며, 제1 액티브영역에는 도핑되지 않는 것을 특징으로 한다.

스위칭영역 및 스토리지 영역을 포함하는 화소영역과, 구동영역이 정의된 기판과; 상기 기판의 전면에서 형성된 버퍼층과; 상기 버퍼층의 상부에 형성되며, 제1 및 제2 액티브영역을 포함하는 제1 내지 제3 액티브 패턴과; 상기 스토리지영역에 위치하고 상기 스위칭영역의 제3 액티브 패턴에서 연장된 연장부와; 상기 제1 내지 제3 액티브 패턴 상부에 형성된 게이트절연막과; 상기 상기 제1 내지 제3 액티브 패턴 상부의 게이트절연막 상부에 각각 형성된 제1 내지 제3 게이트전극과; 상기 연장부의 상부에 구성되며, 상기 게이트절연막 상부에 형성되는 스토리지 배선과; 상기 제1 내지 제3 게이트전극 상부에 형성되며, 상기 제1 내지 제3 액티브 패턴의 제2 액티브영역이 노출되는 콘택홀을 포함하는 층간절연막과; 상기 노출된 콘택홀을 통해 상기 액티브 패턴의 제2 액티브영역에 접촉되도록 형성된 제1 내지 제3 소스전극 및 제1 내지 제3 드레인전극과; 상기 제1 내지 제3 소스전극 및 제1 내지 제3 드레인전극이 형성된 기판의 전면에서 형성되며, 상기 제3 드레인전극을 노출하는 드레인콘택홀을 포함하도록 형성된 보호층과; 상기 드레인콘택홀을 통해 제3 드레인전극과 접촉하는 화소전극을 포함하고, 상기 제2 액티브영역은 콘택홀의 크기와 동일하게 형성되는 것을 더욱 포함하는 액정표시장치용 어레이기판을 제공한다.

상기 제1, 제3 액티브 패턴은 제1 액티브영역과 제2 액티브영역의 사이에 형성된 LDD영역을 더욱 포함하는 것을 특징으로 하며, 상기 스토리지배선의 상부에는 스토리지금속 패턴이 형성되는 것을 특징으로 한다.

상기 제1, 제3 액티브 패턴의 제2 액티브 영역은 고농도 n형 이온이 도핑된 영역이고, 제1 액티브 영역은 도핑 되지 않았으며, 제1 액티브영역과 제2 액티브영역의 사이에 형성된 LDD영역 및 제2 액티브영역의 양 끝의 영역에는 저농도 n형 이온이 도핑된 것을 특징으로 하며, 상기 제2 액티브 패턴의 제2 액티브 영역에는 고농도 p형 이온이 도핑되어 있으며, 제1 액티브영역에는 도핑되지 않는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

도 12a ~ 도 12b 내지 도 23a ~ 도 23b는 본 발명의 실시예에 따른 폴리실리콘 박막트랜지스터를 포함하는 어레이기판의 제조공정을 각각 도시한 단면도로 구동회로부의 CMOS소자와 표시부의 스위칭소자를 포함한다.

도 12a ~ 도 12b 내지 도 15a ~ 도 15b는 제1마스크공정을 나타낸 단면도이다.

도 12a ~ 15a는 구동회로부를 도시한 단면도이고, 도 12b ~ 15b는 스위칭소자부를 도시한 단면도이다.

도시한 바와 같이, 기판(100)상에 N영역과 P영역으로 구성된 구동회로영역(D)과 스위칭영역(C) 및 스토리지영역(ST)을 포함하는 화소영역(P)을 정의하고, 실리콘절연물질을 증착하여 버퍼층(102)을 형성한다.

다음으로 상기 버퍼층(102)의 상부에 비정질실리콘층(미도시)을 증착하고, 탈수소화 공정을 거친 후, 열을 이용하여 결정화를 진행함으로써 다결정실리콘층(103)을 형성한다.

다음으로 상기 다결정실리콘층(103)의 상부에 도전성금속층(105)을 형성한 후, 상기 도전성금속층(105)의 상부에 포토레지스트(Photoresist)를 도포하여 포토레지스트 층(108)을 형성한다.

다음으로 상기 포토레지스트 층(108)의 이격된 상부에 마스크를 위치시킨다.

다음으로 상기 마스크의 상부로부터 특정한 빛을 조사하여 하부의 포토레지스트 층(108)을 노광하고 현상하는 공정을 진행한다.

상기 마스크의 반투과부가 스위칭영역(C)과 구동영역(D)에 각각 위치하여, 마스크의 차단부는 상기 스토리지영역(ST)에 대응하여 위치하며, 그 외의 영역에는 투과부가 위치하도록 한다.

이와 같이 하면, 도 13a와 도 13b에 도시한 바와 같이, 구동영역(D)과 스위칭영역(C)에 대응하여 최초의 높이보다 낮은 높이를 가지는 제1 내지 제3 포토레지스트 패턴(110a, 110b, 110c)이 형성되며, 상기 스토리지영역(ST)에 대응하여 최초의 높이를 유지하며 패터닝된 제4 포토레지스트 패턴(112)이 형성된다.

도 14a와 도 14b에 도시한 바와 같이, 상기 제1 내지 제4 포토레지스트 패턴(110a, 110b, 110c, 112)의 사이로 노출된 도전성금속층(도 13a ~ 13b의 105)과 그 하부의 다결정실리콘층(도 13a ~ 13b의 103)을 식각하는 공정을 진행한다.

이때, 일반적으로 도전성금속층(도 13a ~ 13b의 105)은 습식식각 방식으로 제거되고, 그 하부의 다결정실리콘층(도 13a ~ 13b의 103)은 건식식각 방식을 통해 제거할 수 있다.

상기 식각공정에 의해 도전성금속 패턴(106)과 다결정실리콘 패턴(104)이 형성된다.

다음으로, 도 15a와 도 15b에 도시한 바와 같이, 상기 구동영역(D)과 스위칭영역(C)에 위치하는 제1 내지 제3 포토레지스트 패턴(110a, 110b, 110c)을 제거하는 공정을 진행한다. 이때, 에칭(ashing)을 이용할 수 있다.

이와 같이 하면, 상기 구동영역(D)과 스위칭영역(C)에 위치하는 도전성금속 패턴(106)이 노출되고, 상기 스토리지영역(ST)에 대응하여 제4 포토레지스트 패턴(112)이 상부로부터 일부가 깎여져 그 두께가 처음에 비해 얇아진 형상이 된다.

다음으로, 상기 노출된 도전성금속 패턴(106)을 제거하고, 상기 제4 포토레지스트 패턴(112)을 제거하는 공정을 진행한다.

이와 같이 하면, 도 16a와 16b에 도시한 바와 같이, 상기 스위칭영역(C)과 구동영역(D)에 대응하여 제1 내지 제3 액티브 패턴(114, 116, 118)만이 남고, 상기 스토리지영역(ST)에는 상기 스위칭영역(C)의 제3 액티브 패턴(118)에서 연장된 다결정실리콘 패턴(120)과, 상기 다결정실리콘 패턴(120)의 상부에는 스토리지금속 패턴(122)이 형성된다.

다음으로, 상기 제1 내지 제3 액티브 패턴(114, 116, 118)과 다결정실리콘 패턴(120) 및 스토리지금속 패턴(122)이 형성된 기판(100)의 전면에서 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(124)을 형성한다.

도 17a와 17b는 제2마스크 공정을 나타낸 단면도로서, 도시한 바와 같이, 상기 게이트절연막(124)이 형성된 기판(100)의 전면에서 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr)을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 제2마스크 공정으로 패터닝하여, 상기 제1 내지 제3 액티브 패턴(114, 116, 118)의 각 제1 액티브영역(V1)에 대응하여, 게이트전극(126, 128, 130)을 형성한다.

이때, 제1 내지 제3 액티브 패턴(114, 116, 118)은 제1 액티브영역(V1)과 제1 액티브영역(V1) 양측에 위치하는 제2 액티브영역(V2)으로 정의한다.

또한, 상기 구동영역(D)의 제1 액티브 패턴(114)과 스위칭영역(C)의 제3 액티브 패턴(118)의 제1 액티브영역(V1)과 제2 액티브영역(V2)의 사이를 LDD 영역(F)으로 정의한다.

상기 LDD영역(F)은 핫캐리어(Hot carrier)들을 분산시키기 위한 목적으로 구성되는 것이며, 이 영역은 도핑농도가 낮기 때문에 누설전류(I_{off})의 증가를 방지하여 온(On)상태의 전류의 손실을 막는 역할을 한다.

또한, 상기 화소영역(P)에는 상기 제3 액티브 패턴(118)에서 연장된 다결정실리콘 패턴(120)의 상부에 구성된 스토리지금속 패턴(122)과 겹치지면서 화소영역(P)의 양측으로 연장된 스토리지 배선(132)을 형성한다.

이때, 도시하지는 않았지만 상기 스위칭영역(C)에 구성된 게이트전극(130)과 접촉하는 게이트배선을 형성한다.

그리고, 상기 제1 내지 제3 게이트 전극(126, 128, 130)이 노출된 기판(100)의 전면에 저농도 n형 이온을 도핑하는 공정을 진행한다.

이와 같이 하면, 제1 내지 제3 게이트 전극(126, 128, 130)의 주변으로 노출된 제1, 제3 액티브 패턴(114, 118)의 제2 액티브영역(V2) 및 LDD 영역(F)과 제2 액티브 패턴(116)의 제2 액티브영역(V2)에 저농도 n형 이온이 도핑된다.

도 18a와 도 18b는 제3마스크 공정을 나타낸 단면도로서, 도시한 바와 같이, 상기 제1 내지 제3 액티브 패턴(114, 116, 118)에 저농도 n형 이온이 도핑된 기판(100)의 전면에 포토레지스트를 도포한 후 제3마스크공정으로 패터닝하여 제2액티브 패턴(116)만을 노출하는 포토레지스트 패턴(136)을 형성한다.

다음으로 상기 제2액티브 패턴(116)만을 노출하는 포토레지스트 패턴(136)이 형성된 기판(100)의 전면에 고농도 P형 이온을 도핑하는 공정을 진행하여, 상기 제2 액티브 패턴(116)에 위치하고 상기 제2 게이트전극(128)의 주변의 제2 액티브영역(V2)에 고농도 p형 이온을 도핑한다.

앞서 제2마스크 공정에서 상기 제2 액티브 패턴(116)의 제2 액티브영역(V2)은 이미 n-불순물이 도핑된 상태이나, 이는 저농도 도핑이기 때문에 이부분에 고농도 p형 이온을 도핑하게 되면 저농도 n형 이온의 영향은 거의 없게 된다.

상기 고농도 p형 이온이 도핑된 제2 액티브 패턴(116)의 제2 액티브영역(V2)은 이후에 오믹콘택층의 기능을 하게 된다.

다음으로, 상기 포토레지스트 패턴(136)을 제거하는 공정을 진행한다.

도 19a ~ 도 19b와 도 20a ~ 도 20b는 제4마스크 공정을 도시한 도면이다.

도 19a와 도 19b에 도시한 바와 같이, 앞선 공정에서 고농도 p형 이온이 도핑된 기판(100)의 전면에 질화실리콘(SiN_x)과 산화실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 층간절연막(138)을 형성한다.

다음으로, 상기 층간절연막(138)의 상부에 포토레지스트를 도포하여 포토레지스트층(142)을 형성한다.

다음으로, 상기 포토레지스트층(142)의 상부에 마스크를 위치한다.

다음으로, 상기 마스크의 상부로 빛을 조사하여 하부의 포토레지스트층(142)을 노광하고 현상하는 공정을 진행하여, 포토레지스트 패턴(144)을 형성한다.

다음으로 도 20a와 도 20b에 도시한 바와 같이, 상기 마스크의 투과부에 대응하는 부분은 완전히 제거되어 하부의 층간절연막(138)과 게이트절연막(126)을 순차 제거하여 상기 제1 내지 제3 액티브 패턴(114, 116, 118)의 제2 액티브영역(V2)을 노출하게 된다.

따라서, 제1 액티브 패턴(114)의 제2 액티브 영역(V2)을 노출하는 제1 콘택홀(121)과 제2 콘택홀(131)을 형성하고, 상기 제2 액티브 패턴(116)의 제2 액티브영역(V2)을 노출하는 제3 콘택홀(141)과 제4 콘택홀(151)을 형성하고, 상기 제3 액티브 패턴(118)의 제2 액티브영역(V2)을 노출하는 제5 콘택홀(161)과 제6 콘택홀(171)을 형성한다.

다음으로, 상기 콘택홀(121, 131, 141, 151, 161, 171)을 통해 노출된 제2 액티브영역(V2)의 N영역에 고농도 n형 이온을 도핑하는 공정을 진행한다.

이와 같이 하면 상기 제1 액티브 패턴(114)과 제3 액티브 패턴(118)에 위치한 제2 액티브 영역(V2)에 고농도 n형 이온이 도핑된다.

그리고, 제2 액티브영역(V2) 중 상기 고농도 n형 이온이 도핑된 제2 액티브영역(V2)의 N영역 이외의 영역에는 저농도 n형 이온이 도핑된 채로 남아있는 L영역이 형성된다. 즉, 상기 제2 액티브영역(V2)은 N영역과 L영역을 포함한다.

또한, 제2 액티브 영역(V2)에 이미 저농도 n형 이온이 도핑된 상태이나 이는 저농도 도핑이기 때문에 이부분에 고농도 n형 이온을 도핑하게 되면 저농도 n형 이온의 영향은 거의 없게 된다.

이때, 제2 액티브 패턴(116)의 제2 액티브영역에도 고농도 n형 이온이 도핑되나, 고농도 n형 이온의 양은 고농도 p형 이온의 양보다 작게 하여 제2 액티브 패턴(116)에서 고농도 p형 이온의 형태 전환이 일어나지 않게 한다.

상기 불순물이온이 도핑된 액티브 패턴은 오믹콘택층의 기능을 하게 된다.

다음으로 구동영역(D)과 스위칭영역(C)에 형성된 포토레지스트 패턴(144)을 제거한다.

도 21a와 도 21b는 제 5마스크공정을 나타낸 도면으로, 기판(100)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu)등을 포함하는 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착한 후 제 5 마스크 공정으로 패터닝 하여, 상기 제1, 제3, 제5콘택홀(121, 141, 161) 및 제2, 제4, 제6콘택홀(131, 151, 171)을 통해 노출된 제1 내지 제3 액티브 패턴(114, 116, 118)의 제2 액티브영역(V2)과 각각 접촉하는 소스전극(146a, 148a, 150a)과 드레인전극(146b, 148b, 150b)을 형성한다.

도 22a와 도 22b는 제6마스크공정을 나타낸 도면으로, 도시한 바와 같이, 상기 소스/드레인전극(146a, 148a, 150a/146b, 148b, 150b)이 형성된 기판(100)의 전면에 무기절연물질을 증착하여 보호막(152)을 형성한다.

다음으로 상기 보호막(152)을 제6마스크공정으로 패터닝하여 상기 스위칭영역(C)의 드레인전극(150b)을 노출하는 드레인 콘택홀(154)을 형성한다.

도 23a와 도 23b는 제7마스크공정을 나타낸 도면으로, 상기 보호막(152)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)를 증착하고 패터닝하여 상기 스위칭영역(C)의 노출된 드레인전극(150b)과 접촉하면서 상기 화소영역(P)에 위치하는 화소전극(156)을 형성한다.

본 발명은 상기 실시예들로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도내에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

위에 상술한 바와 같이, 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판의 제조방법은 종래기술과 비교하여 2개의 마스크 공정을 줄일 수 있으며, 특히 불순물 도핑 시의 마스크공정을 줄이는 효과가 있다.

따라서, 공정 중 발생할 수 있는 불량확률을 줄이고, 공정시간을 단축 할 수 있다.

또한, 이에 따른 수율증가를 가져오게 된다.

(57) 청구의 범위

청구항 1.

기판을 스위칭영역 및 스토리지영역을 포함하는 화소영역과 n영역과 p영역을 포함하는 구동영역으로 정의하는 단계와;

상기 기판의 전면에 버퍼층을 형성하는 단계와;

상기 버퍼층의 상부에, 상기 n영역에 위치하며 제1 및 제2 액티브영역 및 LDD영역을 포함하는 제1 액티브 패턴과, 상기 p영역의 제1 및 제2 액티브영역을 포함하는 제2 액티브 패턴과, 상기 스위칭영역에 위치하며 제1 및 제2 액티브영역 및 LDD영역을 포함하는 제2 액티브 패턴, 스토리지영역에 위치하는 연장부를 형성하는 단계와;

상기 제1 내지 제3 액티브 패턴 및 연장부의 상부에 게이트절연막을 형성하는 단계와;

상기 게이트절연막 상부에 위치하며, 제1 내지 제3 액티브 패턴과 대응하는 제1 내지 제3 게이트전극을 형성하고, 상기 연장부와 대응하는 스토리지 배선을 형성하는 단계와;

상기 제1 내지 제3 게이트전극을 포함하는 기판에 저농도 n형 이온을 도핑하는 단계와;

상기 제2 게이트전극의 주변으로 노출된 상기 제2 액티브 패턴의 제2 액티브영역에 고농도 p형 이온을 도핑하는 단계와;

상기 고농도 p형 이온이 도핑된 제2 액티브 패턴을 포함하는 기판의 전면에 층간절연막을 형성하고, 상기 층간절연막을 패터닝하여 상기 제1 내지 제3 액티브 패턴의 제2 액티브영역을 각각 노출하는 콘택홀을 형성하는 단계와;

상기 콘택홀을 통해 노출된 각각의 제2 액티브영역에 고농도 n형 이온을 도핑하는 단계와;

상기 고농도 n형 이온이 도핑된 각각의 제2 액티브영역과 접촉하고 서로 이격된 제1 내지 제3 소스전극 및 제1 내지 제3 드레인전극을 형성하는 단계와;

상기 제1 내지 제3 소스전극 및 제1 내지 제3 드레인전극이 형성된 기판의 전면에 드레인콘택홀을 포함하는 보호층을 형성하는 단계와;

상기 드레인콘택홀을 통해 제3 드레인전극과 접촉하는 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 2.

제 1항에 있어서,

상기 연장부의 상부에는 스토리지금속 패턴을 형성하는 단계를 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판 제조방법.

청구항 3.

제 2항에 있어서,

상기 연장부와 스토리지금속 패턴은 동일한 마스크공정에서 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 4.

제 3항에 있어서,

상기 마스크 공정은

기판의 전면에 다결정실리콘층을 형성하는 단계와;

상기 다결정실리콘층의 상부에 도전성 금속층을 형성하는 단계와;

상기 금속층이 형성된 기판의 전면에 포토레지스트층을 형성하고, 포토레지스트층의 상부에 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여 상기 N영역과 P영역에 제1두께의 제1 및 제2 포토레지스트 패턴을 형성하고, 상기 스위칭영역에 상기 제1두께의 제3 포토레지스 패턴을 형성하고, 상기 스토리지영역에 상기 제1두께보다 두꺼운 제2두께의 제4 포토레지스트 패턴을 형성하는 단계와;

상기 제1 내지 제4 포토레지스트 패턴의 주변으로 노출된 하부의 금속층과 다결정실리콘층을 제거하여 금속패턴과 다결정실리콘패턴을 형성하는 단계와;

상기 제1 내지 제3 포토레지스트 패턴을 제거하여, 그 하부의 금속패턴을 노출하여, 상기 금속패턴을 제거하는 단계와;

상기 제4 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 5.

제 4항에 있어서,

상기 마스크의 반투과부는 상기 N영역과 P영역과, 상기 스위칭영역에 구성하고, 상기 마스크의 차단부는 상기 스토리지영역에 위치하도록 하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 6.

제 1항에 있어서,

상기 고농도 n형 이온 도핑은 상기 콘택홀을 포함한 층간절연막이 마스크 역할을 하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 7.

제 1항에 있어서,

상기 고농도 n형 이온은 상기 고농도 p형 이온보다 적은양을 도핑하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 8.

제 1항에 있어서,

상기 제1, 제3 액티브 패턴의 제2 액티브 영역은 고농도 n형 이온이 도핑되고, 제1 액티브 영역은 도핑 되지 않으며, 제1 액티브영역과 제2 액티브영역의 사이에 형성된 LDD영역 및 제2 액티브영역의 양 끝의 영역에는 저농도 n형 이온이 도핑된 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 9.

제 1항에 있어서,

상기 제2 액티브 패턴의 제2 액티브영역에는 고농도 p형 이온이 도핑되며, 제1 액티브영역에는 도핑되지 않는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 10.

스위칭영역 및 스토리지 영역을 포함하는 화소영역과, 구동영역이 정의된 기판과;

상기 기판의 전면에 형성된 버퍼층과;

상기 버퍼층의 상부에 형성되며, 제1 및 제2 액티브영역을 포함하는 제1 내지 제3 액티브 패턴과;

상기 스토리지영역에 위치하고 상기 스위칭영역의 제3 액티브 패턴에서 연장된 연장부와;

상기 제1 내지 제3 액티브 패턴 상부에 형성된 게이트절연막과;

상기 상기 제1 내지 제3 액티브 패턴 상부의 게이트절연막 상부에 각각 형성된 제1 내지 제3 게이트전극과;

상기 연장부의 상부에 구성되며, 상기 게이트절연막 상부에 형성되는 스토리지 배선과;

상기 제1 내지 제3 게이트전극 상부에 형성되며, 상기 제1 내지 제3 액티브 패턴의 제2 액티브영역이 노출되는 콘택홀을 포함하는 층간절연막과;

상기 노출된 콘택홀을 통해 상기 액티브 패턴의 제2 액티브영역에 접촉되도록 형성된 제1 내지 제3 소스전극 및 제1 내지 제3 드레인전극과;

상기 제1 내지 제3 소스전극 및 제1 내지 제3 드레인전극이 형성된 기판의 전면에 형성되며, 상기 제3 드레인전극을 노출하는 드레인콘택홀을 포함하도록 형성된 보호층과;

상기 드레인콘택홀을 통해 제3 드레인전극과 접촉하는 화소전극

을 포함하고, 상기 제2 액티브영역은 콘택홀의 크기와 동일하게 형성되는 것을 더욱 포함하는 액정표시장치용 어레이기판.

청구항 11.

제 10항에 있어서,

상기 제1, 제3 액티브 패턴은 제1 액티브영역과 제2 액티브영역의 사이에 형성된 LDD영역을 더욱 포함하는 것을 특징으로 하는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 12.

제 10항에 있어서,

상기 스토리지배선의 상부에는 스토리지금속 패턴이 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 13.

제 10항에 있어서,

상기 제1, 제3 액티브 패턴의 제2 액티브 영역은 고농도 n형 이온이 도핑된 영역이고, 제1 액티브 영역은 도핑 되지 않았으며, 제1 액티브영역과 제2 액티브영역의 사이에 형성된 LDD영역 및 제2 액티브영역의 양끝의 영역에는 저농도 n형 이온이 도핑된 것을 특징으로 하는 액정표시장치용 어레이기판.

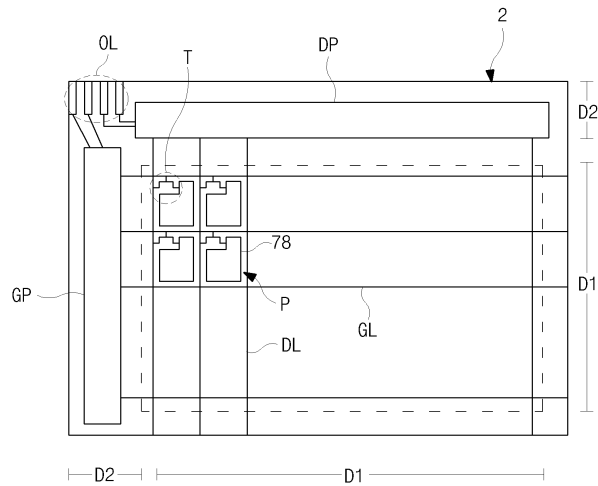
청구항 14.

제 10항에 있어서,

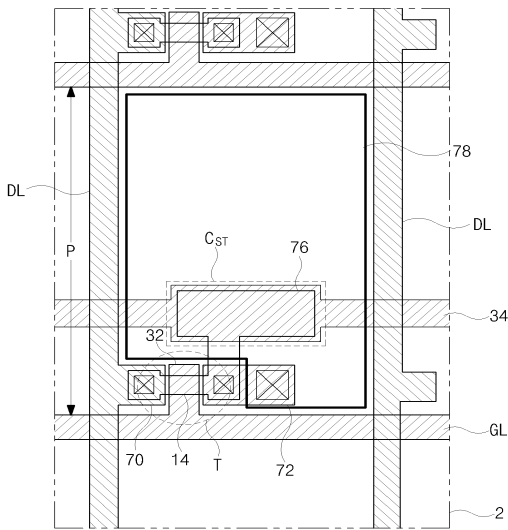
상기 제2 액티브 패턴의 제2 액티브 영역에는 고농도 p형 이온이 도핑되어 있으며, 제1 액티브영역에는 도핑되지 않은 것을 특징으로 하는 액정표시장치용 어레이기판.

도면

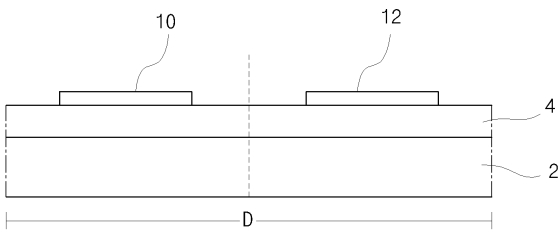
도면1



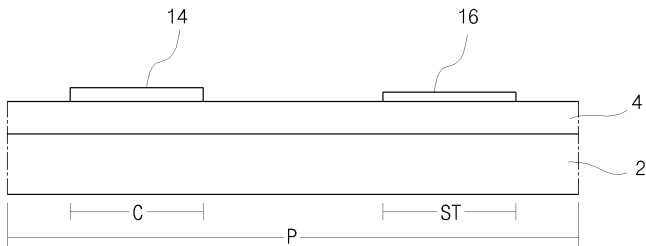
도면2



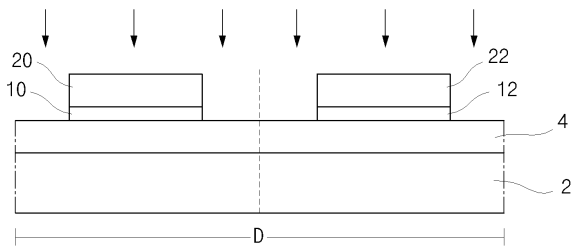
도면3a



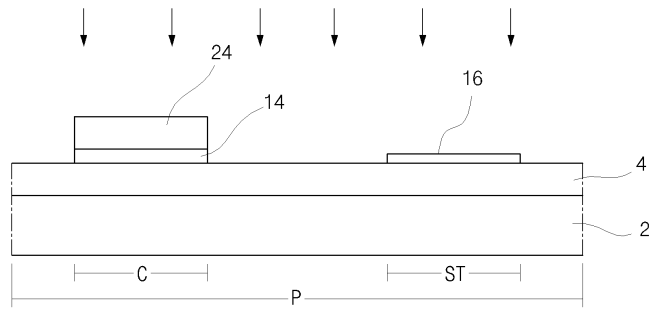
도면3b



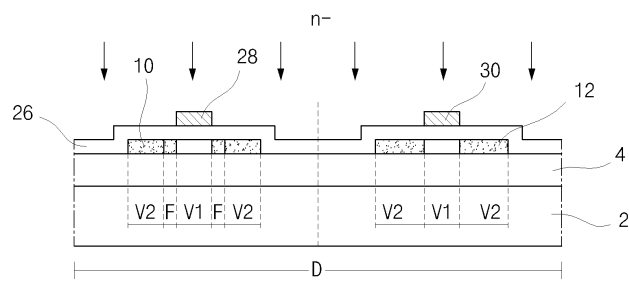
도면4a



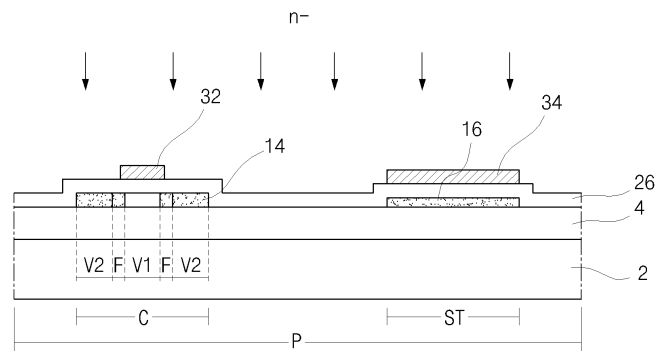
도면4b



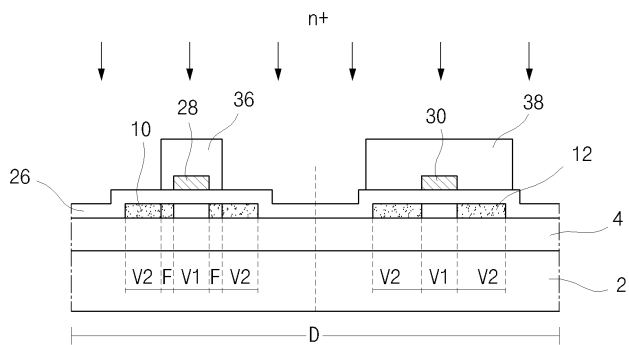
도면5a



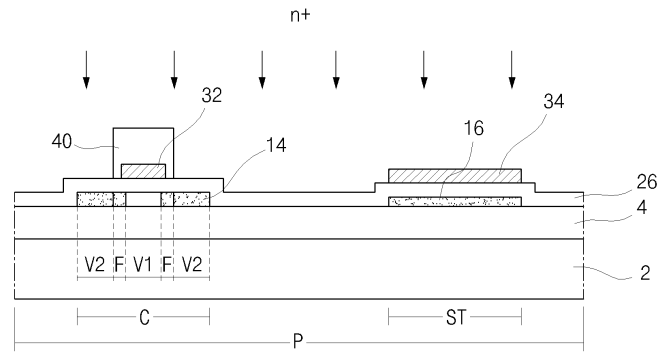
도면5b



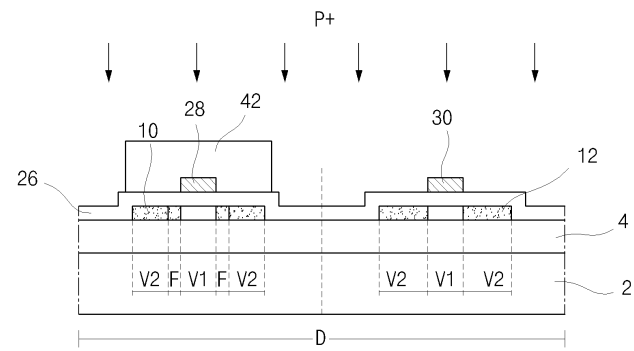
도면6a



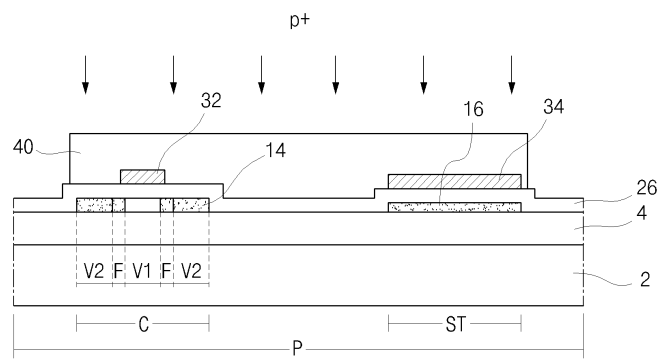
도면6b



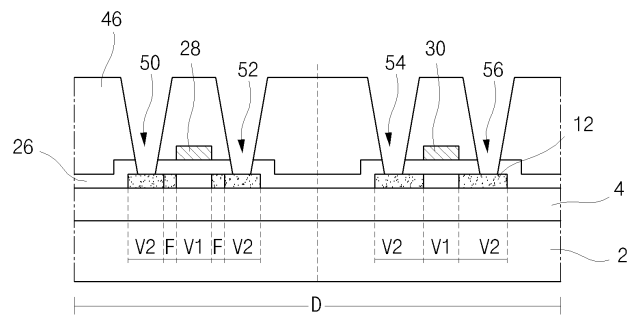
도면7a



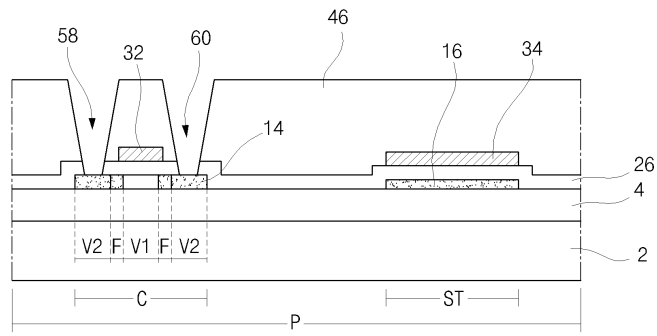
도면7b



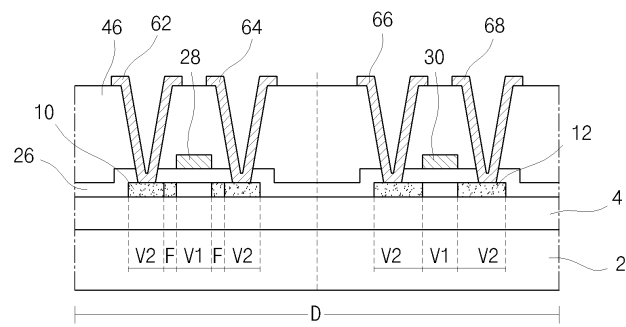
도면8a



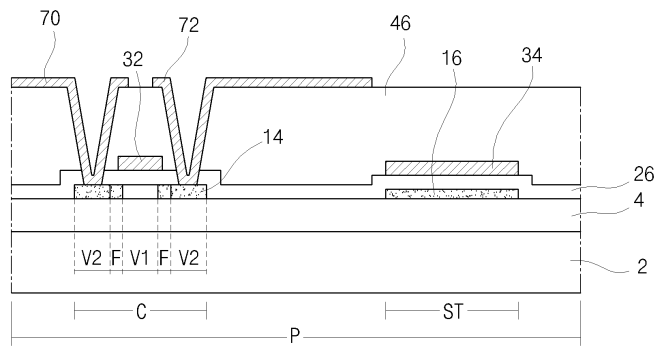
도면8b



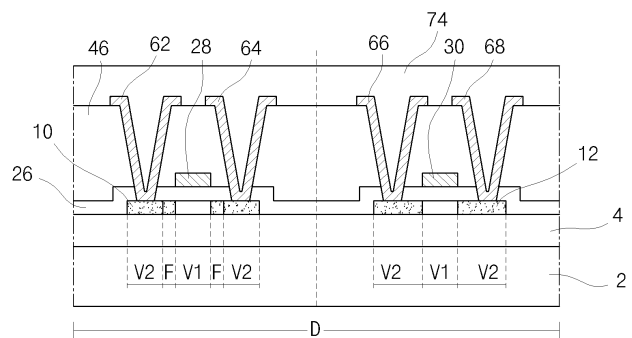
도면9a



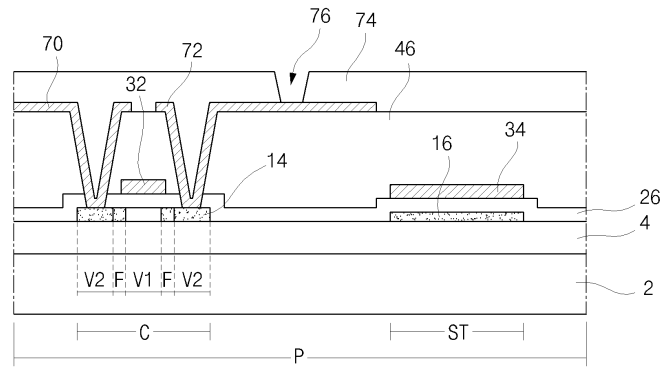
도면9b



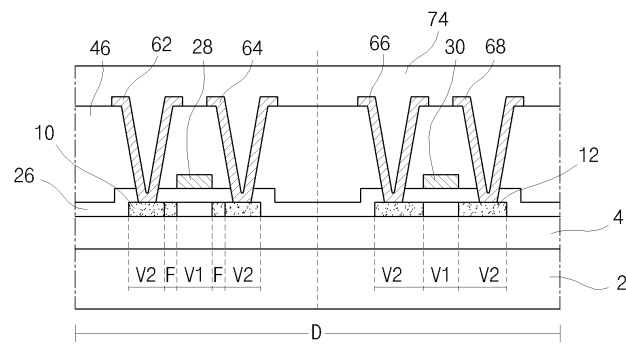
도면10a



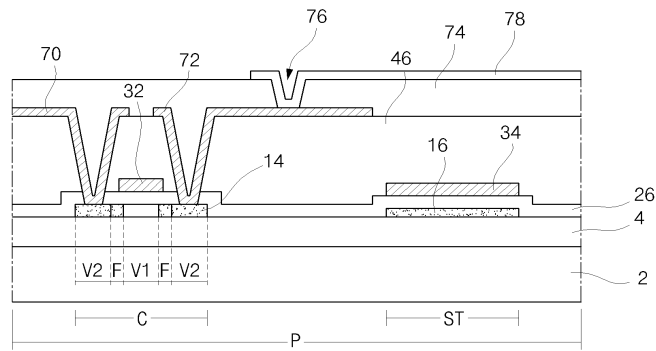
도면10b



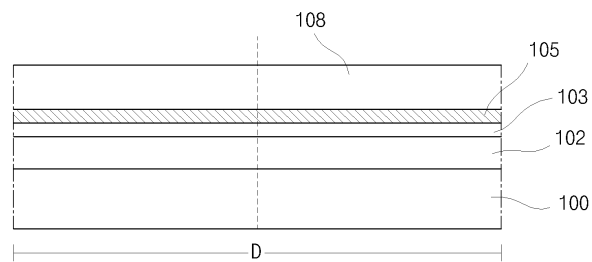
도면11a



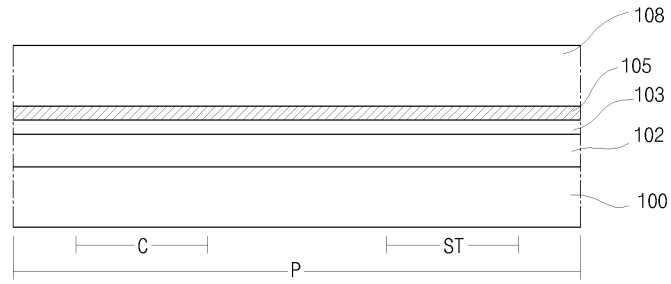
도면11b



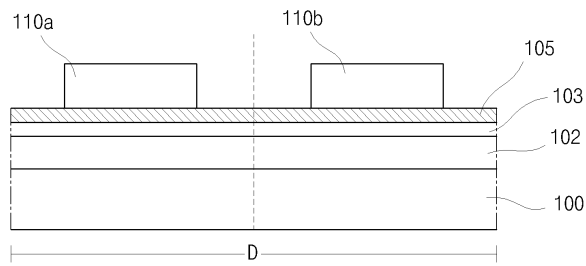
도면12a



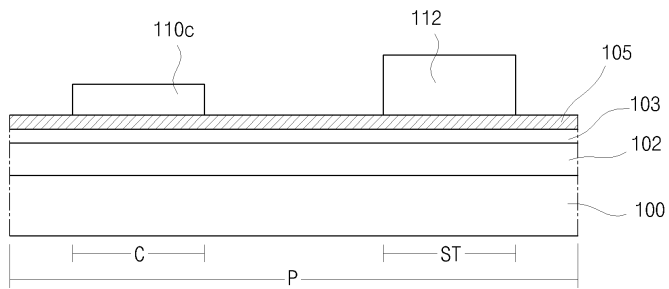
도면12b



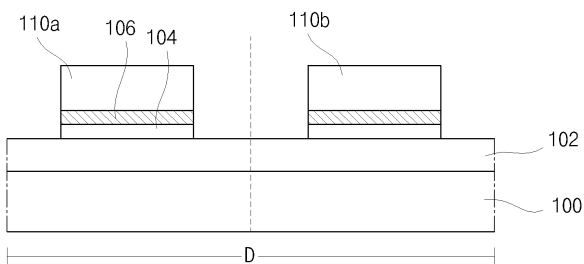
도면13a



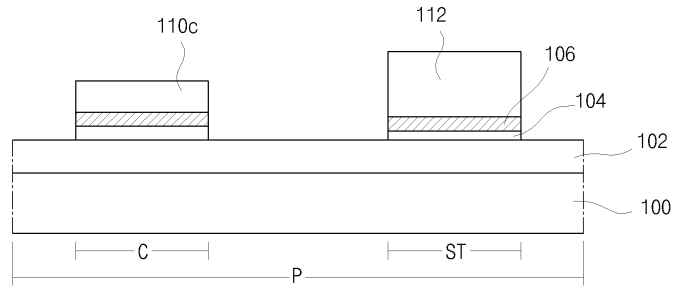
도면13b



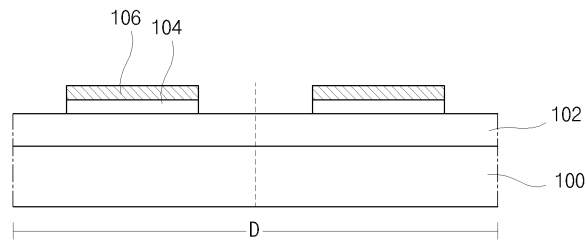
도면14a



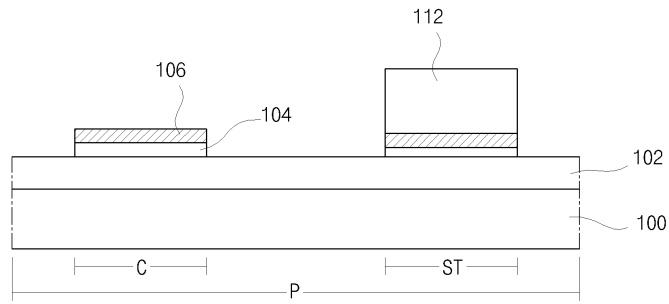
도면14b



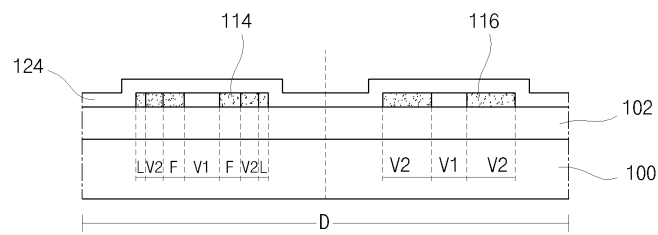
도면15a



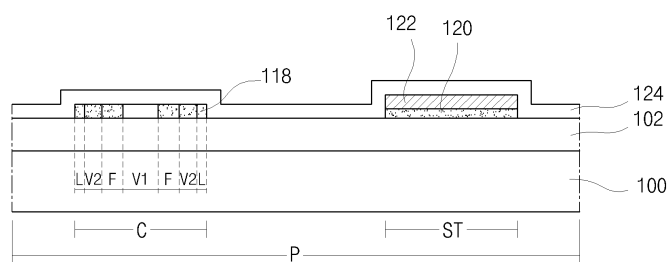
도면15b



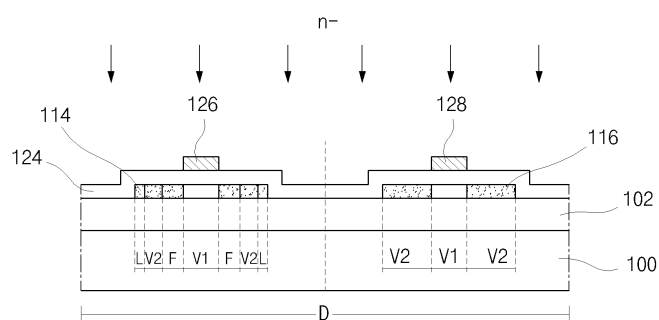
도면16a



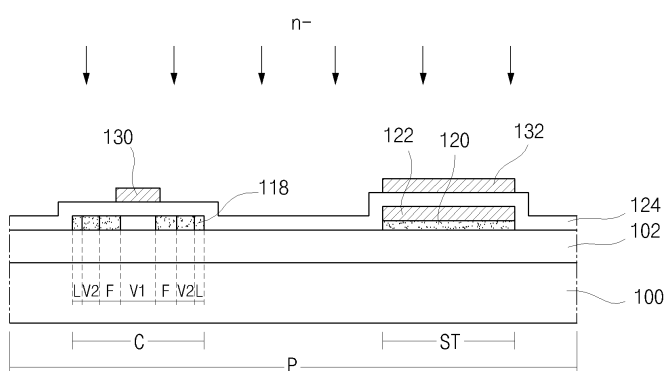
도면 16b



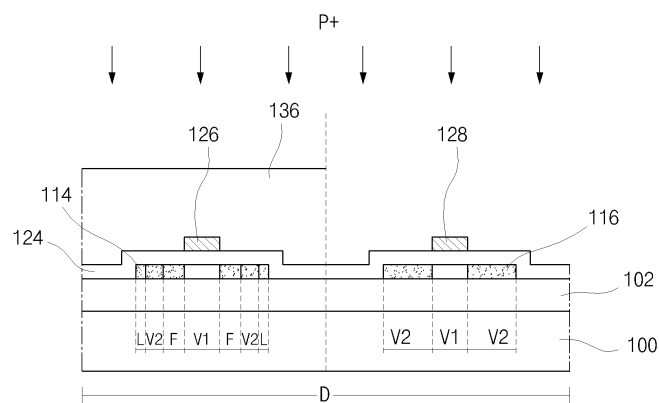
도면17a



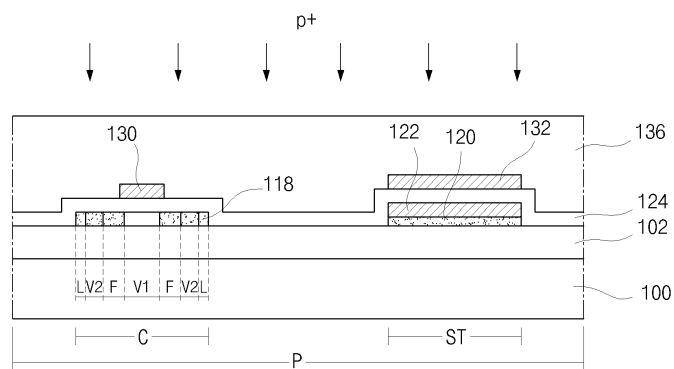
도면17b



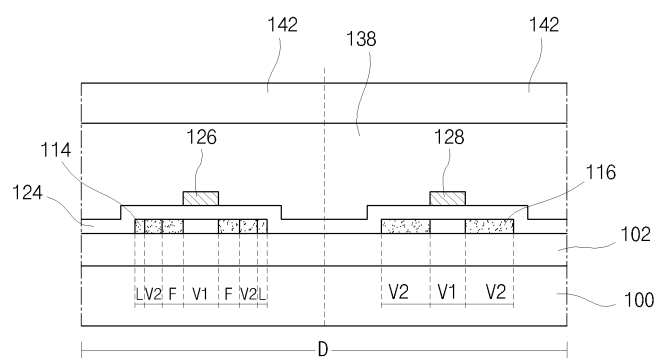
도면18a



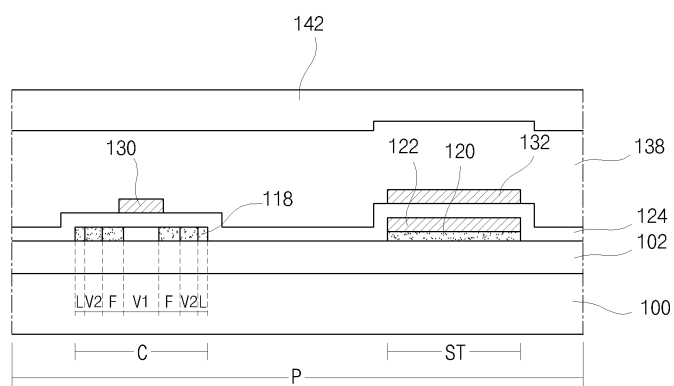
도면 18b



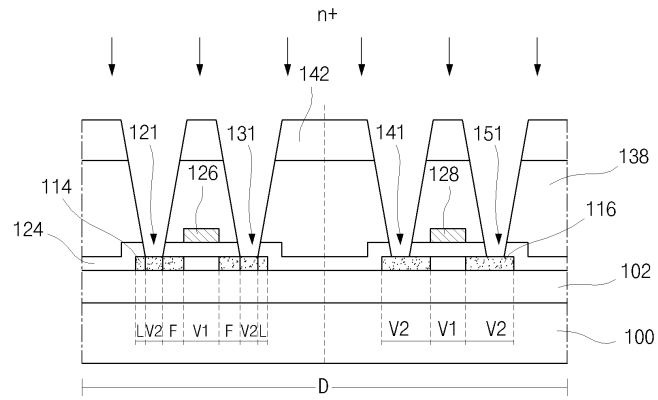
도면 19a



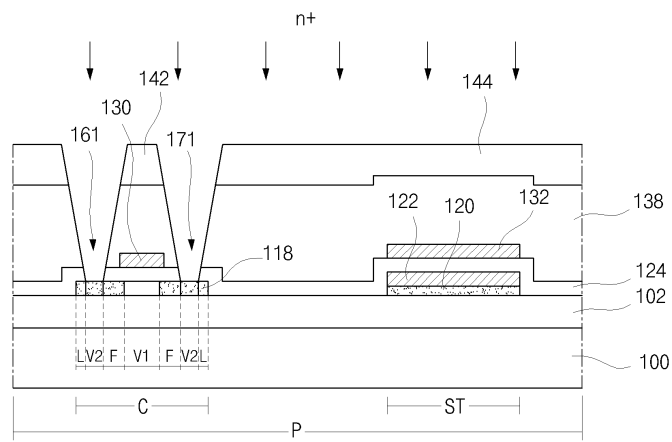
도면 19b



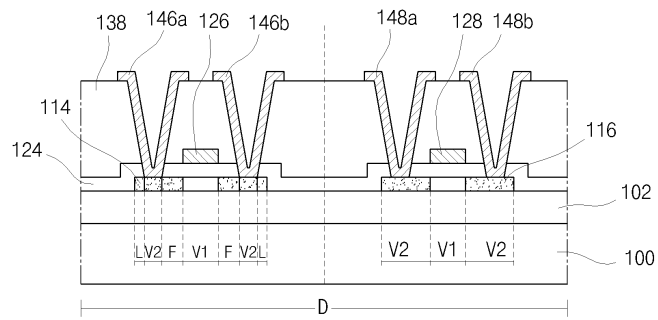
도면20a



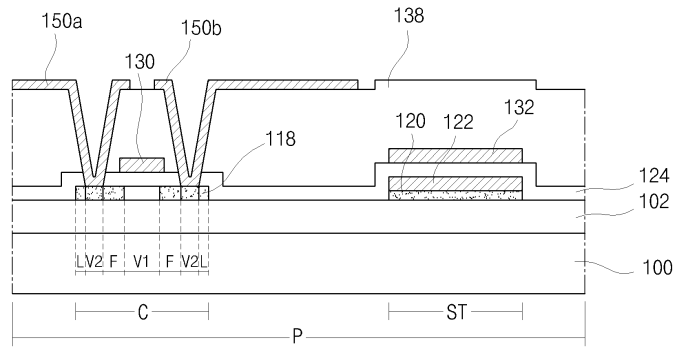
도면20b



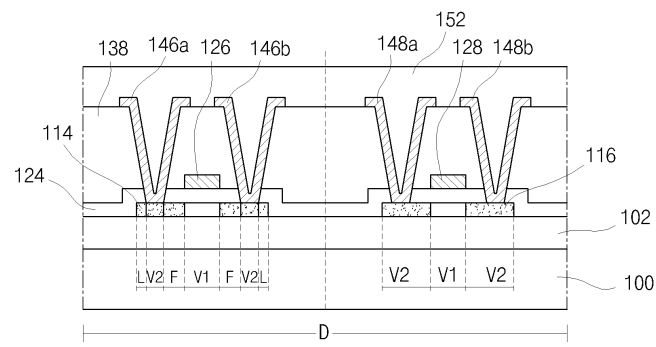
도면21a



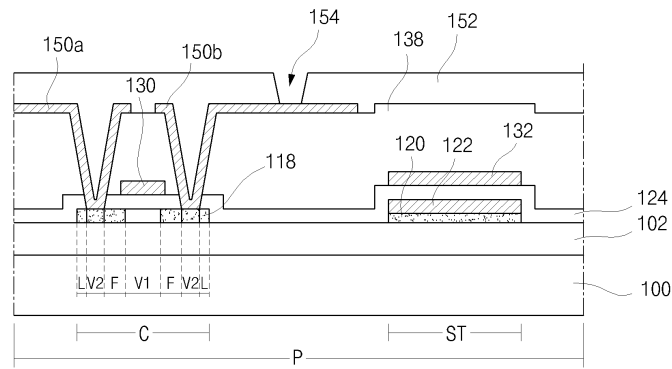
도면21b



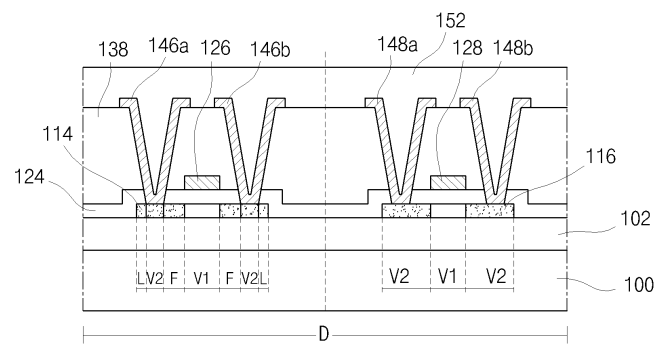
도면22a



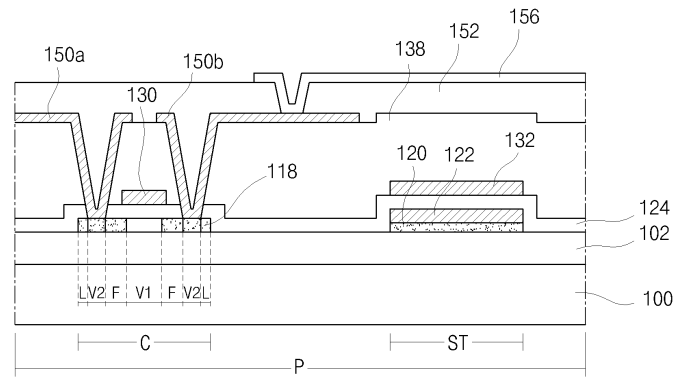
도면22b



도면23a



도면23b



专利名称(译)	制造用于液晶显示器的阵列基板的方法		
公开(公告)号	KR1020060064358A	公开(公告)日	2006-06-13
申请号	KR1020040103178	申请日	2004-12-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOONYOUNG		
发明人	YANG,JOONYOUNG		
IPC分类号	G02F1/136		
CPC分类号	H01L29/78621 H01L27/13 H01L27/1214 H01L27/14643 G02F1/13454 G02F1/136227 H01L27/1255		
其他公开文献	KR101146522B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于液晶显示器的驱动电路集成型阵列基板，其使用驱动器组件和开关元件，多晶硅薄膜晶体管及其制造方法。本发明制造了一种用于液晶显示器的驱动电路集成型阵列基板。省略了用于掺杂杂质的单独掩模工艺，并且可以减少整体工艺。

