

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/1343(11) 공개번호 10-2005-0069037
(43) 공개일자 2005년07월05일(21) 출원번호 10-2003-0100858
(22) 출원일자 2003년12월30일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 방효준
광주광역시서구양3동초원파크603호(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정표시장치

요약

본발명은 액정표시화면에 발생하는 체크얼룩을 줄일 수 있는 액정표시장치에 관한 것으로, 기생 캐패시턴스를 발생시키지 않아 체크얼룩의 발생확률을 낮추어 화질을 향상시키기 위하여, 화소영역과 이웃하는 게이트 라인과 상기 게이트 전극 사이에 형성되어 상기 데이터 라인의 단선을 복구하기 위한 게이트 쉴드와; 게이트 쉴드 상측에 형성되는 반도체층과; 상기 반도체 층 상측에 형성되는 소스/드레인 전극과, 상기 게이트 쉴드와 약간 떨어져서 형성된 화소 전극을 구비한 액정표시장치에 있어서, 상기 게이트 쉴드와 상기 화소 전극간의 거리가 기생 캐패시턴스를 발생시키지 않을 정도로 소정 거리가 상으로 떨어져 형성시킨다.

대표도

도 5

색인어

게이트 쉴드, 기생 캐패시턴스, 체크얼룩

명세서

도면의 간단한 설명

도 1는 종래기술에 따른 액정표시장치의 평면도.

도 2은 도1의 I ~ I'의 선상에 따른 단면도.

도 3는 도1의 II ~ II'의 선상에 따른 단면도.

도 4a 내지 도 4e는 종래기술에 따른 액정표시장치의 제조방법을 나타낸 공정단면도.

도5는 본 발명에 따라 체크 얼룩이 감소되는 액정표시장치를 간략히 나타낸 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 상기 액정표시화면에 발생하는 체크얼룩을 줄일 수 있는 액정표시장치에 관한 것이다.

화상 정보를 화면에 나타내는 화면 표시 장치들 중에서 브라운관 표시 장치(혹은 Cathode Ray Tube(CRT))가 지금까지 가장 많이 사용되어 왔는데 이것은 표시 면적에 비해 부피가 크고 무겁기 때문에 사용하는데 많은 불편함이 따랐다. 그러므로, 표시 면적이 크더라도 그 두께가 얇아서 어느 장소에서든지 쉽게 사용할 수 있는 박막형 평판 표시 장치가 개발되었고, 점점 브라운관 표시 장치를 대체하고 있다. 특히, 액정 표시 장치(혹은 LCD(Liquid Crystal Display))는 표시 해상도가 다른 평판 장치보다 뛰어나고, 동화상을 구현할 때 그 품질이 브라운관의 것에 비할 만큼 반응 속도가 빠르기 때문에 가장 활발한 개발 연구가 이루어지고 있는 제품이다.

이와 같은 액정표시장치에 대해 좀 더 설명한다.

도1은 종래기술에 따른 액정표시장치의 평면도이고, 도2은 도1의 I~I'의 선상에 따른 단면도이며, 도3은 도1의 II~II'의 선상에 따른 단면도이다.

종래기술에 따른 액정표시장치는, 도2 및 도3에 도시된 바와 같이, 다수개의 화소영역으로 정의되는 기관과; 이후 후술할 데이터 라인에 수직교차하도록 배열되어 상기 데이터 라인과 함께 화소영역을 정의하며, 상기 데이터 라인의 단선을 방지하기 위해 상기 데이터 라인과 교차하는 부분에 상기 데이터 라인의 길이방향에 대하여 수직하지 않은 절단선을 가지는 게이트 라인 및 상기 게이트 라인으로부터 돌출되는 게이트 전극, 스토리지 커패시터를 형성하기 위해 스토리지 영역에 형성되는 제 1 스토리지 전극 그리고, 상기 화소영역과 이웃하는 게이트 라인과 상기 게이트 전극 사이에 형성되어 상기 데이터 라인의 단선을 복구하기 위한 게이트 쉴드와; 상기 게이트 라인, 게이트 전극, 제 1 스토리지 전극 그리고 게이트 쉴드를 포함한 기관의 전면에 형성되는 게이트 절연막과; 상기 게이트 라인, 게이트 쉴드, 게이트 전극 그리고, 제 1 스토리지 전극의 상층의 게이트 절연막상에 형성되는 반도체층과; 상기 반도체층의 채널 영역을 제외한 부분에 형성되는 오믹 콘택층과; 상기 게이트 전극에 상응하는 반도체층의 가장자리의 오믹콘택층상에 형성되는 소스/드레인 전극을 포함하여 이루어지는 박막트랜지스터, 상기 소스 전극에 연결되어 상기 게이트 라인과 수직교차하도록 형성되는 데이터 라인 그리고, 상기 제 1 스토리지 전극에 상응하는 오믹콘택층상에 형성되는 제 2 스토리지 전극과; 상기 드레인 전극이 일부를 노출시키는 드레인 콘택홀, 상기 제 2 스토리지 전극의 일부를 노출시키는 스토리지 콘택홀을 가지고 상기 기관의 전면에 형성되는 보호층과; 상기 드레인 콘택홀(C1) 및 상기 스토리지 콘택홀(C2)을 통해 상기 드레인 전극(DE) 및 상기 스토리지 전극(E1)에 연결되어 상기 화소영역(P)에 형성되는 화소전극을 포함하여 구성된다.

여기서, 상기 데이터 라인과 오버랩되는 게이트 전극의 가장자리는 상기 데이터 라인의 길이방향에 대하여 수직하지 않은 절단선을 가지며, 상기 게이트 라인 및 게이트 전극과 마주보는 상기 게이트 쉴드의 양 단부도 상기 데이터 라인의 길이방향에 대하여 수직하지 않은 절단선을 가지도록 하여 상기 데이터 라인의 단선을 방지한다.

즉, 상기 게이트 라인, 게이트 전극 및 게이트 쉴드의 상부에 형성되는 데이터 라인의 일부와 상기 게이트 라인, 게이트 전극 및 게이트 쉴드의 단차부에 형성되는 데이터 라인의 일부는 서로 다른 단차를 가지게 되므로, 상기 게이트 라인, 게이트 전극 및 게이트 쉴드의 단차부를 상기 데이터 라인의 길이방향에 대하여 수직하지 않도록 경사지게 만들어 상기 단차에 의한 데이터 라인의 단선을 방지할 수 있다.

한편, 이와 같이 구성된 본 발명의 제 1 실시예에 따른 액정표시장치에서 상기 데이터 라인(D)의 단선이 발생한 경우, 상기 데이터 라인(D)의 단선을 리페어하는 방법을 상세히 설명하면 다음과 같다.

즉, 도3에 도시된 바와 같이, 상기 데이터 라인(D)이 A부분에서 단선되어 상기 데이터 라인(D)이 두 개로 나누어졌다고 가정하고, 각각 나뉜 데이터 라인(D)을 제 1 단선 라인(D1) 및 제 2 단선 라인(D2)으로 정의하기로 하자.

이와 같이 상기 데이터 라인(D)이 단선된 경우에는, 도3에 도시된 바와 같이, 상기 제 1 단선 라인(D1)에 인가된 데이터 신호가 상기 단선된 부분(A)에 의해서 더 이상 제 2 단선 라인(D2)으로 전달되지 못하게 된다.

이때, 상기 데이터 라인의 하부에 형성된 게이트 쉴드(R)를 사용하여 상기 데이터 신호가 상기 제 2 단선 라인(D2)에 인가되도록 한다.

즉, 레이저 장비 등을 사용하여, 도3에 도시된 바와 같이, 상기 제 2 단선 라인(D2)과 데이터 라인의 하부에 형성된 게이트 쉴드(R)를 서로 웰딩(W)하여 전기적으로 연결시킨다.

그러면, 데이터 라인의 제 1 단선 라인에 인가된 데이터 신호는, 도3의 점선으로 표시된 화살표의 방향을 따라, 상기 게이트 쉴드(R)를 통해 상기 제 2 단선 라인(D2)에 제공된다.

이와 같이 구성된 종래기술에 따른 액정표시장치의 제조방법을 상세히 설명하면 다음과 같다.

도4a 내지 도4e는 종래기술에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.

먼저, 도4a에 도시된 바와 같이, 다수개의 화소영역으로 정의된 기관(200)을 준비하여, 상기 기관(200)의 전면에 금속층을 증착하고 포토 및 식각공정을 통해 선택적으로 패터닝하여, 게이트 전극, 게이트 라인 및 상기 제 1 스토리지 전극을 형성함과 동시에 상기 게이트 전극과 상기 게이트 전극에 이웃하는 게이트 라인 사이에 게이트 쉴드를 형성한다.

여기서, 상기 게이트 전극, 게이트 라인 및 게이트 쉴드를 형성할 때, 상기 리페어패턴의 양 단부 그리고, 상기 리페어패턴의 양 단부와 마주보는 게이트 라인의 일측 및 게이트 전극의 일측이 이후 후술할 데이터 라인의 길이방향에 대하여 수직하지 않은 절단선을 가지도록 패터닝한다.

즉, 상기 게이트 라인, 게이트 전극 및 게이트 쉴드의 상부에 형성되는 데이터 라인의 일부와 상기 게이트 라인, 게이트 전극 및 게이트 쉴드의 단차부에 형성되는 데이터 라인의 일부는 서로 다른 단차를 가지게 되므로, 상기 게이트 라인, 게이트 전극 및 게이트 쉴드의 단차부를 상기 데이터 라인의 길이방향에 대하여 수직하지 않도록 경사지게 만들어 상기 단차에 의한 데이터 라인의 단선을 방지할 수 있다.

이어서, 도4b에 도시된 바와 같이, 상기 게이트 전극(GE), 게이트 라인(G), 게이트 쉴드 및 제 1 스토리지 전극을 포함한 기판(200)의 전면에 산화 실리콘(SiOx) 혹은 질화 실리콘(SiNx)과 같은 절연물질을 포함하는 게이트 절연막(GI)을 증착한다.

이후, 도4c에 도시된 바와 같이, 상기 게이트 절연막(GI)상에 진성 아몰퍼스 실리콘과 같은 반도체 물질, 불순물이 첨가된 아몰퍼스 실리콘과 같은 불순물 반도체 물질을 차례로 증착하고 포토 및 식각공정을 통해 패터닝하여, 상기 게이트 전극의 상측의 상기 게이트 절연막(GI)상에 차례로 반도체층(201) 및 오믹 콘택층(202)을 형성한다.

이어서, 도4d에 도시된 바와 같이, 상기 반도체층(201) 및 오믹 콘택층(202)을 포함한 기판(200)의 전면에 크롬 또는 몰리브덴과 같은 금속층을 증착하고 포토 및 식각공정을 통해 패터닝하여, 상기 반도체층(201)의 채널영역을 제외한 양 가장자리에 소스/드레인 전극(SE, DE)을 형성하여 박막트랜지스터를 제조하고, 상기 소스 전극(SE)에 연결되어 상기 게이트 라인(G)에 수직하는 데이터 라인(D)을 형성하고, 상기 제 1 스토리지 전극 상측의 게이트 절연막(GI)상에 제 2 스토리지 전극(E1)을 형성한다.

이때, 상기 반도체층(201)의 채널 영역상에 형성되는 오믹 콘택층(202)은 제거된다.

이어서, 도4e에 도시된 바와 같이, 상기 소스/드레인 전극(SE, DE), 스토리지 전극(E1), 데이터 패드전극(E2) 및 게이트 절연막(GI)을 포함한 기판(200)의 전면에 유기 절연막 등을 사용하여 보호층(204)을 증착하고 포토 및 식각공정을 통해 패터닝하여, 상기 드레인 전극(DE)의 일부를 노출시키는 드레인 콘택홀(C1), 상기 제 2 스토리지 전극(E1)의 일부를 노출시키는 스토리지 콘택홀(C2)을 형성한다.

그리고, 상기 보호층(204)의 전면에 투명 전도막을 증착하고 포토 및 식각공정을 통하여 패터닝하여, 상기 드레인 콘택홀(C1)과 스토리지 콘택홀(C2)을 통해 상기 드레인 전극(DE)과 상기 스토리지 전극(E1)에 전기적으로 연결되는 화소전극(206)을 형성한다.

이와 같이 형성된 액정표시장치는, 게이트 쉴드와 화소전극간의 간격이 좁아 기생 캐패시턴스가 발생되면서 상기 액정표시장치에 체크얼룩이 발생된다. 즉, 게이트 쉴드와 화소전극간의 거리가 반도체층(201)과 소스/드레인 전극(SE/DE)간의 거리보다 짧으면 체크얼룩이 발생할 가능성이 매우 높아지는 문제점이 있다.

본 발명은 액정표시장치에 관한 것으로, 특히 상기 액정표시화면에 발생하는 체크얼룩을 줄일 수 있는 액정표시장치에 관한 것이다.

화상 정보를 화면에 나타내는 화면 표시 장치들 중에서 브라운관 표시 장치(혹은 Cathode Ray Tube(CRT))가 지금까지 가장 많이 사용되어 왔는데 이것은 표시 면적에 비해 부피가 크고 무겁기 때문에 사용하는데 많은 불편함이 따랐다. 그러므로, 표시 면적이 크더라도 그 두께가 얇아서 어느 장소에서든지 쉽게 사용할 수 있는 박막형 평판 표시 장치가 개발되었고, 점점 브라운관 표시 장치를 대체하고 있다. 특히, 액정 표시 장치(혹은 LCD(Liquid Crystal Display))는 표시 해상도가 다른 평판 장치보다 뛰어나고, 동화상을 구현할 때 그 품질이 브라운관의 것에 비할 만큼 반응 속도가 빠르기 때문에 가장 활발한 개발 연구가 이루어지고 있는 제품이다.

이와 같은 액정표시장치에 대해 좀 더 설명한다.

도1는 종래기술에 따른 액정표시장치의 평면도이고, 도2는 도1의 I~I'의 선상에 따른 단면도이며, 도3는 도1의 II~II'의 선상에 따른 단면도이다.

종래기술에 따른 액정표시장치는, 도2 및 도3에 도시된 바와 같이, 다수개의 화소영역으로 정의되는 기판과; 이후 후술할 데이터 라인에 수직교차하도록 배열되어 상기 데이터 라인과 함께 화소영역을 정의하며, 상기 데이터 라인의 단선을 방지하기 위해 상기 데이터 라인과 교차하는 부분에 상기 데이터 라인의 길이방향에 대하여 수직하지 않은 절단선을 가지는 게이트 라인 및 상기 게이트 라인으로부터 돌출되는 게이트 전극, 스토리지 커패시터를 형성하기 위해 스토리지 영역에 형성되는 제 1 스토리지 전극 그리고, 상기 화소영역과 이웃하는 게이트 라인과 상기 게이트 전극 사이에 형성되어 상기 데이터 라인의 단선을 복구하기 위한 게이트 쉴드와; 상기 게이트 라인, 게이트 전극, 제 1 스토리지 전극 그리고 게이트 쉴드를 포함한 기판의 전면에 형성되는 게이트 절연막과; 상기 게이트 라인, 게이트 쉴드, 게이트 전극 그리고, 제 1 스토리지 전극의 상측의 게이트 절연막상에 형성되는 반도체층과; 상기 반도체층의 채널 영역을 제외한 부분에 형성되는 오믹 콘택층과; 상기 게이트 전극에 상응하는 반도체층의 가장자리의 오믹콘택층상에 형성되는 소스/드레인 전극을 포함하여 이루어지는 박막트랜지스터, 상기 소스 전극에 연결되어 상기 게이트 라인에 수직교차하도록 형성되는 데이터 라인 그리고, 상기 제 1 스토리지 전극에 상응하는 오믹콘택층상에 형성되는 제 2 스토리지 전극과; 상기 드레인 전극이 일부를 노출시키는 드레인 콘택홀, 상기 제 2 스토리지 전극의 일부를 노출시키는 스토리지 콘택홀을 가지고 상기 기판의 전면에 형성되는 보호층과; 상기 드레인 콘택홀(C1) 및 상기 스토리지 콘택홀(C2)을 통해 상기 드레인 전극(DE) 및 상기 스토리지 전극(E1)에 연결되어 상기 화소영역(P)에 형성되는 화소전극을 포함하여 구성된다.

여기서, 상기 데이터 라인과 오버랩되는 게이트 전극의 가장자리는 상기 데이터 라인의 길이방향에 대하여 수직하지 않은 절단선을 가지며, 상기 게이트 라인 및 게이트 전극과 마주보는 상기 게이트 쉘드의 양 단부도 상기 데이터 라인의 길이방향에 대하여 수직하지 않은 절단선을 가지도록 하여 상기 데이터 라인의 단선을 방지한다.

즉, 상기 게이트 라인, 게이트 전극 및 게이트 쉘드의 상부에 형성되는 데이터 라인의 일부와 상기 게이트 라인, 게이트 전극 및 게이트 쉘드의 단차부에 형성되는 데이터 라인의 일부는 서로 다른 단차를 가지게 되므로, 상기 게이트 라인, 게이트 전극 및 게이트 쉘드의 단차부를 상기 데이터 라인의 길이방향에 대하여 수직하지 않도록 경사지게 만들어 상기 단차에 의한 데이터 라인의 단선을 방지할 수 있다.

한편, 이와 같이 구성된 본 발명의 제 1 실시예에 따른 액정표시장치에서 상기 데이터 라인(D)의 단선이 발생한 경우, 상기 데이터 라인(D)의 단선을 리페어하는 방법을 상세히 설명하면 다음과 같다.

즉, 도3에 도시된 바와 같이, 상기 데이터 라인(D)이 A부분에서 단선되어 상기 데이터 라인(D)이 두 개로 나누어졌다고 가정하고, 각각 나뉜 데이터 라인(D)을 제 1 단선 라인(D1) 및 제 2 단선 라인(D2)으로 정의하기로 하자.

이와 같이 상기 데이터 라인(D)이 단선된 경우에는, 도3에 도시된 바와 같이, 상기 제 1 단선 라인(D1)에 인가된 데이터 신호가 상기 단선된 부분(A)에 의해서 더 이상 제 2 단선 라인(D2)으로 전달되지 못하게 된다.

이때, 상기 데이터 라인의 하부에 형성된 게이트 쉘드(R)를 사용하여 상기 데이터 신호가 상기 제 2 단선 라인(D2)에 인가되도록 한다.

즉, 레이저 장비 등을 사용하여, 도3에 도시된 바와 같이, 상기 제 2 단선 라인(D2)과 데이터 라인의 하부에 형성된 게이트 쉘드(R)를 서로 웰딩(W)하여 전기적으로 연결시킨다.

그러면, 데이터 라인의 제 1 단선 라인에 인가된 데이터 신호는, 도3의 점선으로 표시된 화살표의 방향을 따라, 상기 게이트 쉘드(R)를 통해 상기 제 2 단선 라인(D2)에 제공된다.

이와 같이 구성된 종래기술에 따른 액정표시장치의 제조방법을 상세히 설명하면 다음과 같다.

도4a 내지 도4e는 종래기술에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.

먼저, 도4a에 도시된 바와 같이, 다수개의 화소영역으로 정의된 기판(200)을 준비하여, 상기 기판(200)의 전면에 금속층을 증착하고 포토 및 식각공정을 통해 선택적으로 패터닝하여, 게이트 전극, 게이트 라인 및 상기 제 1 스토리지 전극을 형성함과 동시에 상기 게이트 전극과 상기 게이트 전극에 이웃하는 게이트 라인 사이에 게이트 쉘드를 형성한다.

여기서, 상기 게이트 전극, 게이트 라인 및 게이트 쉘드를 형성할 때, 상기 리페어패턴의 양 단부 그리고, 상기 리페어패턴의 양 단부와 마주보는 게이트 라인의 일측 및 게이트 전극의 일측이 이후 후술할 데이터 라인의 길이방향에 대하여 수직하지 않은 절단선을 가지도록 패터닝한다.

즉, 상기 게이트 라인, 게이트 전극 및 게이트 쉘드의 상부에 형성되는 데이터 라인의 일부와 상기 게이트 라인, 게이트 전극 및 게이트 쉘드의 단차부에 형성되는 데이터 라인의 일부는 서로 다른 단차를 가지게 되므로, 상기 게이트 라인, 게이트 전극 및 게이트 쉘드의 단차부를 상기 데이터 라인의 길이방향에 대하여 수직하지 않도록 경사지게 만들어 상기 단차에 의한 데이터 라인의 단선을 방지할 수 있다.

이어서, 도4b에 도시된 바와 같이, 상기 게이트 전극(GE), 게이트 라인(G), 게이트 쉘드 및 제 1 스토리지 전극을 포함한 기판(200)의 전면에 산화 실리콘(SiO_x) 혹은 질화 실리콘(SiN_x)과 같은 절연물질을 포함하는 게이트 절연막(GI)을 증착한다.

이후, 도4c에 도시된 바와 같이, 상기 게이트 절연막(GI)상에 진성 아몰퍼스 실리콘과 같은 반도체 물질, 불순물이 첨가된 아몰퍼스 실리콘과 같은 불순물 반도체 물질을 차례로 증착하고 포토 및 식각공정을 통해 패터닝하여, 상기 게이트 전극의 상측의 상기 게이트 절연막(GI)상에 차례로 반도체층(201) 및 오믹 콘택층(202)을 형성한다.

이어서, 도4d에 도시된 바와 같이, 상기 반도체층(201) 및 오믹 콘택층(202)을 포함한 기판(200)의 전면에 크롬 또는 몰리브덴과 같은 금속층을 증착하고 포토 및 식각공정을 통해 패터닝하여, 상기 반도체층(201)의 채널영역을 제외한 양 가장자리에 소스/드레인 전극(SE, DE)을 형성하여 박막트랜지스터를 제조하고, 상기 소스 전극(SE)에 연결되어 상기 게이트 라인(G)에 수직하는 데이터 라인(D)을 형성하고, 상기 제 1 스토리지 전극 상측의 게이트 절연막(GI)상에 제 2 스토리지 전극(E1)을 형성한다.

이때, 상기 반도체층(201)의 채널 영역상에 형성되는 오믹 콘택층(202)은 제거된다.

이어서, 도4e에 도시된 바와 같이, 상기 소스/드레인 전극(SE, DE), 스토리지 전극(E1), 데이터 패드전극(E2) 및 게이트 절연막(GI)을 포함한 기판(200)의 전면에 유기 절연막 등을 사용하여 보호층(204)을 증착하고 포토 및 식각공정을 통해 패터닝하여, 상기 드레인 전극(DE)의 일부를 노출시키는 드레인 콘택홀(C1), 상기 제 2 스토리지 전극(E1)의 일부를 노출시키는 스토리지 콘택홀(C2)을 형성한다.

그리고, 상기 보호층(204)의 전면에 투명 전도막을 증착하고 포토 및 식각공정을 통하여 패터닝하여, 상기 드레인 콘택홀(C1)과 스토리지 콘택홀(C2)을 통해 상기 드레인 전극(DE)과 상기 스토리지 전극(E1)에 전기적으로 연결되는 화소전극(206)을 형성한다.

이와 같이 형성된 액정표시장치는, 게이트 쉘드와 화소전극간의 간격이 좁아 기생 캐패시턴스가 발생되면서 상기 액정표시장치에 체크얼룩이 발생된다. 즉, 게이트 쉘드와 화소전극간의 거리가 반도체층(201)과 소스/드레인 전극(SE/DE)간의 거리보다 짧으면 체크얼룩이 발생할 가능성이 매우 높아지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술된 문제점을 해결하기 위해 고안된 것으로, 본 발명의 목적은 체크얼룩의 발생을 방지할 수 있는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 화소영역과 이웃하는 게이트 라인과 상기 게이트 전극 사이에 형성되어 상기 데이터 라인의 단선을 복구하기 위한 게이트 쉘드와; 게이트 쉘드 상측에 형성되는 반도체층과; 상기 반도체 층 상측에 형성되는 소스/드레인 전극과, 상기 게이트 쉘드와 약간 떨어져서 형성된 화소 전극을 구비한 액정표시장치에 있어서, 상기 게이트 쉘드와 상기 화소 전극간의 거리가 기생 캐패시턴스를 발생시키지 않을 정도로 소정 거리이상으로 떨어져 형성시킨 것을 특징으로 하는 액정표시장치를 제공한다.

바람직하게는, 상기 게이트 쉘드와 상기 화소 전극간의 거리는 상기 게이트 쉘드의 선폴이 $9.5\mu\text{m}$, 상기 반도체 층의 선폴이 $8.5\mu\text{m}$, 상기 소스/드레인 전극의 선폴이 $7\mu\text{m}$, 상기 화소 전극과 화소 전극간의 거리가 $13\mu\text{m}$ 일 때, 상기 게이트 쉘드와 상기 화소 전극간의 거리는 $1.75\mu\text{m}$ 이다.

이하 상기 목적이 구체적으로 실현될 수 있는 본 발명의 바람직한 실시예가 첨부된 도면을 참조하여 설명된다. 본 실시예를 설명함에 있어서, 동일 구성에 대해서는 동일 명칭 및 동일 부호가 사용되며 이에 따른 부가적인 설명은 하기에서 생략된다.

도5는 본 발명에 따라 체크 얼룩이 감소되는 액정표시장치를 간략히 나타낸 도면이다.

이에 도시한 바와 같이, 상기 액정표시장치는, 데이터 라인의 단선을 복구하기 위한 게이트 쉘드(510)와; 게이트 쉘드(510) 상측에 형성되는 반도체층(520)과; 상기 반도체층(520) 상측에 형성되는 소스/드레인 전극(530)과, 상기 게이트 쉘드(510)와 소정 간격으로 떨어져 형성된 화소 전극(540)으로 구성된다.

이와 같은 액정표시장치는, 종래에는 게이트 쉘드(510)의 선폴이 $10\mu\text{m}$, 반도체층(520)의 선폴이 $9\mu\text{m}$, 소스/드레인 전극(530)의 선폴이 $7\mu\text{m}$, 화소 전극(540)과 다음 화소 전극(미도시)간의 거리가 $13\mu\text{m}$, 게이트 쉘드(510)와 화소 전극(540)간의 거리가 $1.5\mu\text{m}$, 반도체층(520)과 소스/드레인 전극(530)간의 거리가 $1.0\mu\text{m}$ 로 구성되어 있었다. 즉, 게이트 쉘드(510)와 화소 전극(540)간의 간격이 좁아 기생 캐패시턴스가 발생되면서 상기 액정표시장치에 체크얼룩이 발생된다.

그러나, 본 발명에서는 게이트 쉘드(510)의 선폴이 $9.5\mu\text{m}$, 반도체층(520)의 선폴이 $8.5\mu\text{m}$, 소스/드레인 전극(530)의 선폴이 $7\mu\text{m}$, 화소 전극(540)과 다음 화소 전극간의 거리가 $13\mu\text{m}$, 게이트 쉘드(510)와 화소 전극(540)간의 거리가 $1.75\mu\text{m}$, 반도체층(520)과 소스/드레인 전극(530)간의 거리가 $0.75\mu\text{m}$ 로 구성된다. 즉, 게이트 쉘드(510)의 선폴을 일정량 줄이고, 반도체층(520)의 선폴 역시 일정량 줄인다. 따라서, 상기 게이트 쉘드(510)와 화소 전극(540)과의 거리를 일정량만큼 떨어뜨림으로써, 기생 캐패시턴스가 발생하지 않게 되어 체크얼룩 발생률을 종래기술보다 매우 감소시킬 수 있다.

상기에서 실시예가 설명되었음에도 불구하고, 본 발명이 이의 취지 및 범주에서 벗어남 없이 다른 여러 형태로 구체화될 수 있다는 사실은 해당 기술에 통상의 지식을 가진 이들에게는 자명한 것이다. 따라서, 상술된 실시예는 제한적인 것이 아닌 예시적인 것으로 여겨져야 하며, 첨부된 청구항 및 이의 동등범위내의 모든 실시예는 본 발명의 범주내에 포함된다.

발명의 효과

본 발명에 따른 액정표시장치는, 기생 캐패시턴스를 발생시키지 않아 체크얼룩의 발생확률을 낮추어 화질을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

화소영역과 이웃하는 게이트 라인과 상기 게이트 전극 사이에 형성되어 상기 데이터 라인의 단선을 복구하기 위한 게이트 쉘드와; 게이트 쉘드 상측에 형성되는 반도체층과; 상기 반도체 층 상측에 형성되는 소스/드레인 전극과, 상기 게이트 쉘드와 약간 떨어져서 형성된 화소 전극을 구비한 액정표시장치에 있어서,

상기 게이트 쉘드와 상기 화소 전극간의 거리가 기생 캐패시턴스를 발생시키지 않을 정도로 소정 거리이상으로 떨어져 형성시킨 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서, 상기 거리는

상기 게이트 월드의 선폭이 $9.5\mu\text{m}$, 상기 반도체 층의 선폭이 $8.5\mu\text{m}$, 상기 소스/드레인 전극의 선폭이 $7\mu\text{m}$, 상기 화소 전극과 화소 전극간의 거리가 $13\mu\text{m}$ 일 때, 상기 게이트 월드와 상기 화소 전극간의 거리가 $1.75\mu\text{m}$ 인 것을 특징으로 하는 액정표시장치.

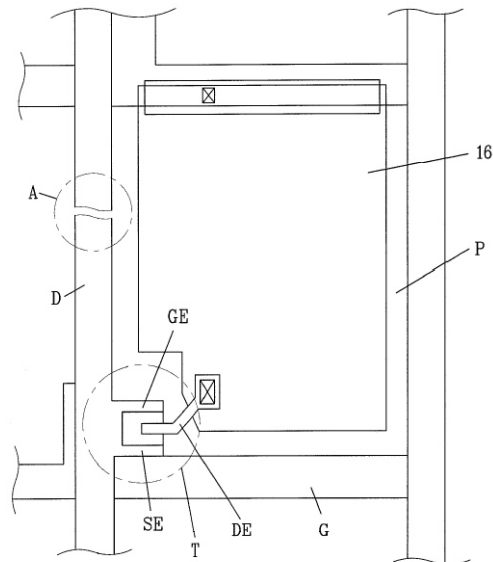
청구항 3.

제1항에 있어서,

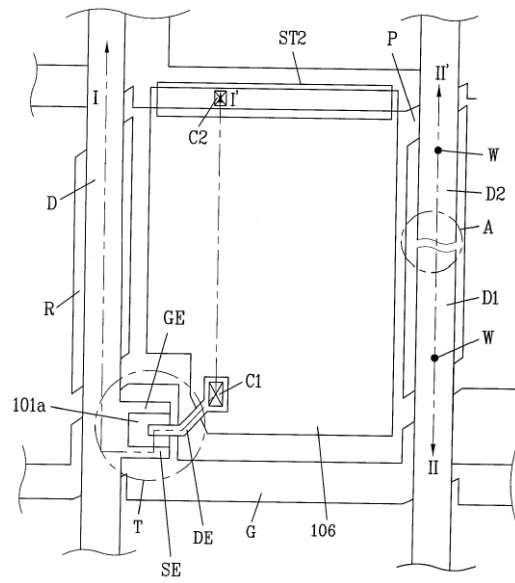
상기 반도체 층과 상기 소스/드레인 전극간의 거리가 $0.75\mu\text{m}$ 인 것을 특징으로 하는 액정표시장치.

도면

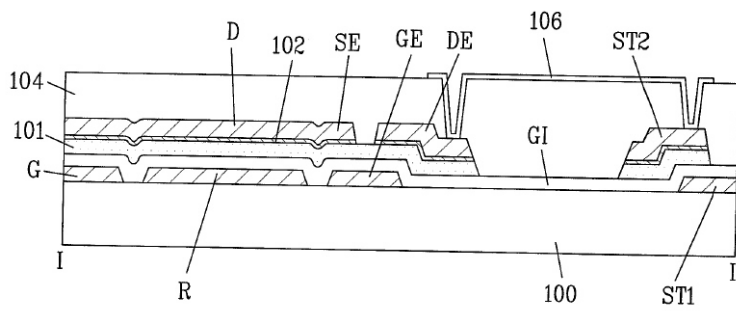
도면1



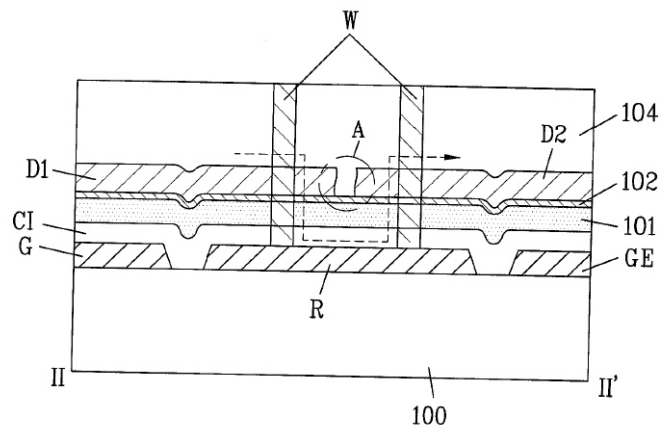
도면2



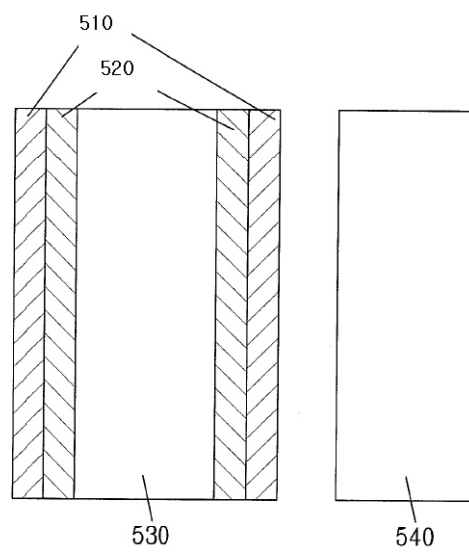
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020050069037A	公开(公告)日	2005-07-05
申请号	KR1020030100858	申请日	2003-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BANG HYOJUN		
发明人	BANG,HYOJUN		
IPC分类号	G02F1/1343		
代理人(译)	金勇 新昌		
外部链接	Espacenet		

摘要(译)

本发明涉及减少液晶显示器中产生的检查污迹的液晶显示器。并且对于与像素区域相邻的栅极线，不产生寄生电容，形成在栅极屏蔽上的半导体层用于在栅极电极之间形成，并且重建数据线和栅极屏蔽上侧和源极/漏极电极的断开形成在上述半导体层上侧，并且包括栅极屏蔽和像素电极的液晶显示器稍微下落并形成，像素电极和栅极屏蔽之间的距离落到规定距离以上不产生寄生电容并形成它。栅极屏蔽，寄生电容和检查污迹。

