(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/133

(11) 공개번호 특2003-0089072
(43) 공개일자 2003년11월21일

(21) 출원번호 10-2002-0027105
(22) 출원일자 2002년05월16일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 이승우
서울특별시금천구독산1동293-10독산현대아파트102동1008호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치 및 그 구동 방법

요약

본 발명은 동적 캐패시턴스 보상(DCC : dynamic capacitance compensation) 방법이 적용되며, 고해상도를 갖는 듀얼 입력 모드 액정 표시 장치에 관한 것이다

본 발명의 액정 표시 장치는, 다수의 게이트 라인과 데이터 라인이 교차하는 영역에 형성된 화소를 가지는 액정 패널; 상기 액정 패널의 게이트 라인을 순차적으로 스캐닝하기 위한 신호를 인가하는 게이트 구동부; 화상 데이터에 따라 상기 액정 패널의 각 화소에 인가하기 위한 계조 전압을 선택하여 출력시키는 소스 구동부; 및, 외부의 그래픽 소스로부터 입력되는 화상 데이터 중 일부 데이터에 대해서만 동적 캐패시턴스 보상(DCC : dynamic capacitance compensation, 이하, 'DCC'라 함)을 적용하는 DCC 처리부와, 상기 DCC 처리부에서 DCC 변환된 데이터가 상기 소스 구동부에서 처리 가능하도록 데이터 포맷을 변환시키는 타이밍 재분배 블록과, 화면표시 동작에 필요한 제어신호를 생성하는 제어신호 생성 블록으로 구성된 타이밍 제어부를 포함한다.

상기 본 발명의 액정 표시 장치에서는 액정 화면의 일부, 보다 상세하게는, 절반의 화소에 대해서만 DCC 방법이 적용되도록 함으로써 듀얼 입력 모드의 해상도를 갖는 액정 표시 장치에 DCC 방법을 적용하더라도 2개의 프레임 메모리로써 구현할 수 있으며, 타이밍 제어부의 프레임 메모리에서 데이터를 처리하는데 필요한 클럭신호의 주파수가 타이밍 제어부에 입력되는 클럭신호의 주파수와 동일해도 되므로, 전자파 장애를 증가시키는 요인을 발생시키지 않는다.

대표도

도 6

색인어

DCC(dynamic capacitance compensation), 듀얼 입력 모드, 프레임 메모리, 라인 카운터(line counter), 멀티플렉서(multiplexer)

명세서

도면의 간단한 설명

도 1은 종래의 싱글 입력 모드 액정 표시 장치에서 DCC 방법이 구현된 예를 도시한 도면.

도 2는 종래의 듀얼 입력 모드 액정 표시 장치에서 DCC 방법이 구현된 예를 도시한 도면.

도 3은 본 발명에 따른 액정 표시 장치의 전체 구성을 도시한 도면.

도 4는 본 발명의 제1실시예를 설명하기 위한 화소 패턴을 도시한 도면.

도 5는 본 발명의 원리를 설명하기 위한 휘도 곡선을 도시한 도면.

도 6은 본 발명의 제1실시예를 구현하기 위한 액정 표시 장치의 DCC 처리부에 대한 구성을 상세하게 도시한 도면.

도 7a 및 도 7b는 본 발명의 제2실시예를 설명하기 위한 화소 패턴을 각각 도시한 도면.

도 8은 본 발명의 제2실시예를 구현하기 위한 액정 표시 장치의 DCC 처리부에 대한 구성을 상세하게 도시한 도면.

도 9a 및 도 9b는 본 발명의 제3실시예를 설명하기 위한 화소 패턴을 각각 도시한 도면.

도 10은 본 발명의 제3실시예에서의 데이터 입출력 관계를 도시한 도면.

도 11은 본 발명의 제3실시예에서의 데이터 처리 흐름을 도시한 도면.

도 12는 본 발명의 제3실시예를 구현하기 위한 액정 표시 장치의 DCC 처리부에 대한 구성을 상세하게 도시한 도면.

도 13a 및 도 13b는 본 발명의 제4실시예를 설명하기 위한 화소 패턴을 각각 도시한 도면.

(도면의 주요 부분에 대한 부호의 설명)

611, 612, 651, 652 : 멀티플렉서 621 : 바이패스 블록

631 : DCC 블록 641 : 라인 카운터

661 : 메모리 제어기 671, 672 : 프레임 메모리

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 더욱 상세하게는 동적 캐패시턴스 보상(DCC : dynamic capacitance compensation) 방법이 적용되며, 고해상도를 갖는 듀얼 입력 모드 액정 표시 장치에 관한 것이다.

최근, 퍼스널 컴퓨터나 텔레비전 등의 경량화, 박형화에 따라 표시 장치 분야에도 경량화, 박형화가 요구되고 있으며, 이러한 요구를 충족시키기 위하여 음극선관(CRT : cathode-ray tube) 대신에 액정 표시 장치(LCD : liquid crystal display)와 같은 플랫 패널 표시 장치(flat panel display)가 개발되어 다양한 분 야에서 실용화되고 있다.

액정 표시 장치에서는 두 개의 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전계가 인가되고, 이 전계의 세기를 조절함으로써 기판에 투과되는 빛의 양이 제어되어 원하는 화상(image)에 대한 표시가 이루어진다.

이러한 액정 표시 장치는 현재 노트북 컴퓨터 뿐만 아니라 데스크탑(desktop) 컴퓨터에서도 그 사용이 확대되고 있다. 현재의 컴퓨터 사용자들은 발전된 멀티미디어 환경에서 컴퓨터를 이용하여 동영상을 시청하고자 하는 욕구를 가지고 있다. 이러한 요구를 충족시키기 위해서는, 액정 표시 장치에서 응답 속도의 향상이 필요하다.

액정 표시 장치의 응답 속도를 향상시키기 위한 방법으로서, 동적 캐패시턴스 보상(DCC : dynamic capacitance capture, 이하 'DCC'라 함) 방법이 알려져 있다. 아래에서 상기 DCC 방법에 관해 상세하게 설명한다.

상기 DCC 방법은 임의의 화소에 대한 이전 프레임의 계조 값과 현재 프레임의 계조 값을 비교하여 그 차이보다 더 큰 값이 이전 프레임의 계조 값에 더해지도록 RGB 데이터의 처리를 수행하는 것이다. 일반적으로, 1 프레임의 지속 시간은 16.7 msec 이다. 임의의 화소에서 액정 물질 양단에 전압이 가해질 때, 액정 물질이 응답하는 데에는 시간이 걸린다. 따라서, 의도하는 계조값이 표현되기 위해서는 시간 지연이 필연적이다. 상기 DCC 방법은 원래의 계조 값보다 더 큰 값이 화소에 인가되도록 함으로써 이러한 시간 지연을 최소화하기 위한 기술이다.

도 1에는 종래의 싱글 입력 모드 액정 표시 장치에서 DCC 방법이 구현된 예 가 도시되어 있다. 상기 도 1에 도시된 하드웨어는 DCC 처리부로서, 액정 표시 장치의 타이밍 제어부에 내장되어 있다.

상기 도 1에 도시된 구성은 액정 표시 장치의 타이밍 제어부 내에 위치하며, 데이터 처리 블록의 일부이다. 여기서, 싱글 입력 모드란 1클럭 당 하나의 데이터를 전송하는 것을 말한다. 또한, 듀얼 입력 모드란 1클럭 당 두 개의 데이터를 전송하는 것으로, 싱글 입력 모드보다 클럭 주파수를 1/2로 감소시킬 수 있는 장점이 있다. 따라서, 상기 듀얼 입력 모드 전송 방식은 1클럭에 짝수 및 홀수 화상 데이터를 동시에 전송하게 된다.

상기 도 1을 참조하면, 상기 DCC 처리부는 DCC 블록(11), 메모리 제어기(12) 및 두 개의 프레임 메모리(13, 14)로 구성된다.

상기 DCC 블록(11)에는 외부의 그래픽 소스로부터 현재 프레임 데이터가 입력됨과 동시에 메모리 제어기(12)에 의해 프레임 메모리B(14)에 저장되어 있던 이전 프레임 데이터가 입력된다. 상기 DCC 블록(11)은 현재 프레임 데이터와 이전 프레임 데이터를 비교하고, 그 비교 결과에 따라 내장되어 있는 룩업 테이블(LUT : look-up table)을 통해 DCC 변환 데이터를 선택하여 출력시킨다. 상기 룩업 테이블에는 현재 프레임 데이터와 이전 프레임 데이터에 대한 최적의 DCC 데이터가 미리 설정되어 있다. 한편, 입력되는 현재 프레임 데이터는 메모리 제어기(12)에 의해 프레임 메모리A(13)에도 저장된다. 위에서 설명된 바와 같이, 종래의 싱글 입력 모드 액정 표시 장치에 DCC 방법이 적용될 경우에는, 현재의 프레임 데이터와 이전 프레임 데이터를 저장하기 위한 두 개의 프레임 메모리가 필요하다. 통상, 해상도 가 낮은 VGA, WXGA 해상도에서는 싱글 입력 모드의 액정 표시 장치로도 구현될 수 있으나, SXGA 해상도 이상인 경우에는 액정 패널의 데이터 라인의 수가 크게 증가하므로, 데이터 처리에 필요한 클럭 주파수가 너무 높아진다. 따라서, 이러한 경우에는 듀얼 입력 모드 전송 방식을 채택해야 한다.

도 2에는 듀얼 입력 모드 액정 표시 장치에서의 DCC 방법이 구현된 예가 도시되어 있다. 상기 도 2에 도시된 하드웨어는 DCC 처리부로서, 액정 표시 장치의 타이밍 제어부에 내장되어 있다.

상기 도 2를 참조하면, 상기 DCC 처리부는 짝수 데이터와 홀수 데이터를 각각 처리하기 위한 두 개의 블록으로 구성되며, 각 블록의 구성은 상기 도 1에 도시된 DCC 처리부와 동일하다. 즉, 현재 프레임 짝수 데이터를 처리하기 위하여, DCC 블록(21), 메모리 제어기(22), 프레임 메모리C(23) 및 프레임 메모리D(24)가 사용되고, 현재 프레임 홀수 데이터를 처리하기 위하여, DCC 블록(31), 메모리 제어기(32), 프레임 메모리A(33) 및 프레임 메모리B(34)가 사용된다.

상기 도 2에 도시된 바와 같이, 듀얼 입력 모드 액정 표시 장치에 DCC 방법이 적용될 경우에는 4개의 프레임 메모리가 필요하여 프레임 메모리를 증가시켜야 하는 문제점이 있다. 데이터를 처리하는데 필요한 이러한 프레임 메모리가 증가하는 문제점을 해결하기 위해, 고해상도의 액정 표시 장치에서도 싱글 입력 모드가 채택될 경우, 타이밍 제어부 내부에서 데이터를 처리하는 클럭 주파수를 증가시키는 방법이 고려될 수 있다. 그러나, 이 방법에서는 데이터 처리 시에 고주파수로 인한 전자기장애(EMI)의 문제가 발생하며, 또한 EMI의 억제를 위해 타이밍 제어부와 프레임 메모리 사이에 필터 소자를 추가 구성해야 한다. 이러한 경우 타이밍 제어부가 실장되는 인쇄 회로 기판의 면적이 증가하고 제품의 원가 상승을 초래하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 설명된 기술적 배경 하에 도출된 것으로서, 고해상도 및 듀얼 입력 모드의 액정 표시 장치에서 DCC 방법을 구현할 경우에, 액정 화면을 구성하는 화소 중 소정의 방법에 의해 정해진 절반의 화소에 대해 DCC 방법을 적용함으로써, 데이터 처리를 위한 클럭 주파수를 증가시키지 않으면서도, 종래의 싱글 입력 모드의 액정 표시 장치에서와 동일한 프레임 메모리를 사용하는 듀얼 입력 모드의 액정 표시 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 액정 표시 장치는,

다수의 게이트 라인과 데이터 라인이 교차하는 영역에 형성된 화소를 가지는 액정 패널;

상기 액정 패널의 게이트 라인을 순차적으로 스캐닝하기 위한 신호를 인가하는 게이트 구동부;

화상 데이터에 따라 상기 액정 패널의 각 화소에 인가하기 위한 계조 전압을 선택하여 출력시키는 소스 구동부; 및

외부의 그래픽 소스로부터 입력되는 화상 데이터 중 일부 데이터에 대해서만 동적 캐패시턴스 보상(DCC : dynamic capacitance compensation, 이하, 'DCC'라 함)을 적용하는 DCC 처리부와, 상기 DCC 처리부에서 DCC 변환된 데이터가 상기 소스 구동부에서 처리 가능하도록 데이터 포맷을 변환시키는 타이밍 재분배 블록과, 화면표시 동작에 필요한 제어신호를 생성하는 제어신호 생성 블록으로 구성된 타이밍 제어부를 포함한다.

상기와 같이 구성되는 본 발명의 액정 표시 장치에서는 액정 화면의 일부, 보다 구체적으로는, 절반의 화소에 대해서만 DCC 방법이 적용되도록 함으로써 2개의 프레임 메모리를 사용하여 듀얼 입력 모드의 해상도를 갖는 액정 표시 장치에 DCC 방법을 원할하게 적용할 수 있다.

또한, 타이밍 제어부의 프레임 메모리에서 데이터를 처리하는데 필요한 클럭신호의 주파수가 타이밍 제어부에 입력되는 클럭신호의 주파수와 동일해도 되므로, 전자파 장애를 증가시키는 요인을 발생시키지 않는다.

본 발명의 특징에 따르면, 액정 화면의 절반의 화소에 대해 DCC 방법을 적용하기 위한 다양한 패턴이 제공된다.

상기 설명된 본 발명의 목적, 기술적 구성 및 그 효과는 아래의 실시예에 대한 설명을 통해 보다 명백해질 것이다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

도 3에는 본 발명에 따른 액정 표시 장치의 전체 구성이 도시되어 있다.

상기 도 3에 도시되어 있듯이, 본 발명에 따른 액정 표시 장치는 액정 패널(1), 게이트 구동부(2), 소스 구동부(3), 전압 발생부(4) 및 타이밍 제어부(5) 로 이루어진다.

상기 도 3에 상세하게 도시되지 않았지만, 상기 액정 패널(1)은 서로 교차하는 다수의 게이트 라인 및 데이터 라인과, 각 게이트 라인과 데이터 라인이 교차하는 영역에 형성된 화소로 구성되며, 게이트 라인이 순차적으로 스캐닝(scanning)될 때마다 화면 표시를 위한 아날로그 전압이 데이터 라인을 거쳐 대응하는 화소에 인가된다.

상기 타이밍 제어부(5)는 DCC 처리부(51), 타이밍 재분배 블록(52) 및 제어신호 생성블록(53)으로 구성된다. 상기 타이밍 제어부(5)에는 외부의 그래픽 소스로부터 RGB 데이터, 데이터 인에이블 신호(DE), 동기 신호(SYNC) 및 클럭신호(CLK)가 입력되며, 상기 RGB 데이터는 타이밍 제어부(5)의 DCC 처리부(51)에 입력되어 DCC 변환이 이루어진다. 그 다음에, 상기 DCC 변환된 데이터는 타이밍 재분배 블록(52)에 입력되어 상기 소스 구동부(3)에 맞게 데이터 포맷이 변환된다. 상기 타이밍 재분배 블록(52)에서 처리된 데이터는 상기 소스 구동부(3)에 제공된다. 한편, 상기 제어신호 생성블록(53)에서는 상기 데이터 인에이블 신호(DE), 동기 신호(SYNC) 및 클럭 신호(CLK)를 이용하여 표시 동작을 제어하기 위한 여러 제어 신호가 생성되며, 이들 제어신호는 상기 액정 표시 장치의 각 구성요소에 전송된다.

상기 전압 발생부(4)는 게이트 라인을 스캐닝(scanning)하기 위한 게이트 온/오프 전압을 생성하여 상기 게이트 구동부(2)에 출력하며, 아날로그 전압을 계조전압 발생부(도시하지 않음)로 출력한다. 상기 소스 구동부(3)에서는 타이밍 제 어부(5)로부터 전송된 RGB 데이터에 따라 그에 맞는 계조 전압이 선택되어 상기 액정 패널(1)에 인가된다.

본 발명에 따르면, 액정 표시 장치의 타이밍 제어부에 DCC 방법을 적용함에 있어서 액정 화면의 전체 화소에 대해 DCC 방법을 적용하는 것이 아니라 미리 정해진 절반의 화소에 대해 DCC 방법을 적용한다는 것에 특징이 있다. 본 발명의 제1 내지 제4실시예는 DCC 방법을 적용할 화소의 패턴을 어떻게 구성하느냐에 따라 구분된다.

먼저, 도 4 내지 도 6을 참조하여 본 발명의 제1실시예를 설명한다.

도 4에는 본 발명의 제1실시예를 설명하기 위한 화소 패턴이 도시되어 있고, 도 5에는 본 발명에 따른 DCC 적용 및 DCC 비적용 시의 평균 휘도 레벨을 표시한 곡선이 도시되어 있으며, 도 6에는 본 발명의 제1실시예를 구현하기 위한 액정 표시 장치의 DCC 처리부에 대한 구성이 상세하게 도시되어 있다.

상기 도 4를 참조하면, 본 발명의 제1실시예에서는 1x1 패턴으로 DCC를 적용하는 기술이다. 구체적으로는, 홀수 행에서는 홀수 데이터만 DCC를 적용하며, 짝수 행에서는 짝수 데이터만 DCC를 적용하는 기술이다. 따라서, RGB 데이터의 홀수 데이터와 짝수 데이터가 동시에 타이밍 제어부에 입력되는 듀얼 입력 모드일 경우에도, 상기 홀수 데이터와 짝수 데이터 중 하나에 대해서만 DCC 방법을 적용하는 것이 가능해진다.

따라서, 본 발명은 다음과 같은 장점을 가진다.

첫째, 타이밍 제어부에서 홀수 데이터와 짝수 데이터 중 하나에 대해서만 DCC 방법이 적용되므로, 듀얼 입력 모드의 액정 표시 장치에 DCC 방법이 적용되더라도, 싱글 입력 모드의 액정 표시 장치에서와 마찬가지로 두 개의 프레임 메모리만으로 DCC를 구현할 수 있다.

둘째, 타이밍 제어부의 프레임 메모리에서 RGB 데이터를 전송하는데 사용되는 클럭 주파수가 액정 표시 장치의 메인 클럭 주파수와 동일하게 사용될 수 있다.

셋째, 모든 RGB 데이터 중에서 1/2에 해당하는 화상 데이터에만 DCC 방법을 적용하므로, 프레임 메모리에 저장할 데이터도 1/2로 감소되어 필요한 메모리 용량이 1/2로 감소된다.

한편, 도 5에 도시된 바와 같이, 본 발명에서는 모든 화상 데이터에 대해 DCC 방법을 적용하는 것이 아니라, 1/2의 화상 데이터에 대해서만 DCC 방법을 적용하며, 따라서, DCC 적용시 및 비적용 시의 평균 응답 속도에 의해 화면을 표시하게 된다.

따라서, 싱글 입력 모드의 해상도를 갖는 액정 표시 장치에서 DCC 방법이 적용될 때의 룩업 테이블 값보다 더 큰 값을 적절히 선택함으로써, 상기 평균 휘도 곡선의 목표 레벨이 조정될 수 있다. 즉, 종래의 싱글 입력 모드의 해상도를 갖는 액정 표시 장치에서는, 모든 화소에 대해 DCC 방법을 적용하여 상기 도 5의 평균 휘도 곡선과 동일한 곡선을 얻었으나, 본 발명에서는 모든 화상 데이터의 1/2에 대해서만 DCC 방법을 적용하더라도 DCC 적용시의 룩업 테이블 값을 적절하게 선택함으로써, 효과면에서 동일한 결과를 얻을 수 있다.

다음으로, 도 6을 참조하여 본 발명의 제1실시예를 구현하기 위한 액정 표시 장치의 DCC 처리부에 대해 설명한다. 앞서 도 4를 통해 설명한 바와 같이, 본 발명의 제1실시예에서는 홀수 행에서는 홀수 데이터에 대해서만 DCC 방법이 적용되고, 짝수 행에서는 짝수 데이터에 대해서만 DCC 방법이 적용된다.

상기 도 6에 도시되어 있듯이, 본 발명의 제1실시예에 따른 DCC 처리부는 현재 짝수 데이터와 홀수 데이터를 동시에 받아들이며, 상기 짝수 데이터와 홀수 데이터를 DCC 적용 여부에 따라 분배시키는 분배 수단으로서 작용하는 2개의 멀티플렉서(611, 612), 상기 각 멀티플렉서(611, 612)의 출력단에 연결된 바이패스 블록(621)과 DCC 블록(631), 상기 바이패스 블록(621)과 DCC 블록(631)의 출력을 동시에 받아들이며, 상기 바이패스 블록(621)과 DCC 블록(631)의 출력을 변환 홀수 데이터와 변환 짝수 데이터로서 합성시키는 합성 수단으로서 작용하는 2개의 멀티플렉서(651, 652), 상기 멀티플렉서(612)의 출력을 받아들임과 동시에 상기 DCC 블록(631)에 이전 프레임 데이터를 제공하는 메모리 제어기(661), 상기 메모리 제어기(661)에 의해 액세스(access) 가능하도록 연결되어 DCC 방법이 적용되는 현재 프레임 데이터와 이전 프레임 데이터를 각각 저장하는 프레임 메모리 A 및 B(671, 672), 상기 각 멀티플렉서(611, 612, 651, 652)를 제어하기 위한 라인 카운터(641)로 구성된다.

동작이 시작되면, RGB 데이터가 타이밍 제어부로 입력되어 본 발명의 제1실시예에 따른 DCC 처리부에 도달한다. 상기 RGB 데이터는 현재 프레임 짝수 데이터와 홀수 데이터로 구성되며, 여기서 짝수 데이터란 액정 화면을 구성하는 각 행의 짝수째 화소를 표시하기 위한 데이터이고, 홀수 데이터란 각 행의 홀수째 화소를 표시하기 위한 데이터이다.

상기 현재 짝수 데이터와 홀수 데이터는 각각의 멀티플렉서(611, 612)에 동시에 입력된다. 상기 멀티플렉서(611, 612)는 현재 프레임의 행 위치 정보, 즉 프레임 데이터가 짝수행에 위치하는지 홀수행에 위치하는지에 대한 정보를 제공하는 라인 카운터(641)의 출력에 따라 상기 짝수 데이터와 홀수 데이터 중 하나를 각각 선택한다. 앞서 설명한 바와 같이, 본 발명의 제1실시예에서는 홀수 행의 홀수 데이터와 짝수 행의 짝수 데이터에 대해서만 DCC 방법이 적용된다. 따라서, 현재 프레임 데이터가 홀수 행일 경우에는 홀수 데이터가 상기 DCC 블록(631)에 입력되고 짝수 데이터가 상기 바이패스 블록(621)에 입력되어야 한다. 이와 반대로, 현재 프레임 데이터가 짝수 행일 경우에는 홀수 데이터가 상기 바이패스 블록(621)에 입력되고 짝수 데이터가 상기 DCC 블록(631)에 입력되어야 한다. 상기 멀티플렉서(611)는 현재 프레임 데이터 중에서 바이패스 블록(621)에 입력되어야 할 데이터를 선택하며, 상기 멀티플렉서(612)는 현재 프레임 데이터 중에서 DCC 블록(631)에 입력되어야 할 데이터를 선택한다.

상기 바이패스 블록(621)에서는 상기 DCC 블록(631)에서 DCC 방법이 수행될 동안 일시적으로 데이터가 지연(delay)된다. 상기 멀티플렉서(612)에서 출력된 데이터는 DCC 블록(631)에 입력되는 한편, 메모리 제어기(661)를 통해 프레임 메모리A(671)에 저장된다. 또한, 메모리 제어기(661)의 제어에 의해 프레임 메모리B(672)에 저장되어 있던

이전 프레임의 DCC 적용 데이터가 DCC 블록(631)으로 보내진다. 한편, 프레임 메모리A(671)에 저장되어 있던 데이터는 상기 메모리 제어기(661)에 의해 매 프레임마다 프레임 메모리B(672)로 옮겨진다. 상기 DCC 블록(631)에서는 현재 프레임 데이터와 이전 프레임 데이터를 입력받아 상기 두 입력에 대한 DCC 방법이 수행된다. 상기 DCC 변환값은 현재 프레임 데이터와 이전 프레임 데이터에 따라 액정의 반응 속도를 최대화시키기 위해 미리 설정된 값이다.

상기 바이패스 블록(621)과 DCC 블록(631)에 각각 연결된 멀티플렉서(651)는 DCC 적용된 데이터와 바이패스된 데이터를 짝수 데이터와 홀수 데이터로 다시 정렬하기 위한 것이다. 도 4의 화소 구성에서 제1행을 예로 들면, 현재 프레임의 홀수 데이터는 상기 DCC 블록(631)에 의해 DCC 적용되고, 현재 프레임의 짝수 데이터는 상기 바이패스 블록(621)에 의해 소정 시간동안 지연된다. 따라서, 상기 멀티플렉서(651)는 상기 DCC 블록(631)과 상기 바이패스 블록(621)의 출력을 입력받아서 상기 바이패스 블록(621)의 출력을 선택한 후, 변환 짝수 데이터로서 제공하고, 상기 멀티플렉서(652)는 상기 DCC 블록(631)과 상기 바이패스 블록(621)의 출력을 입력받아서 상기 DCC 블록(631)의 출력을 선택한 후, 변환 홀수 데이터로서 제공한다. 상기 각 멀티플렉서(651, 652)의 선택 동작은 상기 라인 카운터(641)에서 출력되는 현재 프레임의 행 위치 정보에 따라 제어된다. 만약, 도 4의 화소 패턴에서 제2행의 데이터가 입력될 경우에는, 짝수 데이터가 상기 DCC 블록(631)에 의해 DCC 수행되고, 홀수 데이터는 상기 바이패스 블록(621)에 의해 소정 시간 동안 지연된다. 따라서, 상기 멀티플렉서(651)는 상기 DCC 블록(631)의 출력을 선택하여 변환 짝수 데이터로서 제공하고, 상기 멀티플렉서(652)는 상기 바이패스 블록(621)의 출력을 선택하여 변환 홀수 데이터로서 제공한다.

결과적으로, 상기 제1실시예에 따른 DCC 처리부에서는 모든 화상 데이터의 1/2에 대해서만 DCC 방법을 적용함으로써 2개의 프레임 메모리를 사용하여 SXGA급 이상의 해상도에서 적용해야 하는 듀얼 입력 모드 액정 표시 장치에 DCC 방법을 적용할 수 있다. 상기 제1실시예에 따른 DCC 처리부에서는 싱글 입력 모드에서의 클럭 주파수와 동일한 클럭 주파수를 사용하게 되므로, 전자파 장애의 증가를 초래하지 않는다. 상기 기술적 특징은 멀티플렉서, 라인 카운터 및 바이패스 블록을 간단하게 구성함으로써 구현할 수 있다.

다음으로, 도 7 및 도 8을 참조하여 본 발명의 제2실시예에 따른 DCC 처리부에 대해 설명한다.

상기 도 7a 및 도 7b에는 본 발명의 제2실시예를 설명하기 위한 화소 패턴이 각각 도시되어 있고, 도 8에는 본 발명의 제2실시예를 구현하기 위한 액정 표시 장치의 DCC 처리부에 대한 구성이 상세하게 도시되어 있다.

상기 본 발명의 제2실시예에서는, 도 7a를 참조하면, 2x1 패턴 방식으로 DCC를 적용하는 것이다. 구체적으로, 첫번째 행에서는 2개의 화소 단위로 짝수 데이터에 대해서만 DCC를 적용하고, 두번째 행에서는 2개의 화소 단위로 홀수 데이터에 대해서만 DCC를 적용하는 것이다. 물론, 상기와는 반대의 경우도 적용할 수 있음은 자명한 것이다. 본 발명의 제2실시예에서는 연속하는 두 화소 단위로 짝수 데이터 또는 홀수 데이터가 교대로 선택된다는 점과, 행이 바뀌면 상기 선택 순서도 바뀐다는 점이다. 전체 화면을 관찰하면, 한 화면을 구성하는 모든 화소의 절반에 대해서 DCC 방법이 적용됨을 알 수 있다.

도 7b의 화소 패턴에서는 2x2 패턴으로 DCC를 적용하는 기술을 도시하고 있다. 몇 행 단위로 이러한 규칙을 적용하느냐 하는 것은 간단한 설계 변경을 통해 당업자가 용이하게 변경할 수 있다.

도 8에 도시된 DCC 처리부는 본 발명에 따른 제2실시예를 구현한 것이다.

도 8을 참조하면, 본 발명의 제2실시예에 따른 DCC 처리부는 라인 카운터 대신에 라인/화소 카운터(841)를 구비하고 있다는 점에서 상기 제1실시예에 따른 DCC 처리부와 다르다. 즉, 상기 라인/화소 카운터(841)는 입력되는 현재 프레임 데이터의 행과 화소의 위치를 검출하며, 상기 라인/화소 카운터(841)의 출력에 따라 멀티플렉서(811, 812, 851, 852)의 선택 동작이 제어된다.

도 7a에 도시된 화소 패턴에 대해 예를 들면, 상기 라인/화소 카운터(841)는 각 행을 카운트함과 동시에 동일 행의 연속하는 두 화소 단위로 카운트한다. 상기 멀티플렉서(811, 812)는 상기 라인/화소 카운터(841)의 카운트 정보에 따라 연속하는 두 화소의 홀수 데이터와 짝수 데이터를 교대로 선택하여 연속하는 두 화소를 바이패스 블록(821) 또는 DCC 블록(831)으로 분배한다. 보다 구체적으로, 도 7a의 첫번째 두 화소가 라인/화소 카운터(841)에 의해 카운트되면, 홀수 데이터는 멀티플렉서(811)에 의해 선택되어 바이패스 블록(821)으로 전송되고, 짝수 데이터는 멀티플렉서(812)에 의해 선택되어 DCC 블록(831)으로 전송된다. 그 다음의 두 화소에서는, 홀수 데이터가 멀티플렉서(812)에 의해 선택되어 DCC 블록(831)으로 전송되고, 짝수 데이터가 멀티플렉서(811)에 의해 선택되어 바이패스 블록(821)으로 전송된다. 출력측에서는, 두 개의 멀티플렉서(851, 852)가 라인/화소 카운터(841)의 카 운트 정보에 따라 바이패스 블록(821)과 DCC 블록(831)의 출력을 선택하여 프레임 데이터를 재구성한다. 도 7a의 화소 패턴에 대해 앞서 살펴본 바와 같이, 첫번째 두화소의 홀수 데이터는 바이패스 블록(821)에서 처리되고 짝수 데이터는 DCC 블록(831)에서 처리된다. 따라서, 멀티플렉서(851)는 이러한 라인/화소 카운트 정보에 따라 DCC 블록(831)의 출력을 선택하여 변환 짝수 데이터로서 제공하고, 멀티플렉서(852)는 바이패스 블록(821)의 출력을 선택하여 변환 홀수 데이터로서 제공한

다.

도 7b의 화소 패턴은 상기 도 7a의 화소 패턴에 대해 2행 단위로 DCC 방법을 적용하면 구현될 수 있다. 따라서, 상기 도 8의 DCC 처리부에서 라인/화소 카운터(841)가 2행 단위로 카운트를 수행하고, 이에 따라 각 멀티플렉서(811, 812, 851, 852)의 선택 동작이 제어된다.

도 8에 도시된 DCC 처리부의 나머지 구성요소는 그 기능과 연결관계가 상기 제1실시예의 DCC 처리부의 구성요소와 동일하다.

상기 설명된 제2실시예는 전체 화면 중 절반의 화소에 대해 DCC 방법을 적용할 수 있는 다른 예를 제공한다는 것에 특징이 있다.

다음으로, 도 9 내지 도 12를 참조하여 본 발명의 제3실시예에 따른 DCC 처리부를 설명한다.

도 9a 및 도 9b에는 본 발명의 제3실시예를 설명하기 위한 화소 패턴이 각각 도시되어 있고, 도 10에는 본 발명의 제3실시예에서의 데이터 입출력 관계가 도시되어 있으며, 도 11에는 본 발명의 제3실시예에서의 데이터 처리 흐름이 도시되어 있으며, 도 12에는 본 발명의 제3실시예에 따른 DCC 처리부의 구성이 상세하게 도시되어 있다.

본 발명의 제3실시예에서는 연속하는 두 화소 단위로 DCC 적용과 DCC 비적용이 교대로 반복된다는 것에 특징이 있다. 앞서 설명한 바와 같이, 본 발명은 SXGA급 이상의 고해상도 제품에 적용해야 하는 듀얼 입력 모드 액정 표시 장치에 관한 것으로, 연속하는 두 화소 단위로 상기 방법을 적용하기 위해서는 동시에 입력되는 짝수 데이터와 홀수 데이터 모두에 대해 DCC 방법이 적용되어야 한다. 다행스럽게도, 연속하는 두 화소 단위로 DCC 적용과 비적용이 반복되므로, 처음 두 화소에 대해 DCC 방법이 적용될 경우에는 그 다음의 두 화소에 대해서는 DCC 방법이 적용되지 않는다. 따라서, 본 발명의 제3실시예에서는 DCC 방법을 적용해야 하는 두 화소 중 하나는 시간적으로 지연시키고, 다음의 두 화소(DCC 비적용)에 대한 데이터가 입력될 때 상기 지연된 화소의 데이터에 대해 DCC 방법이 수행되도록 한다.

도 9a의 화소 패턴은 두 화소 단위로 DCC 적용과 비적용이 교대로 반복됨과 동시에, 1행 단위로 DCC 적용과 비적용의 순서가 변경되는 것을 나타낸다. 즉, 1행에서는 처음 두 화소에 대해 DCC 방법이 적용되었으나 그 다음의 행에서는 처음 두 화소에 대해 DCC 방법이 적용되지 않는다. 도 9b의 화소 패턴은 위 DCC 적용과 비적용의 순서 변경이 2행 단위로 이루어지는 것을 나타낸다.

도 10은 도 9a의 첫 행의 입력 데이터와 출력 데이터의 관계를 도시하고 있다. 도 10에서 숫자는 화소의 위치를 나타낸다. 도 10을 참조하면, 입력 데이터 중에서 1, 2, 5, 6번째 데이터에 대해서는 DCC 방법이 적용되어야 한다. 도 10의 출 력 데이터를 얻기 위한 데이터 처리 과정이 도 11에 도시되어 있다. 상기 도 11에서는 DCC 방법을 적용하는데 2클럭이 사용되는 것으로 가정하고 있다.

상기 도 11을 참조하면, 동시에 입력되는 1, 2번째 화소의 데이터에 대해서는 모두 DCC 방법이 적용되어야 한다. 우선, 1번째 화소의 데이터에 대해 DCC 방법이 적용되고 2번째 화소의 데이터는 1클럭 지연된 후 DCC 방법이 적용된다. 이것은 그 다음의 두 화소 즉, 3, 4번째 화소의 데이터에 대해서는 DCC 방법이 적용되지 않기 때문에 가능하다. 5, 6번째 화소의 데이터는 상기 1, 2번째 화소의 데이터에 대한 처리 과정이 반복된다.

도 12에는 상기 제3실시예에 따른 DCC 처리부의 구성이 상세하게 도시되어 있다.

상기 도 12에 도시되어 있듯이, 제3실시예에 따른 DCC 처리부는 기본적으로 바이패스 블록(931), DCC 블록(934), 메모리 제어기(961) 및 두 개의 프레임 메모리(971, 972)를 포함한다.

입력 측에는 짝수 데이터와 홀수 데이터를 두 화소 단위로 상기 DCC 블록(934) 또는 바이패스 블록(931)으로 분배하기 위한 멀티플렉서(911)가 구비되어 있으며, 라인/화소 카운터(912)는 상기 멀티플렉서(911)가 두 화소 단위로 선택할 수 있도록 두 화소 단위의 행/화소 카운트 정보를 제공한다. 이와 유사하게, 출력 측에는 바이패스 블록(931)과 DCC 블록(934)의 출력을 변환 짝수 데이터와 변환 홀수 데이터로서 재구성하기 위한 멀티플렉서(951)가 구비되어 있다. 라인/화소 카운터(952)는 상기 멀티플렉서(951)의 선택 동작을 제어하기 위하여 두 화소 단위의 행/화소 카운트 정보를 제공한다. 도 9a의 화소 패턴에서는 1행 단위로 DCC 적용과 비적용의 순서 변경이 이루어지고, 도 9b의 화소 패턴에서는 2행 단위로 상기 순서 변경이 이루어진다. 1행 또는 2행 단위로 순서 변경을 하는 것은 상기 라인/화소 카운터(912, 952)의 내부 설정을 변경함으로써 용이하게 구현될 수 있다.

한편, 상기 멀티플렉서(911)의 출력은 DCC 블록(934)에 입력되기 전에, 멀티플렉서(933)를 한번 더 거친다. 상기 멀티플렉서(911)의 두 출력 중 하나는 지연기(921)에 의해 1클럭 지연된 후 상기 멀티플렉서(933)에 입력되고, 다른 하

나는 바로 멀티플렉서(933)에 입력된다. 상기 멀티플렉서(933)는 라인/화소 카운터(932)에서 제공되는 행/화소 카운트 정보에 따라 지연되지 않은 입력을 먼저 선택하여 DCC 블록(934)에 출력시키고, 그 다음에 1클럭 지연된 입력을 선택하여 DCC 블록(934)에 출력시킨다. 상기 라인/화소 카운터(932)는 DCC 방법이 적용되는 두 개의 화소 중에서 어느 것에 대해 먼저 DCC 방법을 적용할지를 결정하기 위한 행/화소 카운트 정보를 제공한다. 이와 유사하게, DCC 블록(934)의 출력단에서는 먼저 DCC 방법이 적용된 화소의 데이터가 지연기(941)에 의해 1클럭 지연되어야 한다. 따라서, 멀티플렉서(935)는 먼저 DCC 방법이 적용된 화소를 선택하여 지연기(941)에 출력시킨다. 상기 설명된 이외의 다른 구성요소는 제1실시예에서 설명된 바와 동일한 구성을 가지며, 그 동작도 동일하다.

다음으로, 도 13을 참조하여 본 발명의 제4실시예를 설명한다.

도 13a 및 도 13b에는 본 발명의 제4실시예를 설명하기 위한 화소 패턴이 각각 도시되어 있다. 상기 제4실시예의 화소 패턴은 상기 제2실시예와 제3실시예의 화소 패턴을 혼합한 것이다. 상기 제4실시예에 도시된 바와 같은 화소 패턴에 대해 DCC 방법을 적용하기 위한 DCC 처리부는 상기 도 11에 도시된 제3실시예에 따른 DCC 처리부의 내부 하드웨어를 약간 변경하면 용이하게 얻어질 수 있다.

상기 도 13a를 참조하면, 세로 방향으로 DCC 방법이 적용되는 화소들 사이에 3개 이상의 DCC 비적용 화소가 존재함을 볼 수 있다. DCC 적용 화소 사이에 DCC 비적용 화소가 너무 많아지면, 몰려 있는 DCC 비적용 화소가 띠의 형상으로 표시될 우려가 있다. 따라서, DCC 비적용 화소의 수가 4 이하로 제한하는 것이 시인성 특성에 유용하다.

발명의 효과

이상으로 설명된 바와 같이, 모든 화상 데이터의 1/2에 대해서만 DCC 방법을 적용함으로써 2개의 프레임 메모리만을 사용하여 SXGA급 이상의 고해상도에 적용해야 하는 듀얼 입력 모드 액정 표시 장치에 DCC 방법을 원할하게 적용할 수 있다. 또한, 싱글 입력 모드의 액정 표시 장치에서 사용되는 클럭 주파수와 동일한 클럭 주파수로 듀얼 입력 모드의 액정 표시 장치에 사용할 수 있으므로, EMI를 개선하기 위해 타이밍 제어부와 프레임 메모리 사이에 또 다른 구성요소를 추가할 필요가 없다. 또한, 상기 기술적 특징은 멀티플렉서, 라인 카운터 및 바이패스 블록을 구성함으로써 간단하게 구현할 수 있다.

(57) 청구의 범위

청구항 1.

다수의 게이트 라인과 데이터 라인이 교차하는 영역에 형성된 화소를 가지는 액정 패널;

상기 액정 패널의 게이트 라인을 순차적으로 스캐닝하기 위한 신호를 인가하는 게이트 구동부;

화상 데이터에 따라 상기 액정 패널의 각 화소에 인가하기 위한 계조 전압을 선택하여 출력시키는 소스 구동부; 및

외부의 그래픽 소스로부터 입력되는 화상 데이터 중 일부 데이터에 대해서만 동적 캐패시턴스 보상(DCC : dynamic capacitance compensation, 이하, 'DCC'라 함)을 적용하는 DCC 처리부와, 상기 DCC 처리부에서 DCC 변환된 데이터가 상기 소스 구동부에서 처리 가능하도록 데이터 포맷을 변환시키는 타이밍 재분배 블록과, 화면표시 동작에 필요한 제어신호를 생성하는 제어신호 생성 블록으로 구성된 타이밍 제어부를 포함하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 DCC 처리부는 상기 화상 데이터에 의해 표현되는 액정 화면의 홀수 행에서는 홀수 데이터에 대해서만 DCC를 적용하고, 짝수 행에서는 짝수 데이터에 대해서만 DCC를 적용하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항에 있어서,

상기 DCC 처리부는 상기 화상 데이터에 의해 표현되는 액정 화면의 홀수 행에서는 짝수 데이터에 대해서만 DCC를 적용하고, 짝수 행에서는 홀수 데이터에 대해서만 DCC를 적용하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제2항에 있어서,

상기 DCC 처리부는,

DCC 방법을 적용할 데이터가 입력되면, 현재 프레임 데이터와 이전 프레임 데이터를 비교하여 룩업 테이블로부터 대응하는 변환 데이터를 출력하는 DCC 블록;

상기 DCC 방법이 적용되는 동안, 입력 데이터를 지연시키는 바이패스 블록;

화상 데이터의 홀수 데이터와 짝수 데이터를 각각 받아들이며, 이들 데이터의 행 위치 정보에 따라 상기 홀수 데이터와 짝수 데이터를 상기 DCC 블록 또는 상기 바이패스 블록으로 분배시키는 분배 수단;

상기 DCC 블록과 바이패스 블록에서 처리된 데이터를 각각 받아들이며, 이들 데이터의 행 위치 정보에 따라 상기 DCC 블록 또는 상기 바이패스 블록의 출력을 선택하여 변환 짝수 데이터와 변환 홀수 데이터를 출력시키는 합성 수단;

상기 화상 데이터가 나타내는 액정 화면의 행의 수를 카운트하여, 상기 분배 수단과 상기 합성 수단에 행 위치 정보를 제공하기 위한 라인 카운터;

현재 프레임 데이터와 이전 프레임 데이터를 각각 저장하기 위한 두개의 프레임 메모리; 및

상기 분배 수단에 의해 상기 DCC 블록으로 제공되는 데이터를 현재 프레임 데이터로서 상기 프레임 메모리 중 어느 하나에 저장하며, 상기 프레임 메모리 중 다른 하나에 저장되어 있는 이전 프레임 데이터를 상기 DCC 블록에 전송하는 메모리 제어기로 구성됨을 특징으로 하는 액정 표시 장치.

청구항 5.
제4항에 있어서,

상기 분배 수단은, 상기 짝수 데이터와 홀수 데이터를 동시에 받아들여 상기 라인 카운터의 출력에 따라 그 중 하나를 선택하도록 구성된 두개의 멀티플렉서로 구성되며,

상기 합성 수단은, 상기 DCC 블록과 상기 바이패스 블록의 출력을 동시에 받아들여 상기 라인 카운터의 출력에 따라 그 중 하나를 선택하도록 구성된 두개의 멀티플렉서로 구성됨을 특징으로 하는 액정 표시 장치.

청구항 6.
제1항에 있어서,

상기 DCC 처리부는 상기 화상 데이터에 의해 표현되는 임의의 행의 연속하는 두 화소 중에서 하나에 대해서만 DCC 방법이 적용되도록 하고, 상기 DCC 방법이 적용되는 화소의 위치는 매 두 화소마다 짝수 데이터와 홀수 데이터가 교대로 선택되도록 하며, 적어도 1행 단위로 상기 선택 순서가 바뀌도록 함을 특징으로 하는 액정 표시 장치.

청구항 7.
제6항에 있어서,

상기 DCC 처리부는

DCC 방법을 적용할 데이터가 입력되면, 현재 프레임 데이터와 이전 프레임 데이터를 비교하여 DCC 변환을 수행하는 DCC 블록;

상기 DCC 블록에서 DCC 변환이 수행되는 동안, 입력 데이터를 지연시키는 바이패스 블록;

화상 데이터의 홀수 데이터와 짝수 데이터를 각각 받아들이며, 이들 데이터의 행/화소 위치 정보에 따라 연속하는 두 화소의 홀수 데이터와 짝수 데이터를 상기 DCC 블록 또는 상기 바이패스 블록으로 분배시키며, 상기 DCC 블록으로 분배되는 화소는 연속하는 두 화소 단위로 두 화소의 홀수 데이터 또는 짝수 데이터가 교대로 선택되도록 하는 분배 수단;

상기 DCC 블록과 바이패스 블록에서 처리된 데이터를 각각 받아들이며, 이들 데이터의 행/화소 위치 정보에 따라 상기 DCC 블록 또는 상기 바이패스 블록의 출력을 선택하여 변환 짝수 데이터와 변환 홀수 데이터를 출력시키는 합성 수단;

상기 화상 데이터가 나타내는 액정 화면의 행 및 화소 수를 카운트하여, 상기 분배 수단과 상기 합성 수단에 행/화소 위치 정보를 제공하기 위한 라인/화소 카운터;

현재 프레임 데이터와 이전 프레임 데이터를 각각 저장하기 위한 두개의 프레임 메모리; 및

상기 분배 수단에 의해 상기 DCC 블록으로 제공되는 데이터를 현재 프레임 데이터로서 상기 프레임 메모리 중 어느 하나에 저장하며, 상기 프레임 메모리 중 다른 하나에 저장되어 있는 이전 프레임 데이터를 상기 DCC 블록에 전송하는 메모리 제어기로 구성됨을 특징으로 하는 액정 표시 장치.

청구항 8.
제7항에 있어서,

상기 라인/화소 카운터는 상기 입력되는 짝수 데이터와 홀수 데이터가 나타내는 액정 화면의 적어도 1행 이상의 라인 단위로 카운트함을 특징으로 하는 액정 표시 장치.

청구항 9.
제7항에 있어서,

상기 분배 수단은, 상기 짝수 데이터와 홀수 데이터를 동시에 받아들여 상기 라인/화소 카운터의 출력에 따라 연속하는 두 화소의 짝수 데이터와 홀수 데이터 중 하나를 선택하도록 구성된 두개의 멀티플렉서로 구성되며,

상기 합성 수단은, 상기 DCC 블록과 상기 바이패스 블록의 출력을 동시에 각각 받아들여 상기 라인/화소 카운터의 출력에 따라 그 중 하나를 선택하도록 구성된 두개의 멀티플렉서로 구성됨을 특징으로 하는 액정 표시 장치.

청구항 10.
제1항에 있어서,

상기 DCC 처리부는 상기 화상 데이터에 의해 표현되는 액정 화면의 연속하는 두 화소 단위로 DCC 적용과 DCC 비적용이 교대로 반복되도록 하며, 적어도 1행 이 상의 단위로 상기 DCC 적용과 DCC 비적용의 순서가 바뀌도록 함을 특징으로 하는 액정 표시 장치.

청구항 11.
제10항에 있어서,

상기 DCC 처리부는 연속하는 두 화소의 데이터에 대해 DCC 방법을 적용할 때, 어느 한 화소에 대해 DCC 방법을 적용하는 동안 다른 화소를 지연시키며, 그 다음의 두 화소에 대해 DCC 방법을 적용하지 않고 바이패스시키며, 이 기간 동안에 상기 지연된 다른 화소에 대해 DCC 방법을 적용함을 특징으로 하는 액정 표시 장치.

청구항 12.
제11항에 있어서,

상기 DCC 처리부는

DCC 방법을 적용할 데이터가 입력되면, 현재 프레임 데이터와 이전 프레임 데이터를 비교하여 DCC 변환을 수행하는 DCC 블록;

상기 DCC 블록에서 DCC 변환이 수행되는 동안, 입력 데이터를 지연시키는 바이패스 블록;

화상 데이터의 홀수 데이터와 짝수 데이터를 각각 받아들이며, 이들 데이터의 행/화소 위치 정보에 따라 연속하는 두 화소 단위로 상기 DCC 블록 또는 상기 바이패스 블록으로 분배시키는 분배 수단;

상기 DCC 블록과 바이패스 블록에서 처리된 데이터를 각각 받아들이며, 이들 데이터의 행/화소 위치 정보에 따라 상기 DCC 블록 또는 상기 바이패스 블록의 출력을 선택하여 변환 짝수 데이터와 변환 홀수 데이터를 출력시키는 합성 수단;

상기 화상 데이터가 나타내는 액정 화면의 행 및 화소 수를 카운트하여, 상기 분배 수단과 상기 합성 수단에 행/화소 위치 정보를 제공하기 위한 제1의 라인/화소 카운터;

상기 분배수단과 DCC 블록 사이에 위치하며, 상기 분배수단에서 출력되는 연속하는 두 화소의 데이터 중 하나를 소정 시간 지연시키는 제1지연기;

행/화소 위치 정보에 따라, 상기 분배수단에서 출력되는 두 화소의 데이터 중 다른 하나와 상기 제1지연기의 출력을 차례로 선택하여 상기 DCC 블록으로 출력시키는 제1멀티플렉서;

상기 DCC 블록과 상기 합성 수단 사이에 위치하며, 연속하는 두 화소의 데이터 중에서 시간 지연없이 상기 DCC 블록에 입력되었던 데이터를 소정 시간 지연시키는 제2지연기;

행/화소 위치 정보에 따라, 상기 DCC 블록에서 출력되는 데이터 중 상기 제2지연기로 전송할지를 선택하는 제2멀티플렉서;

상기 화상 데이터가 나타내는 액정 화면의 행 및 화소 수를 카운트하여, 상기 제1 및 제2멀티플렉서에 연속하는 두 화소의 순서에 관한 행/화소 위치 정보를 제공하는 제2의 라인/화소 카운터;

현재 프레임 데이터와 이전 프레임 데이터를 각각 저장하기 위한 두개의 프레임 메모리; 및

상기 분배 수단에 의해 상기 DCC 블록으로 제공되는 데이터를 현재 프레임 데이터로서 상기 프레임 메모리 중 어느 하나에 저장하며, 상기 프레임 메모리 중 다른 하나에 저장되어 있는 이전 프레임 데이터를 상기 DCC 블록에 전송하는 메모리 제어기로 구성됨을 특징으로 하는 액정 표시 장치.

청구항 13.
제12항에 있어서,

상기 제1의 라인/화소 카운터는 상기 입력되는 짝수 데이터와 홀수 데이터가 나타내는 액정 화면의 적어도 1행 이상의 라인 단위로 카운트함을 특징으로 하는 액정 표시 장치.

청구항 14.
제12항에 있어서,

상기 분배 수단은, 상기 짝수 데이터와 홀수 데이터를 동시에 받아들여 상기 제1의 라인/화소 카운터의 출력에 따라 연속하는 두 화소를 상기 바이패스 블록 또는 상기 DCC 블록으로 선택하도록 구성된 멀티플렉서로 구성되며,

상기 합성 수단은, 상기 DCC 블록과 상기 바이패스 블록으로부터의 출력을 동시에 받아들여 상기 제1의 라인/화소 카운터의 출력에 따라 상기 두 출력 중 하나를 선택하도록 구성된 멀티플렉서로 구성됨을 특징으로 하는 액정 표시 장치.

청구항 15.
외부의 그래픽 소스로부터 화상 데이터를 입력받아, 상기 화상 데이터에 의해 표현되는 액정 화면의 홀수 행에서는 홀수 데이터에 대해서만 DCC를 적용하고, 짝수 행에서는 짝수 데이터에 대해서만 DCC를 적용하는 액정 표시 장치의 구동 방법에 있어서,

상기 화상 데이터의 홀수 데이터와 짝수 데이터를 각각 받아들이며, 이들 데이터의 행 위치 정보에 따라 상기 홀수 데이터와 짝수 데이터에 대한 DCC 적용여부를 결정하여 분배하는 제1단계;

상기 제1단계에서 DCC를 적용하는 것으로 결정된 데이터가 입력되면, 현재 프레임 데이터와 이전 프레임 데이터를 비교하여 룩업 테이블로부터 대응하는 변환 데이터를 출력하는 DCC 변환을 수행하는 제2단계;

상기 제2단계에서 DCC가 적용되는 동안, DCC를 적용하지 않는 것으로 결정된 데이터를 소정 시간 동안 지연시키는 제3단계; 및,

상기 제2단계에서 DCC가 적용된 출력 데이터와 상기 제3단계에서 지연된 데이터를 받아들이며, 이들 데이터의 행 위치 정보에 따라 상기 DCC 적용 데이터와 지연된 데이터를 변환 짝수 데이터와 변환 홀수 데이터로서 합성시키는 제4단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 16.
외부의 그래픽 소스로부터 화상 데이터를 입력받아, 상기 화상 데이터에 의해 표현되는 액정 화면의 임의의 행의 연속하는 두 화소 중에서 하나에 대해서만 DCC 방법이 적용되도록 하고, 상기 DCC 방법이 적용되는 화소의 위치는 매

두 화소마다 짝수 데이터와 홀수 데이터가 교대로 선택되도록 하며, 적어도 1행 단위로 상기 선택 순서가 바뀌도록 한 액정 표시 장치의 구동 방법에 있어서,

상기 화상 데이터의 홀수 데이터와 짝수 데이터를 각각 받아들이며, 이들 데이터의 행/화소 위치 정보에 따라 연속하는 두 화소의 홀수 데이터와 짝수 데이터에 대한 DCC 적용여부를 결정하여 분배시키며, 상기 DCC의 적용은 연속하는 두 화소 단위로 두 화소의 홀수 데이터 또는 짝수 데이터가 교대로 선택되도록 하여 결정하는 제1단계;

상기 제1단계에서 DCC를 적용하는 것으로 결정된 데이터가 입력되면, 현재 프레임 데이터와 이전 프레임 데이터를 비교하여 룩업 테이블로부터 대응하는 변환 데이터를 출력하는 DCC 변환을 수행하는 제2단계;

상기 제2단계에서 DCC가 적용되는 동안, DCC를 적용하지 않는 것으로 결정된 데이터를 소정 시간 동안 지연시키는 제3단계; 및,

상기 제2단계에서 DCC가 적용된 출력 데이터와 상기 제3단계에서 지연된 데이터를 받아들이며, 이들 데이터의 행/화소 위치 정보에 따라 상기 DCC 적용 데이터와 지연된 데이터를 변환 짝수 데이터와 변환 홀수 데이터로서 합성시키는 제4단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 17.

외부의 그래픽 소스로부터 화상 데이터를 입력받아, 상기 화상 데이터에 의해 표현되는 액정 화면의 연속하는 두 화소 단위로 DCC 적용과 비적용이 교대로 반복되도록 하며, 적어도 1행 이상의 단위로 상기 DCC 적용과 DCC 비적용의 순서가 바뀌도록 하는 액정 표시 장치의 구동 방법에 있어서,

상기 화상 데이터의 홀수 데이터와 짝수 데이터를 각각 받아들이며, 이들 데 이터의 행/화소 위치 정보에 따라 연속하는 두 화소 단위로 DCC 적용여부를 결정하여 분배시키는 제1단계;

상기 제1단계에서 DCC를 적용하는 것으로 결정된 데이터가 입력되면, 연속하는 두 화소의 데이터 중에서 하나의 데이터는 소정 시간 지연되도록 함으로써 두 화소의 데이터에 대해 순차적으로 DCC가 적용되도록 하며, DCC가 적용될 경우에는 현재 프레임 데이터와 이전 프레임 데이터를 비교하여 룩업 테이블로부터 대응하는 변환 데이터를 출력하는 DCC 변환을 수행하는 제2단계;

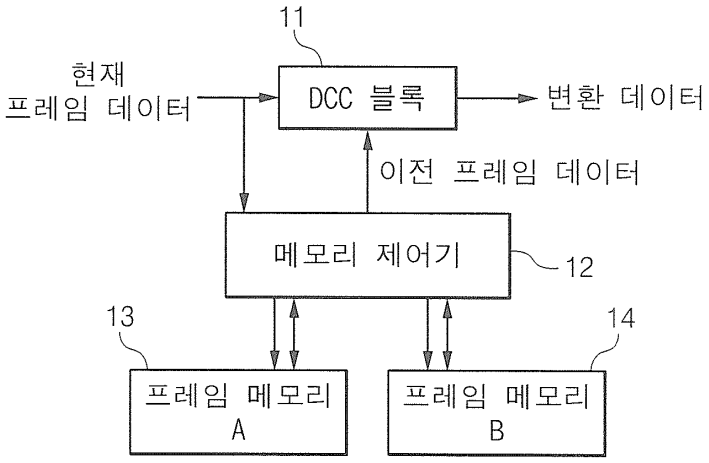
상기 제2단계에서 DCC가 적용되는 동안, DCC를 적용하지 않는 것으로 결정된 데이터를 소정 시간 동안 지연시키는 제3단계;

상기 제2단계에서 DCC가 적용된 데이터 중에서 시간 지연없이 DCC 처리된 데이터를 소정 시간 지연시키는 제4단계;

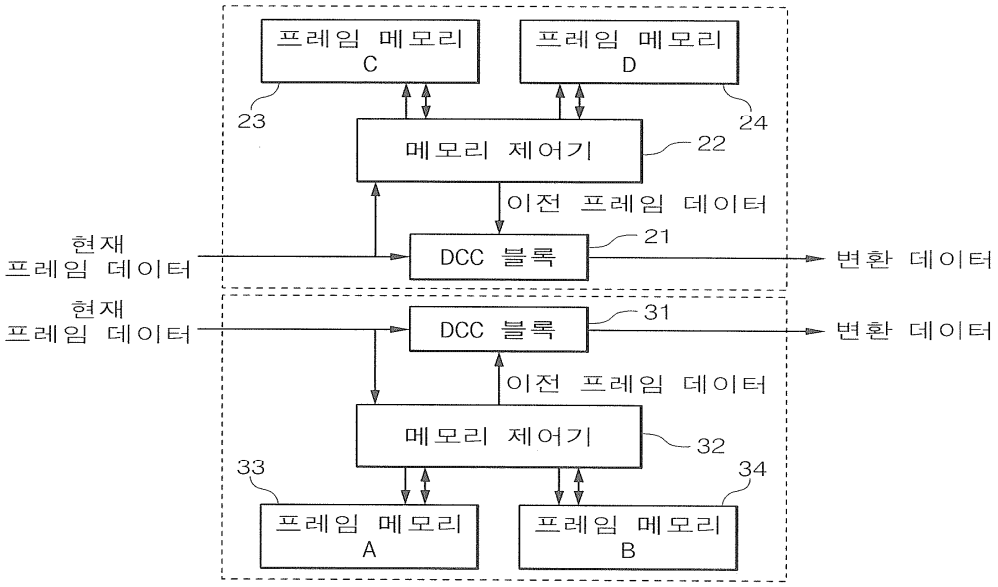
상기 제2단계 및 제4단계에서 DCC가 적용된 출력 데이터와 상기 제3단계에서 지연된 데이터를 받아들이며, 이들 데이터의 행/화소 위치 정보에 따라 상기 DCC 적용 데이터와 DCC 비적용 데이터를 변환 짝수 데이터와 변환 홀수 데이터로서 합성시키는 제5단계를 포함하는 액정 표시 장치의 구동 방법.

도면

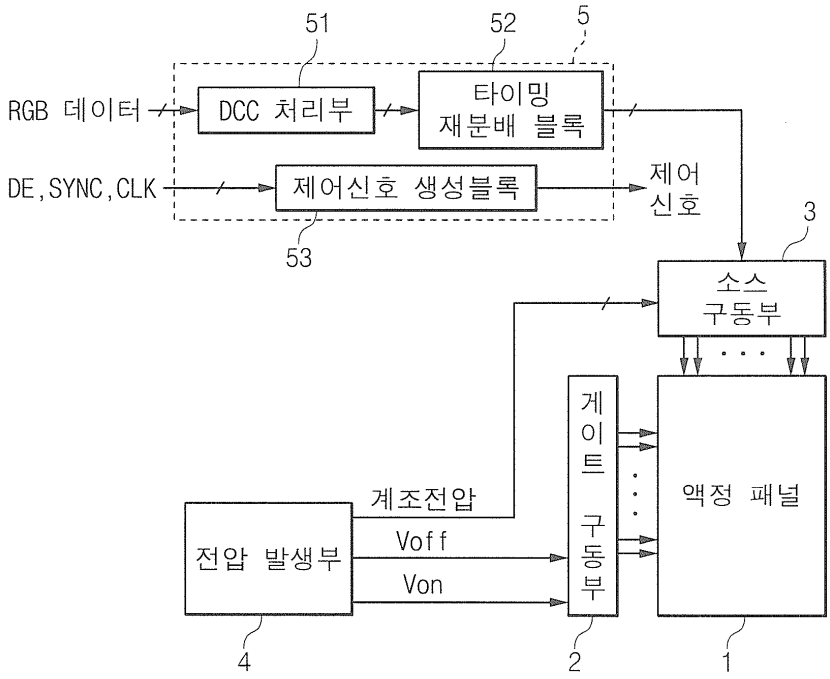
도면1


11
현재
프레임 데이터
DCC 블록
변환 데이터
이전 프레임 데이터
메모리 제어기
12
13
14
프레임 메모리
A
프레임 메모리
B

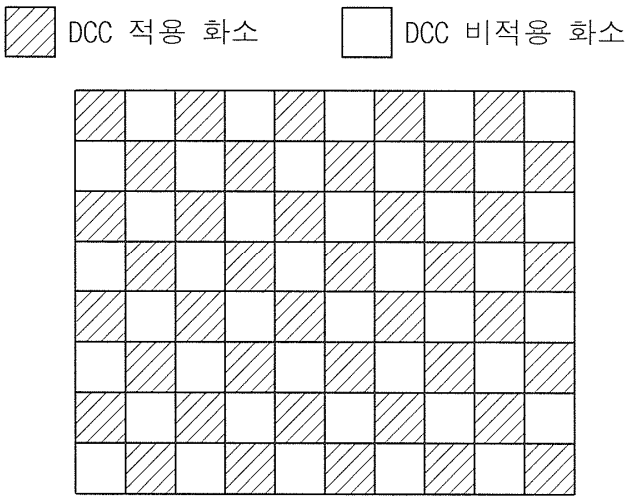
도면2


프레임 메모리
C
프레임 메모리
D
23
24
메모리 제어기
22
이전 프레임 데이터
현재
프레임 데이터
DCC 블록
21
변환 데이터
현재
프레임 데이터
DCC 블록
31
변환 데이터
이전 프레임 데이터
메모리 제어기
32
33
34
프레임 메모리
A
프레임 메모리
B

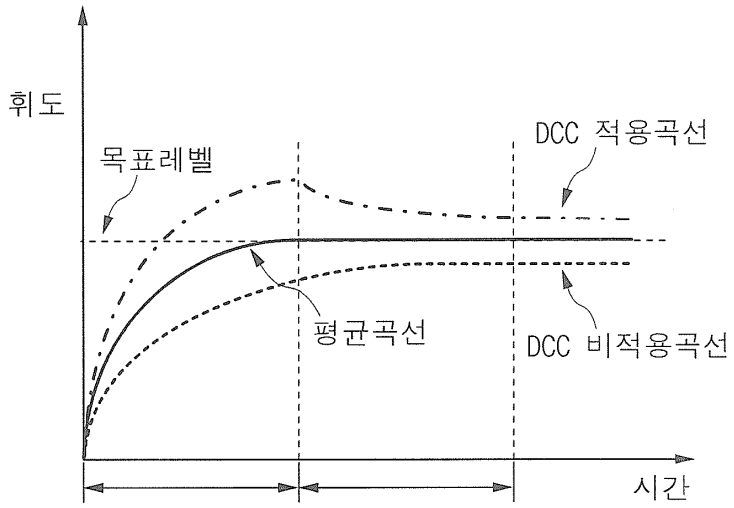
도면3


51
52
5
RGB 데이터
DCC 처리부
타이밍
재분배 블록
DE,SYNC,CLK
제어신호 생성블록
제어
신호
53
3
소스
구동부
게이트 구동부
액정 패널
계조전압
전압 발생부
Voff
Von
4
2
1

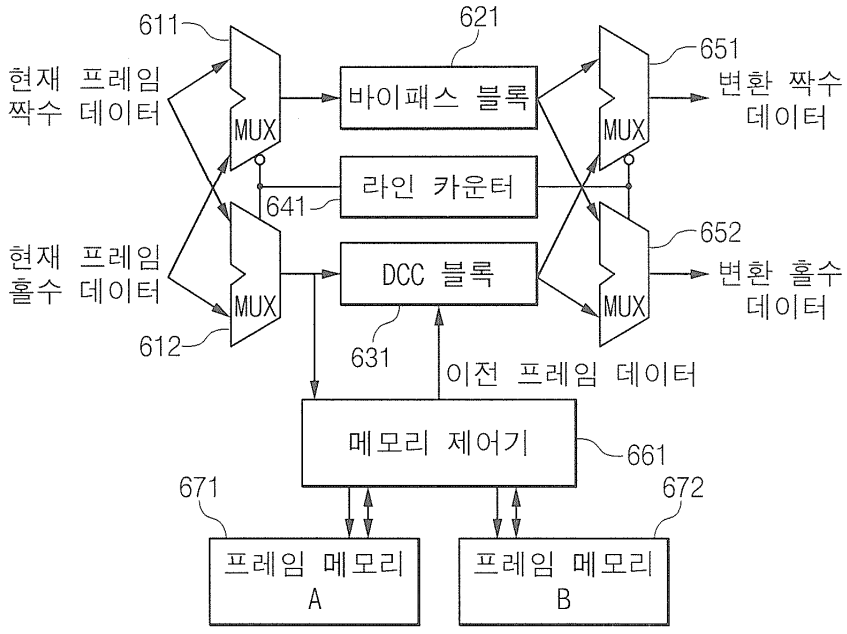
도면4


DCC 적용 화소
DCC 비적용 화소

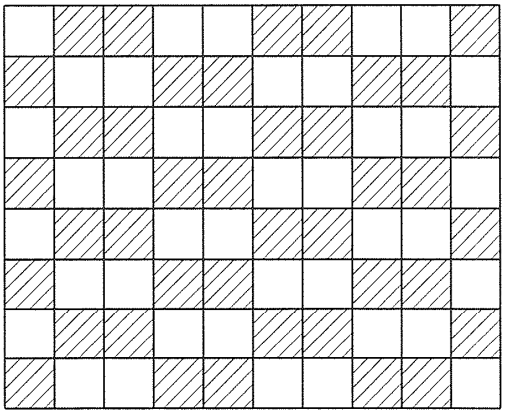
도면5


휘도
목표레벨
DCC 적용곡선
평균곡선
DCC 비적용곡선
시간

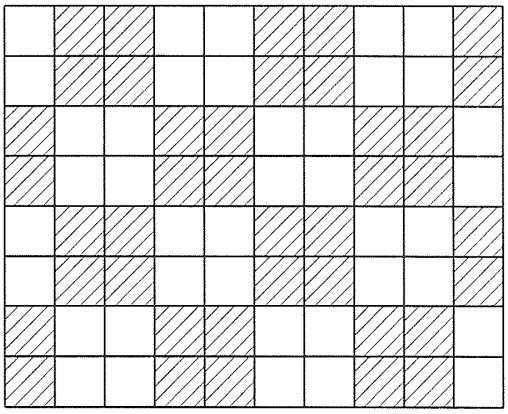
도면6


611
621
651
현재 프레임 짝수 데이터
MUX
바이패스 블록
MUX
변환 짝수 데이터
라인 카운터
641
652
현재 프레임 홀수 데이터
MUX
DCC 블록
MUX
변환 홀수 데이터
612
631
이전 프레임 데이터
메모리 제어기
661
671
672
프레임 메모리 A
프레임 메모리 B

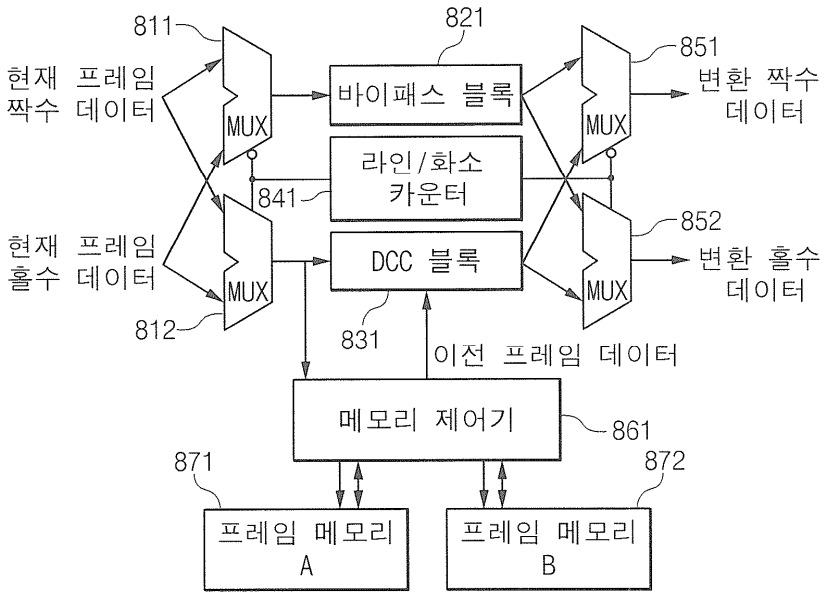
도면7a



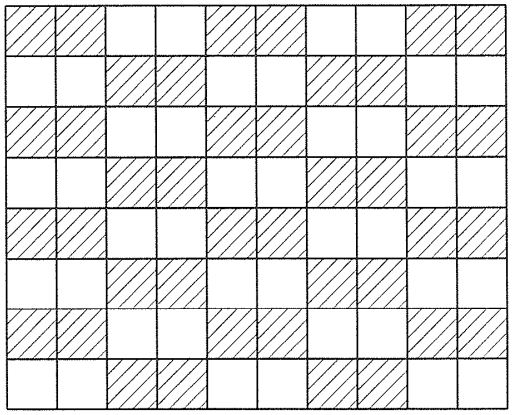
도면7b



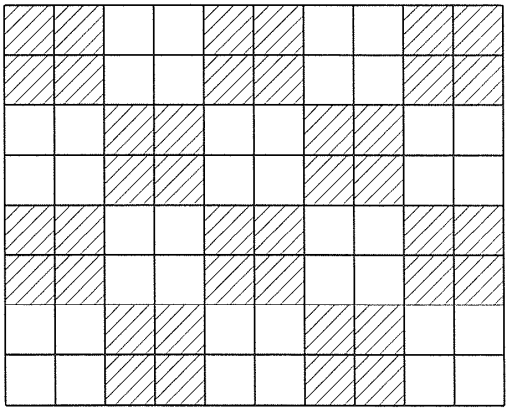
도면8



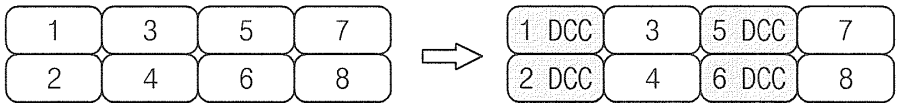
도면9a



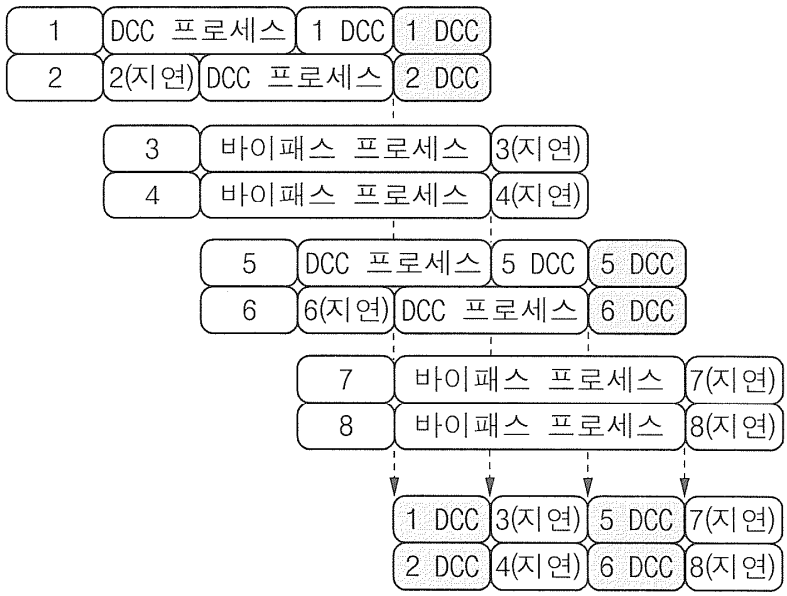
도면9b



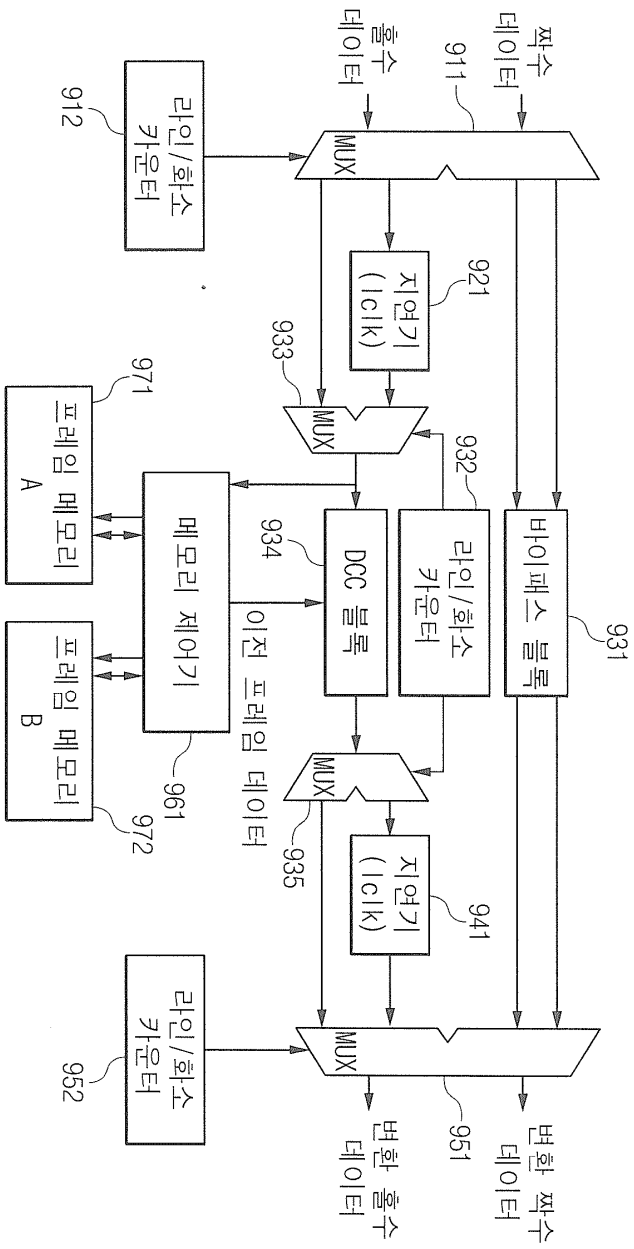
도면10



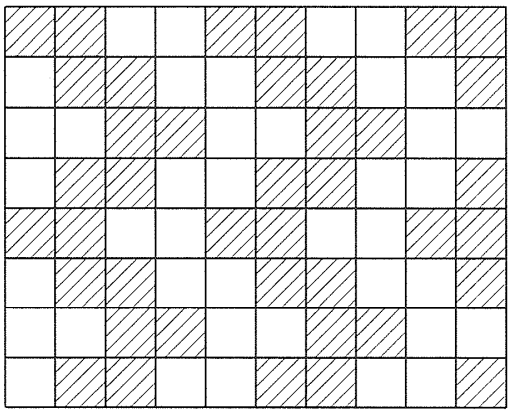
도면11



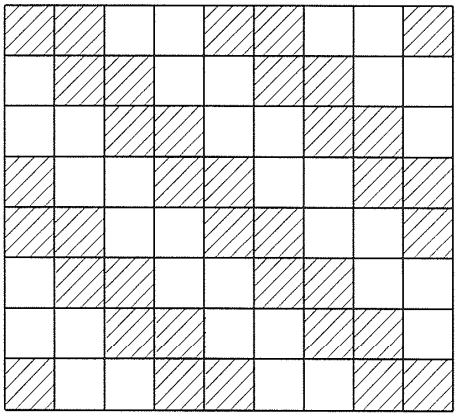
도면12


홀수 데이터
짝수 데이터
911
912
라인/화소 카운터
MUX
지연기 (1clk)
921
933
971
프레임 메모리 A
메모리 제어기
934
DCC 블록
932
라인/화소 카운터
바이패스 블록
931
이전 프레임 데이터
961
프레임 메모리 B
972
935
지연기 (1clk)
941
라인/화소 카운터
952
951
변환 홀수 데이터
변환 짝수 데이터

도면13a



도면13b



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020030089072A	公开(公告)日	2003-11-21
申请号	KR1020020027105	申请日	2002-05-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE SEUNGWOO 이승우		
发明人	이승우		
IPC分类号	G09G3/36 G09G3/20 H04N5/66 G02F1/133		
CPC分类号	G09G3/3648 G09G2340/16 G09G2320/0252 G09G2310/0297 G09G2352/00		
其他公开文献	KR100825103B1		
外部链接	Espacenet		

摘要(译)

本发明包括本发明的液晶显示器是多栅极线，动态电容补偿（DCC：动态电容补偿）方法是关于应用高分辨率的双输入模式液晶显示器件和由时序控制单元组成的控制信号发生模块中的关于部分数据的动态电容补偿（它表示为DCC：动态电容补偿，小于和“DCC”）的液晶面板：栅极驱动单元：源极驱动器，其中打印出来，根据图像数据和从外部图形源输入的图像数据，选择用于在液晶面板的每个像素中授权的灰度电压，DCC处理单元所需的控制信号，以及定时重新分配块，其中在DCC处理单元中变换为DCC的数据改变数据格式在源极驱动器中，为了进行处理，显示处理授权信号，用于连续扫描具有在数据线交叉的区域上形成的像素的液晶面板的栅极线。在本发明的液晶显示器中，虽然DCC方法应用于具有部分液晶显示器的液晶显示器，并且双输入模式的分辨率采用DCC方法，但它可以实现为2的帧存储器。更具体地应用于半像素。并且它与时钟信号的频率相同，其中必要时钟信号的频率被输入到定时控制单元以处理定时控制单元的帧存储器中的数据。因此，不会产生增加电磁干扰的因素。 DCC（动态电容补偿），双输入模式，帧存储器，行计数器，多路复用器。