

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호
(43) 공개일자

특2003-0058519
2003년07월07일

(21) 출원번호 10-2001-0088975
(22) 출원일자 2001년12월31일

(71) 출원인 바이오 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 이동환
경기도이천시부발읍응암리이화아파트202-707

김승환
경기도수원시장안구조원동한일타운아파트119-2003

(74) 대리인 강성배

심사청구 : 없음

(54) 박막트랜지스터 액정표시장치의 타이밍 컨트롤러

요약

본 발명은 TFT-LCD용 타이밍 컨트롤러에 관한 것으로, 고해상도 TFT-LCD를 구동하는 타이밍 컨트롤러에서 4 포트 출력과 동일한 주파수를 가지고 위상이 다른 두개의 출력 클럭을 생성하여 4 포트 출력대비 출력 라인의 수를 반으로 줄일 수 있다. 이를 위한 본 발명의 TFT-LCD의 타이밍 컨트롤러는, 화소 데이터 중 홀수 및 짝수 입력데이터신호와 홀수 및 짝수 입력클럭신호를 수신하며, 상기 입력클럭신호의 1/2 또는 1/4 주파수를 갖는 제 1 및 제 2 출력클럭신호를 발생하여 홀수 및 짝수 출력데이터신호를 제어하는 것을 특징으로 한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 일반적인 TFT-LCD 의 블럭도

도 2는 종래 기술에 따른 TFT-LCD의 타이밍 컨트롤러의 4포트 출력 방식의 블럭도

도 3은 종래의 기술에서 사용한 타이밍도

도 4는 본 발명에 의한 TFT-LCD의 타이밍 컨트롤러의 블럭도

도 5는 본 발명에서 사용한 방식의 타이밍도

(도면의 주요 부분에 대한 부호의 설명)

150 : 타이밍 컨트롤러 160 : 출력단 필터부

170 : 컬럼 드라이브 IC

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 TFT-LCD용 타이밍 컨트롤러에 관한 것으로서, 특히 고해상도 TFT-LCD를 구동하는 타이밍 컨트롤러에서 4 포트(port) 출력과 동일한 주파수를 가지고 위상이 다른 두개의 출력 클럭을 생성하여 4 포트 출력대비 출력 라인의 수를 반으로 줄인 타이밍 컨트롤러에 관한 것이다.

현재 노트북 PC에 사용되는 액정표시소자는 전원이 인가된 다음 일정시간이 경과한 후 데이터 인에이블신호가 입력되어진다. 이때, 액정표시소자의 컨트롤러는 데이터 인에이블 신호가 입력되어야 정상적인 동작을 시작하게 된다. 즉, 전원전압이 인가된 후 콘트롤신호인 데이터 인에이블신호가 인가되기 전까지 액정패널을 조절하는 신호들이 컨트롤러를 통하여 인가되지 않게 되고, 이에 따라 제어되지 않은 전압이 그대로 액정패널에 인가된다.

도 1은 일반적인 액정표시소자의 블록도를 도시한 것이다. 도 1을 참조하면, TFT-LCD 패널(10), 각각 게이트 구동 신호와 데이터구동신호를 발생하여 액정패널(10)을 구동시켜 주는 게이트 드라이버(20) 및 데이터 드라이버(30) 그리고 상기 게이트 드라이버(20) 및 데이터 드라이버(30)를 제어하기 위한 컨트롤러(40)를 구비한다.

일반적으로, 컨트롤러(40)는 외부에서 신호를 받아 게이트 드라이버(20) 및 데이터 드라이버(30)등과 같은 액정표시소자의 각 구성요소를 콘트롤하기 위한 다수개의 콘트롤신호를 발생하게 된다. 이 신호들 중에는 게이트 드라이버(20)를 구동시키기 위한 데이터 클럭신호(CPH)가 있다. 컨트롤러(40)는 데이터 클럭신호(CPH)를 발생시키기 위한 타이밍 컨트롤러를 포함하고 있다.

도 2는 종래 기술에 따른 SXGA 해상도의 TFT-LCD의 타이밍 컨트롤러의 블록도로서, 타이밍 컨트롤러(50), 출력단 필터부(60), 제 1 및 제 2 컬럼 드라이브 IC(70)(80)를 구비하고 있다.

상기 타이밍 컨트롤러(50)는 2ch. 입력의 경우 홀수 데이터(Odd Data), 홀수 클럭(Odd Clock: 54Mhz), 짝수 데이터(Even Data), 짝수 클럭(Even Clock: 54Mhz)을 수신하여 제 1 홀수 데이터, 제 1 짝수 데이터, 클럭(CPH: 27MHz)을 출력단 필터부(60)를 통해 제 1 컬럼 드라이브 IC(70)로 출력한다. 또한, 상기 타이밍 컨트롤러(50)는 제 2 홀수 데이터, 제 2 짝수 데이터, 클럭(CPH: 27MHz)을 출력단 필터부(60)를 통해 제 2 컬럼 드라이브 IC(80)로 출력한다.

도 3은 종래의 기술에서 사용한 동작 타이밍도이다(SXGA 해상도(1280 × 1024)).

평판표시장치의 해상도가 높아짐에 따라 타이밍 컨트롤러 설계시 클럭(Clock) 주파수의 증가로 인해 컬럼 드라이브 IC 동작 스펙(Spec.)을 만족하지 못하거나 타이밍 마진 부족등의 문제점이 나타났다(SXGA 급의 해상도에 사용되는 주 클럭 주파수 : 108MHz).

이를 개선하기 위하여 종래의 기술은 1ch., 또는 2ch.(홀수(Odd)/짝수(Even)) 입력(TTL, LVDS 등)을 받아 다시 이를 4포트(홀수/짝수, 제1/제2) 출력으로 내보내 클럭의 주파수를 1ch. 입력 대비 1/4, 2ch. 입력 대비 1/2로 줄이는 기술이 사용되어 왔다.

발명이 이루고자 하는 기술적 과제

그런데, 이러한 종래의 방식에서는 타이밍 컨트롤러의 설계시 메모리를 내장하고 4포트의 TTL 출력을 내 보내므로, 적(R)/녹(G)/청(B) 각 8비트의 컬러(color) 구현시 데이터 출력으로 96핀[3(RGB)×8(비트)×2(홀수/짝수)×2(제1/제2)]이 필요 하였다.

이는 타이밍 컨트롤러의 전체 핀수, 사이즈(size) 및 각각의 데이터 출력단 필터(filter) 사용으로 인한 부품수 증가, 이로 인한 PCB상의 부품 배치 및 출력 라인수 증가로 인한 데이터 상호간 크로스 토크(Cross-talk)등에 따른 PCB

설계의 어려움 및 PCB 사이즈의 증가 등의 문제가 발생하여 제품 단가 상승과 품질저하, 경량박형 설계에 어려움이 발생하였다.

따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 고해상도 TFT-LCD를 구동하는 타이밍 컨트롤러에서 4 포트(port) 출력과 동일한 주파수를 가지고 위상이 다른 두개의 출력 클럭을 생성하여 4 포트 출력대비 출력 라인의 수를 반으로 줄인 타이밍 컨트롤러를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 TFT-LCD의 타이밍 컨트롤러는,

화소 데이터 중 홀수 및 짝수 입력데이터신호와 홀수 및 짝수 입력클럭신호를 수신하며, 상기 입력클럭신호의 1/2 또는 1/4 주파수를 갖는 제 1 및 제 2 출력클럭신호를 발생하여 홀수 및 짝수 출력데이터신호를 제어하는 것을 특징으로 한다.

상기 제 1 및 제 2 출력클럭신호는 위상이 반대이거나 동위상이 아닌 클럭을 사용하는 것을 특징으로 한다.

이하 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 4는 본 발명에 의한 SXGA 해상도의 TFT-LCD의 타이밍 컨트롤러의 블록도로서, 타이밍 컨트롤러(150), 출력단 필터부(160), 컬럼 드라이브 IC(170)를 구비한다.

상기 타이밍 컨트롤러(150)는 2ch. 입력의 경우 홀수 데이터(Odd Data), 홀수 클럭(Odd Clock: 54Mhz), 짝수 데이터(Even Data), 짝수 클럭(Even Clock: 54Mhz)을 수신하여 홀수 데이터(24 라인), 짝수 데이터(24 라인), 제 1 클럭(CPH: 27MHz)(1 라인) 및 제 2 클럭(CPH: 27MHz)(1 라인)을 발생한다.

상기 출력단 필터부(160)는 상기 타이밍 컨트롤러(15)로부터의 홀수 데이터(24 라인), 짝수 데이터(24 라인), 제 1 클럭(CPH: 27MHz)(1 라인) 및 제 2 클럭(CPH: 27MHz)(1 라인)을 수신하여 컬럼 드라이브 IC(170)로 출력한다.

도시된 바와 같이, 본 발명에서는 1ch. 또는 2ch 입력 클럭 대비 반(1/2) 주파수를 가지는 두개의 출력 클럭을 생성하여, 기존의 4 포트 출력 방식에 비해 출력 데이터 라인수를 절반으로 줄였다.

종래의 4포트 출력 방식의 타이밍 컨트롤러는 기본적으로 4개의 메모리에 데이터를 저장한 다음 한 클럭에 4라인의 데이터를 동시에 출력하게 하여 출력 클럭 주파수를 메인 클럭의 1/4로 줄였다.

하지만, 본 발명에서는 4포트 출력 방식에서 사용한 메모리 용량의 두배인 두개의 메모리에 데이터를 저장하고, 위상이 반대인 두개의 클럭으로 각각 2 라인의 데이터를 출력하게 하므로써, 4 포트 출력에서 사용한 동일한 주파수의 클럭과 동일한 메모리 총용량으로 절반의 데이터 라인으로 FPD 장치를 구동한다.

이를 위해, 1개의 수평 라인의 데이터를 도 5와 같이, 두개의 메모리에 저장 한 후 위상이 다르고 동일한 주파수를 가지는 두개의 출력 클럭이 각각 두개의 데이터를 출력하게 한다.

여기서, 두개의 위상이 다른 클럭이 각각 두개씩의 데이터를 담당하게 되므로, 4포트 출력시 하나의 클럭으로 4개의 데이터를 담당하는 동일한 결과를 가지므로 클럭 주파수든 4포트 출력과 동일하고 데이터 출력수는 반으로 줄일 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명의 TFT-LCD용 타이밍 컨트롤러에 의하면, 기존의 4포트 출력방식과 동일한 클럭 주파수로 출력 데이터 라인수가 절반인 타이밍 컨트롤러를 설계할 수 있다. 또한, 본 발명은 출력 핀수를 줄일 수 있으므로, 소형 패키지(package)로 타이밍 컨트롤러를 설계할 수 있다. 전체 핀수와 패키지 사이즈는 타이밍 컨트롤러의 단가와 직접적인 관계가 있다.

두번째로, 출력수가 절반으로 줄기 때문에 일반적으로 각각의 출력단에 사용해 왔던 필터류(EMI 필터, R,L,C등)의 수도 절반으로 줄일 수 있고 PCB 상에 데이터 라인 설계에서도 여유를 가질 수 있다. 이러한 필터 수의 감소와 PCB 상의 부품 배치 및 데이터 라인 설계상의 여유는 너무 가까운 거리에서 설계를 할때 발생할 수 있는 상호 간섭작용(Cro

ss-Talk)으로 인한 신호의 왜곡으로 부터 데이터를 보호할 수 있으며, 필터 자체 부품 단가 및 PCB 사이즈(Size) 축소에 의한 단가 절감 효과를 거둘수 있다.

또한, 제품 생산시 데이터(data)단 필터 부품 불량 및 냉납 등으로 인한 제품 불량 검출 및 수리가 용이하게 하므로 공정에 불량에 의한 제품 단가 절감 효과 도 기대할 수 있다.

아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이며, 이러한 수정 변경등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

박막트랜지스터 액정표시장치(TFT-LCD)의 타이밍 컨트롤러에 있어서,

화소 데이터 중 홀수 및 짝수 입력데이터신호와 홀수 및 짝수 입력클럭신호를 수신하며, 상기 입력클럭신호의 1/2 또는 1/4 주파수를 갖는 제 1 및 제 2 출력클럭신호를 발생하여 홀수 및 짝수 출력데이터신호를 제어하는 것을 특징으로 하는 박막트랜지스터 액정표시장치(TFT-LCD)의 타이밍 컨트롤러.

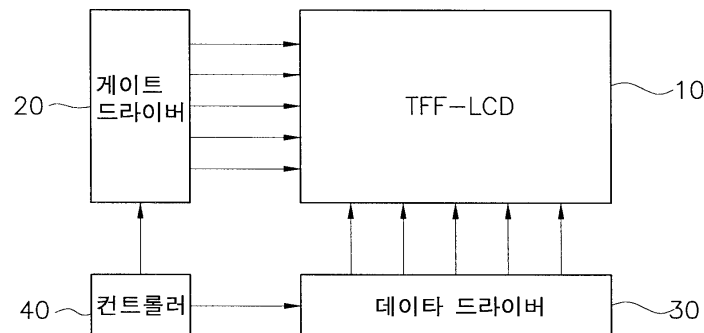
청구항 2.

제 1 항에 있어서,

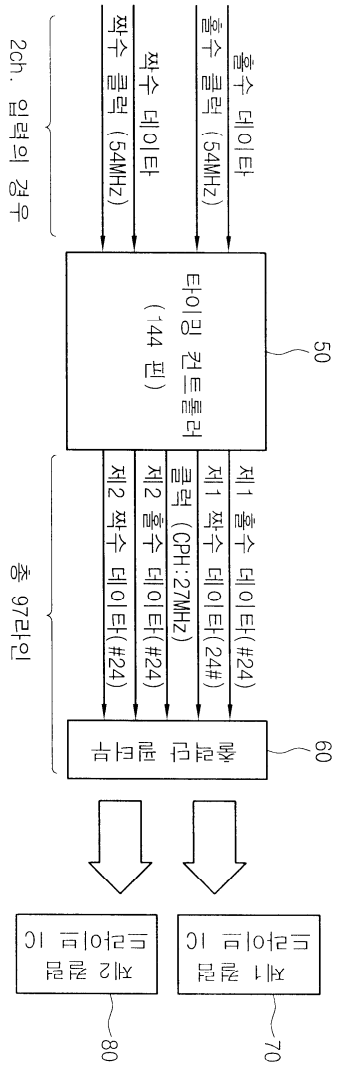
상기 제 1 및 제 2 출력클럭신호는 위상이 반대이거나 동위상이 아닌 클럭을 사용하는 것을 특징으로 하는 박막트랜지스터 액정표시장치(TFT-LCD)의 타이밍 컨트롤러.

도면

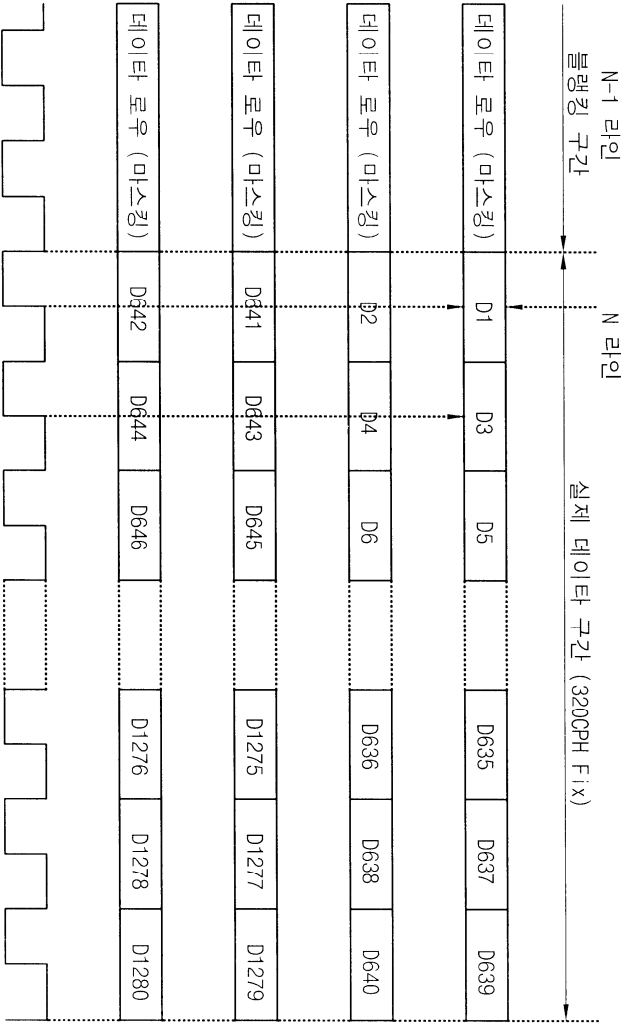
도면1



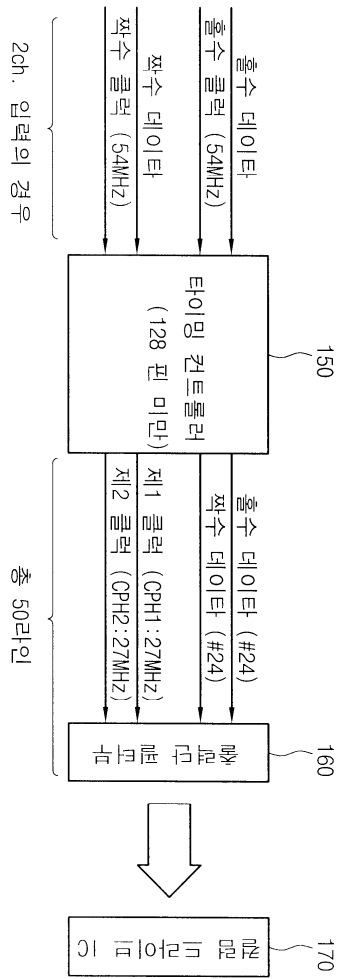
도면2



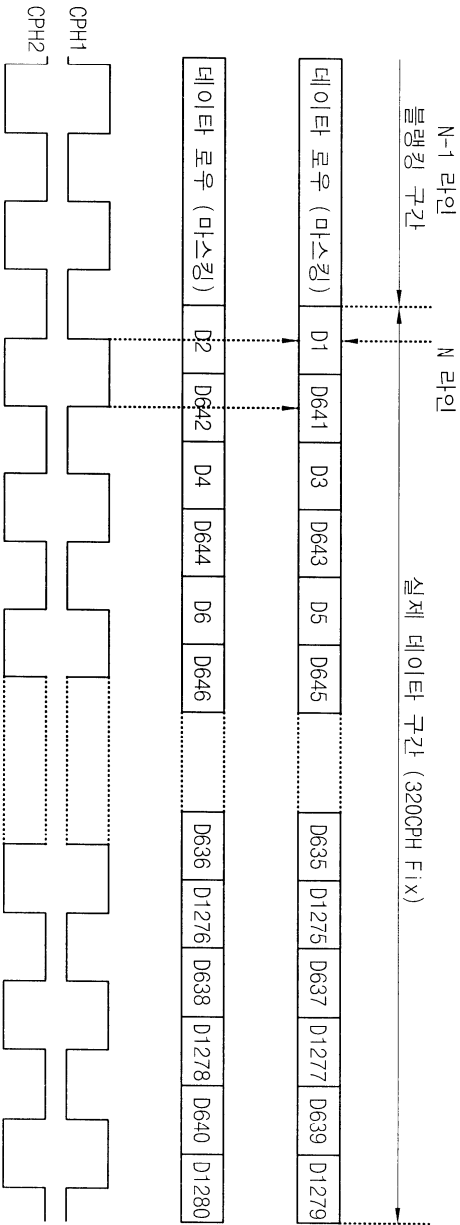
도면3



도면4



도면5



专利名称(译)	薄膜晶体管液晶显示器的定时控制器		
公开(公告)号	KR1020030058519A	公开(公告)日	2003-07-07
申请号	KR1020010088975	申请日	2001-12-31
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	LEE DONGHWAN 이동환 KIM SEUNGHWAN 김승환		
发明人	이동환 김승환		
IPC分类号	G02F1/133		
代理人(译)	赵龙HYUN		
外部链接	Espacenet		

摘要(译)

目的：提供一种薄膜晶体管液晶显示器的定时控制器，通过产生两个输出时钟，将相同频率的输出时钟与四端口输出相同，将时序控制器的输出数据线数量减少一半，并减少数量输出引脚组成：时序控制器（150）接收奇数数据，奇数时钟，偶数数据，甚至时钟，用于生成奇数数据，偶数数据，第一时钟和第二时钟。输出端子滤波器（160）从定时控制器接收奇数数据，偶数数据，第一时钟和第二时钟，以将其输出到列驱动IC（集成电路）（IC）。

