



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월01일
(11) 등록번호 10-0772267
(24) 등록일자 2007년10월25일

(51) Int. Cl.

G02F 1/136(2006.01)

(21) 출원번호 10-2005-0026373

(22) 출원일자 2005년03월30일

심사청구일자 2005년03월30일

(65) 공개번호 10-2006-0044987

공개일자 2006년05월16일

(30) 우선권주장

JP-P-2004-00105222 2004년03월31일 일본(JP)

(56) 선행기술조사문헌

KR1020000001168A

KR1020020022129A

전체 청구항 수 : 총 1 항

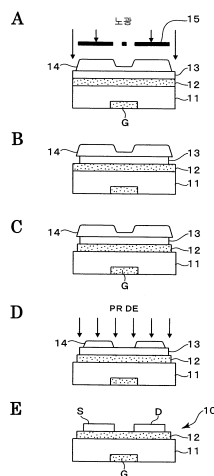
심사관 : 박남현

(54) 액정 디스플레이 패널 및 그 제조 방법

(57) 요약

박막 트랜지스터를 사용하여 매트릭스 어레이의 다수의 화소 영역을 구동함으로써 이미지 데이터를 표시하기 위한 액정 디스플레이 패널에서, 디스플레이부의 박막 트랜지스터와 주변부의 박막 트랜지스터가 동일한 치수(즉, 외형)의 박막 트랜지스터로 형성된다.

대표도 - 도1



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

액정 디스플레이 패널의 제조 방법에 있어서,

유리 기판의 한 면 상에 스퍼터링에 의해 게이트 전극을 적층하고, 포토리소그래피법에 의해 상기 게이트 전극의 패턴을 형성하고, 웨이퍼를 에칭함으로써 원하는 게이트 전극을 형성하는 단계;

상기 유리 기판의 다른 면 상에서 상기 게이트 전극 위에 게이트 절연막인 SiN막과 채널 활성층인 a-Si막을 형성하는 단계;

소스와 드레인 전극을 접속하기 위해, CVD법을 사용하는 연속 막 형성에 의해 n+a-Si막을 형성하는 단계;

스퍼터링법을 사용하여 n+a-Si막 상에 소스-드레인 전극을 퇴적하는 단계;

포토-레지스트 피복후 그레이톤 마스크를 사용하여, 소스 드레인 전극이, 완전히 노광된 영역(TFT 영역과 소스 버스선 외측), 부분적으로 노광된 영역(즉, 소스 및 드레인 전극 사이의 채널부 영역(CH)), 및 전혀 노광되지 않은 영역(즉, 소스 및 드레인 전극부와 소스 버스선의 영역)으로 형성되는 단계,

마스크로서 상기 포토-레지스트 패턴과 스톱퍼로서 게이트 절연막인 SiN막을 사용함으로써, 소스-드레인 전극막, 소스 버스선, n+a-Si막 및 a-Si막을 드라이 에칭하고, 이미지 장치의 임계 해상도보다 높은 해상도의 슬릿 패턴을 갖는 노광 마스크를 사용하여 얻어진 채널부를 갖는 보호 트랜지스터에서, 포토-레지스트가 완전히 제거된 부분의 n+a-Si막 및 a-Si막까지 에칭을 수행하고, 이로 인해 보호 트랜지스터의 실효(W)가 감소되고, 채널부상에서 상기 포토-레지스트막을 제거하기 위해 에칭을 수행하는 단계;

포토-레지스트 패턴을 사용하여 소스-드레인 전극과 n+a-Si막까지 드라이 에칭을 수행하고 스톱퍼로서 채널 활성층을 사용하여 채널 영역을 형성하는 단계; 및

포토-레지스트를 박리하여 외형이 동일하고 실효(W/L)가 상이한 TFT를 형성하는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이 패널의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<7>

발명의 배경

<8>

발명의 분야

<9>

본 발명은 일본 특허 출원 제2004-105222호(2004.03.31)의 우선권 주장 출원이다.

<10>

본 발명은 액정 디스플레이 패널 및 그 제조 방법에 관한 것으로, 특히, 액정 디스플레이 패널 및 박막 트랜지스터(TFT)를 사용하는 고해상도 액정 디스플레이 패널을 제조하는 방법에 관한 것이다.

<11>

액정 디스플레이 패널은 비교적 낮은 동작 전압과 전력 소모로 동작가능하고 경량이고 소형(또는 박형)이며, 따

라서 TV 수상기 및 개인용 컴퓨터(PC)의 디스플레이 패널로서 쉽게 사용된다. 요즘, 액정 디스플레이 패널은 종래의 음극선 튜브(CRT)를 배제하는 경향이 있다.

<12> 액정 디스플레이 패널 및 그 제조 방법은 다양한 연구가 이루어진다. 도 3은 통상의 액정 디스플레이 패널(예를 들어, 일본 특허 공개 2003-347314)의 구조를 설명하기 위한 파쇄도이다. 이 액정 디스플레이 패널(30)은 상부(또는 외부) 기판(31), 하부(또는 내부) 기판(32), 공통 전극(33), 블랙 매트릭스(34), R,G,B 컬러의 컬러 필터층(35), 다수의 화소 영역(P)을 갖는 액정층(36), 각 화소 영역(P)에 대응하여 형성된 TFT 트랜지스터(T), 게이트 리드선(37), 화소 전극(즉, TFT 드레인)(38) 및 데이터 리드선(즉, TFT 소스)을 포함한다. 액정 디스플레이 패널(30)에서, 정전압이 공통 전극(33)에 인가된다. TFT 트랜지스터(T)의 화소 전극(38)과 게이트 리드선(37)에 이미지 데이터와 선택 신호를 인가하여 대응하는 TFT 트랜지스터를 온시킴으로써(즉, 전도시키게 함으로써) 각 화소 영역(P)의 액정층(36)의 액정 배향 제어에 의해 원하는 이미지가 표시된다.

<13> 상술한 액정 디스플레이 패널에서 TFT 트랜지스터의 통상의 제조 방법의 중요 부분을 도 4를 참조하여 설명한다. 도 4의 A에 도시된 바와 같이, 게이트 패텐(G)은 유리 플레이트(도시되지 않음) 상에 형성된다. 그리고, SiN막이 게이트 패텐(G) 위에 절연막으로서 형성된다. 그리고, 반도체막(42)이 SiN막 위에 형성된다. 마지막으로, 포토 레지스트막이 표면상에 형성되고, 포토-마스크(44)를 통해 자외선 조사로 노출되어, 포토-레지스트 패텐(43)을 형성한다(상기 공정에서 I-단계). 그리고, 도 4의 B에 도시된 바와 같이, 반도체막(42)이 포토-레지스트 패텐(43)을 사용하여 선택적으로 에칭되어, TFT 트랜지스터의 채널부(45)를 형성한다(I-DE 단계). 그리고, 도 4의 C에 도시된 바와 같이, 전기 도전막(46)과 포토-레지스트막이 기판(41)과 채널부(45) 상에 형성되고, 포토-레지스트 패텐(47)이 분리 포토-마스크(48)를 사용하여 채널부(45) 위에 형성된다(D-단계). 그리고, 도 4의 D에 도시된 바와 같이, 포토-레지스트 패텐(47)을 사용하여 웨이퍼가 에칭되고, TFT 트랜지스터의 소스(S)와 드레인(D)이 형성된다(D-WE 단계). 그 후, 보호막등이 형성된다. 그러나, 이 단계는 주지의 기술이므로 설명하지 않는다.

<14> 최근, TFT부의 소스 및 드레인부의 형성시, 채널부에 대해 그레이톤 노광을 사용하여 TFT 영역부의 형성 및 채널 형성(즉, 소스 및 드레인 전극부의 분리)을 단일 마스크로 형성하는 기술이 어레이 공정의 단계 감축의 예로서 제안되고 있다(일본 특허 공개 제2002-55364). 액정 디스플레이 패널의 제조를 위해 그레이톤 노광을 사용하는 방법이 도 5 및 6을 참조하여 설명한다. 도 5는 그레이톤 노광에 대해 사용되는 포토-마스크를 나타낸다. 도 5의 A는 포토-마스크(50)를 나타내는 평면도이고, 도 5의 B는 도 5의 A의 B-B'선을 따라 취해지는 단면도이다.

<15> 도 5에 도시된 바와 같이, 포토 마스크(50)는 투명 기판(51)의 표면(즉, 바닥면)상에 형성되는 실드(비-투명) 패텐(53)을 갖고, 제 1 내지 제 3의 실드 패텐(52 내지 54)에 의해 구성되는 소정의 패텐을 갖는다. 도 5를 참조하면, 기호 A는 투명 영역을 나타내고 기호 B는 실드 영역을 나타내고, 기호 C는 반-투명 영역을 나타낸다. 제 1의 실드 패텐(52)은 포토 마스크(50)를 사용하여 형성된 TFT부의 소스-드레인 영역에 대응한다. 제 2의 실드 패텐(53)은 TFT부의 채널 영역에 대응한다.

<16> 도 6은 도 5에 도시된 포토 마스크(50)를 사용함으로써 TFT 트랜지스터 또는 액정 디스플레이 패널의 제조 방법을 나타낸다. 도 6에서, 참조 번호 61는 유리 기판을 나타내고, 참조 번호 62는 게이트 전극을 나타내고, 참조 번호 63은 게이트 절연막을 나타내고, 참조 번호 64는 a-Si막을 나타내고, 참조 번호 65는 n+a-Si막을 나타내고, 참조 번호 66은 소스와 드레인을 금속막을 나타내고, 참조 번호 67은 감광막을 나타낸다. 참조 번호 66a 및 66b는 각각 소스 및 드레인을 나타내고, 참조 번호 67a는 감광막 패텐을 나타낸다.

<17> 도 6의 A에 도시된 바와 같이, TFT 트랜지스터(60)의 웨이퍼는 유리 기판(61)과, 그 표면(또는 상면)위에, 게이트 전극(62), 게이트 절연막(63), a-Si막(64), n+a-Si막(65) 소스와 드레인을 금속막(66), 및 감광막(67)이 형성된다. 이 상태에서, 절반-막두께부(오목부)(68)가 도 5에 도시된 포토 마스크(50)를 사용하여 감광막(67)의 채널부에 형성된다(도 6의 B에 도시). 그리고, 소스 및 드레인을 금속막(66)이 선택적으로 에칭된다(도 6의 C). 그리고, 감광막(67)의 절반-막두께부(68), 즉, 채널부에서 소스 및 드레인을 금속막(66)이 에칭되어 소스(66a)와 드레인(66b)으로 분리된다(도 6의 D). 마지막으로, 잔여 감광막 패텐(67a)이 제거되어 TFT 트랜지스터(60)를 완성한다(도 6의 E).

<18> 상술한 바와 같이, 종래의 기술에서, 게이트 전극(62)은 예를 들어, 유리 기판(61) 상에 스퍼터 퇴적법에 의해 퇴적된다. 이와 같이 형성된 게이트 전극(62)의 패텐은 리소포토그래픽법에 의해 에칭되어 원하는 게이트 전극(62)을 형성한다. 그리고, 게이트 절연막(63) 예를 들어 SiN막과 채널 액티브막, 즉, a-Si막이 게이트 전극(62)상에 형성된다. 그리고, 소스와 드레인 전극에 접속하기 위한 n+a-Si막(65)이 CVD(Chemical vapor deposition)법을 사용한 연속 막 형성에 의해 형성된다. 또한, 소스-드레인 전극(즉, 금속막)(66)이 스퍼터법에

의해 n+a-Si막상에 퇴적된다. 그리고, 감광막(즉 포토-레지스트)이 피복된다. 그리고, 소스-드레인 전극이 '그레이톤 마스크', 즉, 포토 마스크(50)를 사용하여 완전히 노광된 영역(즉, TFT 영역의 외부), 부분적으로 노광된 영역(즉, 소스 및 드레인 전극(66a 및 66b) 사이의 채널부 영역), 및 전혀 노광되지 않은 영역(즉, 소스 및 드레인 전극(66a 및 66b)의 영역)을 형성한다.

<19> '그레이톤 마스크'라는 용어는 완전히 노광된 영역, 전혀 노광되지 않은 영역 및 노광 장치의 임계 해상도 이하의 해상도의 미세 패턴의 배치에 의해 포토-레지스트를 절반의 막두께로 감소함으로써 얻어지는 영역으로 구성된 마스크(즉, 포토-마스크)를 의미한다. 상기와 같은 방법으로 형성된 패턴에 의해 TFT부가 형성될 때, 소스와 드레인 전극 사이의 채널부의 포토-레지스트만이 부분적 노광에 의해 두께가 감소되는 단층면이 얻어진다. 그리고, 소스-드레인 전극막이 마스크로서 포토-레지스트를 사용하여 드라이 에칭(DE)된다. 상기 드라이 에칭에서, 게이트 절연막(63)인 SiN막을 스토퍼로 사용하여, 소스-드레인 전극막뿐만 아니라 n+a-Si막(65)과 a-Si막(64)이 에칭된다. 그리고, 채널부상의 감광막(즉, 포토-레지스트)(68)이 에칭에 의해 제거된다.

<20> 그 후, TFT부의 채널 영역을 형성하기 위해, 포토-레지스트 패턴(67a)을 사용하는 드라이 에칭이 수행되어 소스 및 드레인 전극(66a 및 66b)이 형성된다. 상기 드라이 에칭에서, 소스 및 드레인 전극(66a 및 66b)과 n+a-Si막(65)이 에칭되고, 채널 활성층이 스토퍼로 기능하도록 한다. 이와 같이 채널 영역이 형성된다. 마지막으로, 포토-레지스트(67)가 박리된다. 이와 같은 방법으로, 포토마스크(50)를 단 한번 사용함으로써, TFT부(즉, TFT 트랜지스터)를 형성하고, TFT 또는 액정 디스플레이 패널의 제조 단계를 감소시키는 것이 가능하다.

<21> 액정 디스플레이 패널 또는 TFT부 제조시 그레이톤 마스크가 사용되는 상기 방법은 제조 공정수를 감소시킬 수 있다는 효과를 갖는다. 그러나, 상기는 프로세스 마진이 아주 좁아서, 동일한 마스크로 다른 크기의 TFT 트랜지스터를 형성하는 것이 곤란하다.

발명이 이루고자 하는 기술적 과제

<22> 본 발명은 종래 기술의 상기와 같은 문제를 해결하기 위해 이루어진 것으로서, 트랜지스터의 외형을 변경하지 않고 상이한 W/L값의 TFT 트랜지스터를 형성할 수 있는 액정 디스플레이 패널 및 그 제조 방법을 제공하는 것을 목적으로 한다.

<23> 본 발명의 양상에 따르면, 박막 트랜지스터를 사용하여 매트릭스 어레이에서 다수의 화소 영역을 구동함으로써 이미지 데이터를 표시하기 위한 액정 디스플레이 패널을 제공하며, 디스플레이 부의 TFT(박막 트랜지스터)와 주변부의 TFT가 동일한 크기의 TFT로서 형성된다.

본 발명의 또다른 양상에 따르면, 박막 트랜지스터를 사용하여 매트릭스 어레이에서 다수의 화소 영역을 구동함으로써 이미지 데이터를 표시하기 위한 액정 디스플레이 패널의 제조 방법을 제공하며, 디스플레이 부의 TFT와 주변부의 TFT가 동일한 크기(외형)의 TFT로서 형성된다.

<24> 디스플레이부의 TFT와 주변부 보호용 TFT는 이미징 장치의 임계 해상도 이하의 크기의 패턴을 갖는 그레이톤 마스크를 사용하여 형성된다.

<25> 본 발명의 다른 양상에 따르면, 액정 디스플레이 패널의 제조 방법은, 유리 기판의 한 표면에 스퍼터링(sputtering)에 의해 게이트 전극을 퇴적하고, 포토리소 그래피법에 의해 게이트 전극의 패턴을 형성하고 웨이퍼를 에칭함으로써 원하는 게이트 전극을 형성하는 단계; 유리 기판의 다른 면 상의 게이트 전극 위에 채널 활성층으로서 a-Si막과 게이트 절연막으로서 SiN막을 형성하는 단계; 소스 및 드레인 전극을 접속하기 위해, CVD 법을 사용하는 연속 막 형성에 의해 n+a-Si막을 형성하는 단계; 스퍼터링법을 사용하여 n+a-Si막상에 소스-드레인 전극을 퇴적하는 단계; 포토-레지스트 피복후에 그레이톤 마스크를 사용하여, 상기 소스-드레인 전극을 완전히 노광된 영역(TFT 영역과 소스 버스선 외측), 부분적으로 노광된 영역(즉, 소스 및 드레인 전극 사이의 채널부 영역(CH)), 및 전혀 노광되지 않은 영역(즉, 소스 및 드레인 전극부와 소스 버스선의 영역)으로 형성하는 단계, 마스크로서 포토레지스터 패턴과 스토퍼로서 게이트 절연막인 SiN막을 사용하여 소스-드레인 전극막, 소스 버스선, n+a-Si막 및 a-Si막을 드라이 에칭하고, 이미징 장치의 임계 해상도보다 높은 해상도의 슬릿 패턴을 갖는 노광 마스크를 사용하여 얻어진 채널부를 갖는 보호 트랜지스터에서, 포토-레지스트가 완전히 제거된 부분에서 n+a-Si막과 a-Si막까지 에칭하고, 따라서 보호 트랜지스터의 실효(W)가 감소된 후, 채널부상의 포토-레지스트막을 제거하기 위해 에칭을 실행하는 단계; 포토 레지스트 패턴을 사용하여 소스-드레인 전극과 n+a-Si막까지 드라이 에칭하고 스토퍼로서 채널 활성층으로 사용하여 채널 영역을 형성하는 단계; 및 포토-레지스트를 박리하여 외형이 동일하고 실효(W/L)가 상이한 TFT를 형성하는 단계를 포함한다.

<26> 본 발명의 다른 목적 및 특징은 첨부된 도면을 참조하여 이하에 상세히 설명된다.

발명의 구성 및 작용

<27> 본 발명의 양호한 실시예를 도면을 참조하여 상세히 설명한다.

<28> 도 1 및 도 2는 본 발명에 따른 액정 디스플레이 패널의 제조 방법을 설명하기 위한 제조 공정 도면이며 특히 TFT부의 제조 방법을 설명하기 위한 도면이다. 도 1의 A 내지 E는 액정 디스플레이 패널의 유리 기판 상에 형성된 TFT부의 제조 주요 단계를 도시하는 단면도이다. 도 2의 A 내지 E는 도 1의 A 내지 E에 대응하는 액정 디스플레이 패널의 주요부의 평면도이다.

<29> 도 1의 A의 DI 단계에서, 제 1의 패턴은 포토리소그래픽법으로 형성된다. 이 단계에서, 채널부에 대한 임계 해상도보다 낮은 해상도를 갖는 패턴을 사용함으로써 절반-포토-레지스트-막두께부가 형성된다. 도 1의 B의 단계에서, D 리드선이 형성된다. 도 1의 C의 단계에서, n+a-Si(비결정)막 및 a-Si막이 형성된다. 도 1의 D의 단계에서, 제 2의 패턴이 PR(포토-레지스트)-DE에 의해 형성된다. 절반-포토-레지스트 막두께부가 제거된다. 도 1의 E의 단계에서, 채널부 금속 및 n+a-Si막이 형성된다. 상기 공정은 이후에 상세히 기술된다.

<30> 게이트 패턴(G)이 유리 기판(도시되지 않음) 상에 형성된다. 게이트 패턴 상에 절연막으로서 SiN막과 채널 활성화층으로서 a-Si막(12)이 형성된다. 소스와 드레인 전극을 접속하기 위해, CVD법을 사용하는 연속 형성에 의해 n+a-Si막이 형성된다. 소스-드레인 전극(13)은 n+a-Si막상에 스퍼터링법에 의해 형성된다. 포토 레지스트(14)가 피복된다. 그리고, 소스-드레인 전극이 그레이톤 마스크(15)를 사용하여 완전히 노광된 영역(즉, TFT 영역의 외부), 부분적으로 노광된 영역(즉, 소스 및 드레인 전극 사이의 채널부 영역(CH)), 및 전혀 노광되지 않은 영역(즉, 소스 및 드레인 전극부 및 소스 버스선 영역)을 형성한다.

<31> 이와 같이 얻어진 웨이퍼에서, 액정 디스플레이 패널에서 디스플레이부 TFT 트랜지스터와 외부 주변부 보호 트랜지스터는, 외형이 동일하더라도, 이미징 장치의 임계 해상도보다 낮은 해상도의 슬릿 패턴이 상이하다. 특히, 디스플레이부에서 슬릿이 전체 채널부 위에 배치되며, 보호 트랜지스터부에서 임계 해상도보다 높은 해상도의 슬릿이 코너부에 마련된다. 따라서, 절반 막두께의 포토-레지스트가 보호 트랜지스터 채널부의 전체 면위에 형성되지만, 보호 트랜지스터 채널부는 포토 레지스트가 완전히 제거된 부분을 갖는다. 표시되는 예는 파지티브 포토-레지스트이지만, 본 발명은 이에 한정되지 않는다.

<32> 상술한 바와 같이, TFT의 패턴 형성시, 소스와 드레인 사이의 채널부 영역에서 포토 레지스트만이 두께가 감소된 포토 레지스트 단측면은 포토 레지스트 막 두께의 일부가 노광되어 얻어진 것이다. 이 포토-레지스트 패턴(14)을 마스크로서 사용하여, 소스-드레인 전극막이 드라이 에칭된다. 이 드라이 에칭시, 소스-드레인 전극막뿐만 아니라 소스 버스선, n+a-Si막과 a-Si막도 에칭된다. 게이트 절연막인 SiN막이 스토퍼로서 사용된다.

<33> 이 경우, 임계 해상도보다 낮은 해상도를 갖는 슬릿 패턴을 구비한 보호 트랜지스터가 노광 마스크(15)에 배치되고, 포토 레지스트가 완전히 제거된 부분의 n+a-Si막과 a-Si막이 에칭되기 때문에 실패(W)가 감소될 수 있다. 그리고, 에칭에 의해 채널부(CH)상의 포토-레지스트막(14)이 제거된다.

<34> 그리고, TFT부에서 채널 영역(CH)을 형성하기 위해, 포토-레지스트 패턴을 사용하여 드라이 에칭이 수행되고, 따라서 소스 및 드레인부 전극이 형성된다. 이 드라이 에칭에서, 소스-드레인 전극과 n+a-Si막까지 에칭이 수행되고, 채널 활성화층을 스토퍼로 사용하여 채널 영역이 형성된다. 마지막으로, 포토-레지스트가 박리된다. 이와 같은 방식에서, 마스크를 한번 사용하여 실패(W/L)가 상이하고 동일한 외형의 TFT를 형성하는 것이 가능하며, 제조 공정수를 감소시키는 것이 가능하다.

<35> 도 2의 A 내지 E를 참조하면, 도 2의 A에 도시된 바와 같이, 임계 해상도 이하의 간격(a 내지 c)을 갖는 마스크가 사용된다. 보호 트랜지스터를 형성하는 그레이톤 마스크가 상기 도면에 의해 설계된다. 도면에서, 어두운 부분이 차광 패턴이다. a,b,c는 임계해상력 이하의 폭이기 때문에, 노광된 직하의 레지스트는 절반 막두께가 된다. 코너부에서는 나머지 패턴에 자른 자국이 들어가 있기 때문에, d의 폭은 임계해상력 이상의 빠짐 패턴(노광, 현상에 의해 레지스트가 제거된 부분)이 되고, 직하의 레지스트는 완전히 노광되어 현상으로 제거되고, 그 결과 a-Si는 에칭되고, 마스크 상의 나머지 패턴의 코너부가 연결되어 있는 경우에 비해 외형이 같아도 트랜지스터의 길이(L)는 실효적으로 짧아진다. 도 2의 B는 현상 후의 포토-레지스트 패턴을 나타낸다. 도시된 바와 같이, 빗금친 부분(1)에는 포토 레지스트가 완전히 남아있고, 빗금부(2)에는 절반 막두께 포토-레지스트가 남아있다(도 1의 A). 도 2의 C는, 빗금부(3)에 CR-WE, I-DE를 행하여 배선 패턴을 형성한다(도 1의 B 및 C). 도 2의 D에서, PR-DE 단계를 수행하여 빗금부(4)의 절반 막두께 포토-레지스트가 제거된다(완전히 남아있는 부분에서

포토 레지스트가 남아있음)(도 1의 D). 도 2의 E에서, CR-WE 및 CH-DE 공정에 의해 빗금부(5)에 CH가 형성된다(도 1의 E).

<36> 본 발명에 따른 액정 디스플레이 패널의 제조 방법을 사용하면, 다음과 같은 현저한 이점을 얻을 수 있다. 그레이톤 마스크 노광을 사용하여 동일한 외형 설계로 형성된, 디스플레이부 트랜지스터(이하 TFT 트랜지스터)와 주변에 배치된 보호 트랜지스터를 사용하면, 이미징 장치의 임계 해상도보다 낮은 해상도의 슬릿 패턴을 이 트랜지스터에 제공함으로써 보호 트랜지스터만 실효(W(폭))가 감소될 수 있다. 따라서, 1RP(포토-레지스트)가 감소된 프로세스를 사용하여 W/L이 상이한 트랜지스터를 형성하고 제조 비용을 감소시키는 것이 가능하다.

<37> 본 발명은, 본 발명의 범주에서 벗어나지 않는 범위내에서 당업자에 의해 다양한 변형 및 변경이 이루어질 수 있으며, 첨부된 도면과 상기 기술에 의해 설명된 것은 예시로서 본 발명은 이에 제한되지 않는다.

발명의 효과

<38> 본 발명에 따른 액정 디스플레이 패널의 제조 방법을 사용하면, 다음과 같은 현저한 이점을 얻을 수 있다. 그레이톤 마스크 노광을 사용하여 동일한 외형 설계로 형성된, 디스플레이부 트랜지스터(이하 TFT 트랜지스터)와 주변에 배치된 보호 트랜지스터를 사용하면, 이미징 장치의 임계 해상도보다 낮은 해상도의 슬릿 패턴을 이 트랜지스터에 제공함으로써 보호 트랜지스터만 실효(W(폭))가 감소될 수 있다. 따라서, 1RP(포토-레지스트)가 감소된 프로세스를 사용하여 W/L이 상이한 트랜지스터를 형성하고 제조 비용을 감소시키는 것이 가능하다.

도면의 간단한 설명

<1> 도 1의 A 내지 E는 본 발명에 따른 액정 디스플레이 패널의 유리 기판 상에 형성된 TFT부의 제조 단계를 도시하는 단면도.

<2> 도 2의 A 내지 E는 본 발명에 따른 도 1의 A 내지 E에 따른 액정 디스플레이 패널의 주요부의 평면도.

<3> 도 3의 일반적인 액정 디스플레이 패널의 구조를 설명하기 위한 분해 사시도.

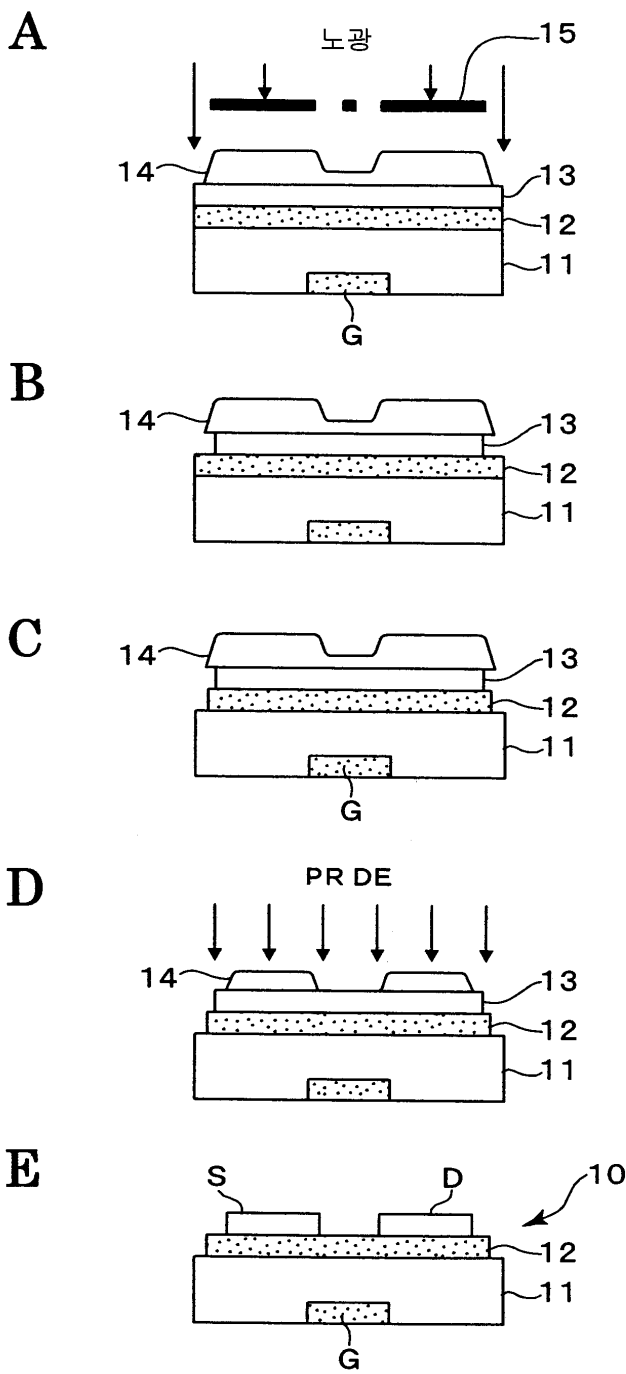
<4> 도 4의 A 및 B는 액정 디스플레이 패널에서 TFT 트랜지스터의 일반적 제조 방법의 주요부를 도시하는 도면.

<5> 도 5의 A는 포토마스크(50)를 도시하는 평면도이고, 도 5의 B는 도 5의 A에서 B-B'를 따라 취해진 단면도.

<6> 도 6의 A 내지 E는 도 5에 도시된 포토 마스크(50)를 사용함으로써, 액정 디스플레이 패널 또는 TFT 트랜지스터를 제조하는 방법을 도시하는 도면.

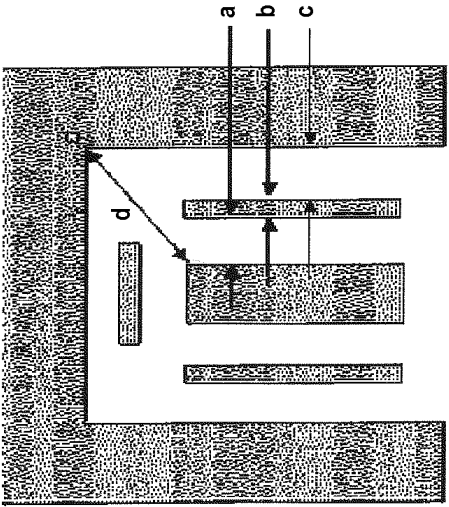
도면

도면1

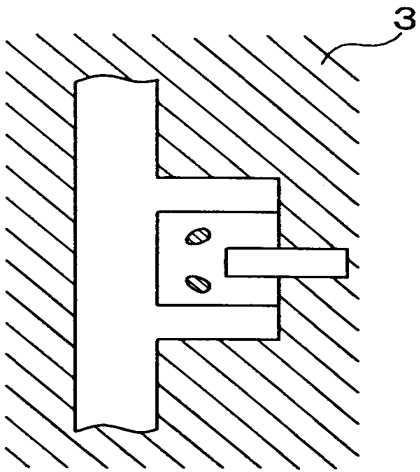


도면2

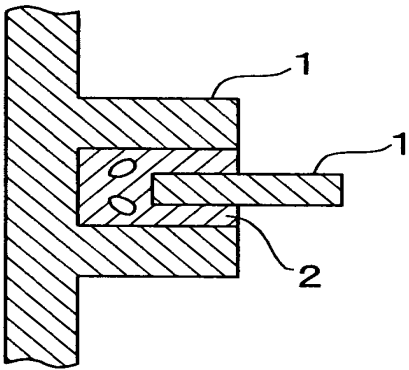
A



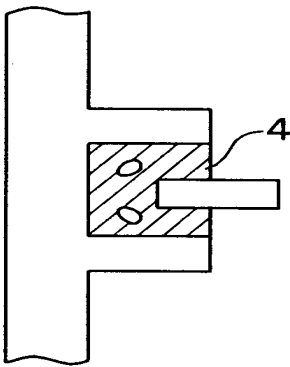
C



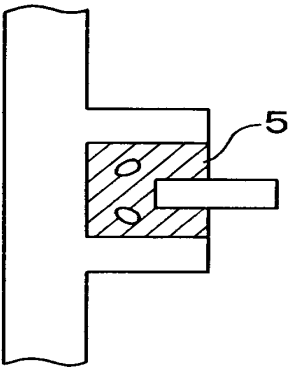
B



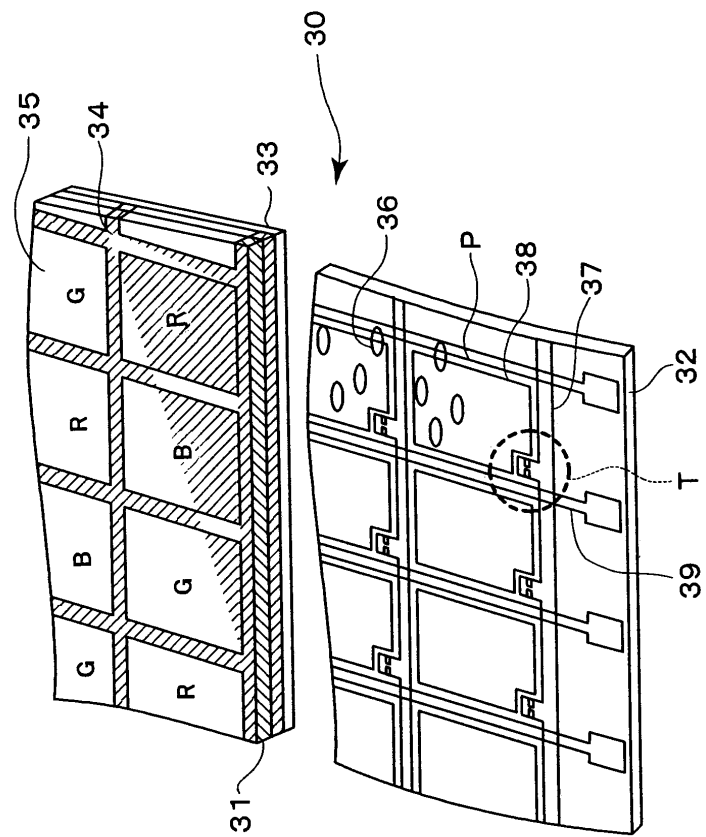
D



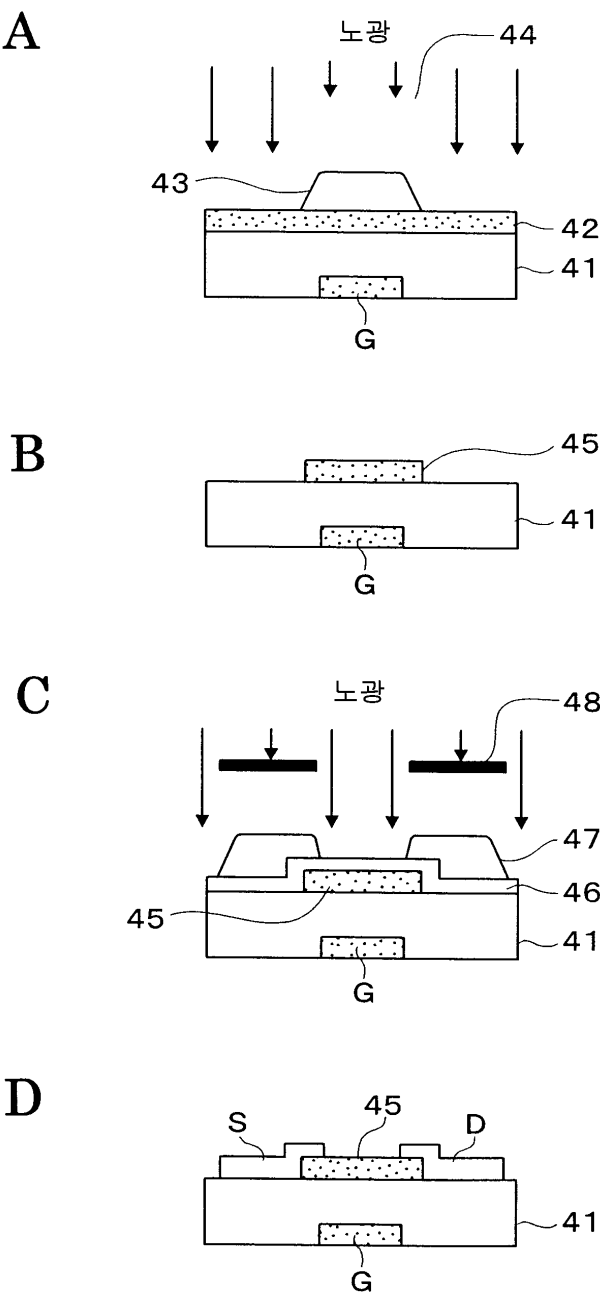
E



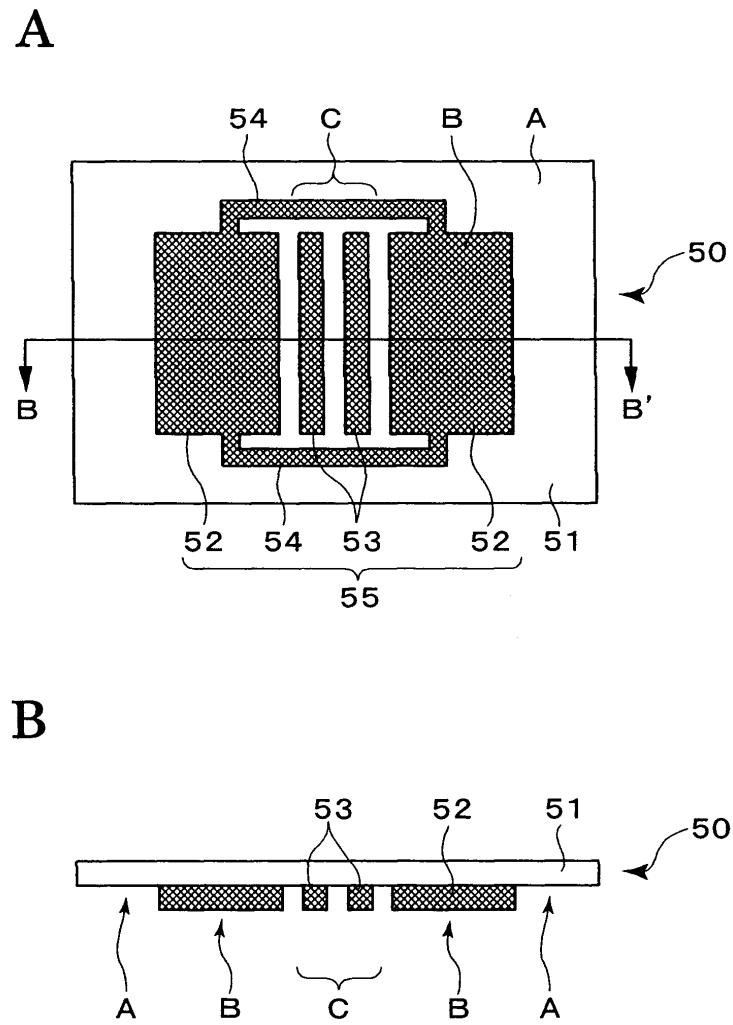
도면3



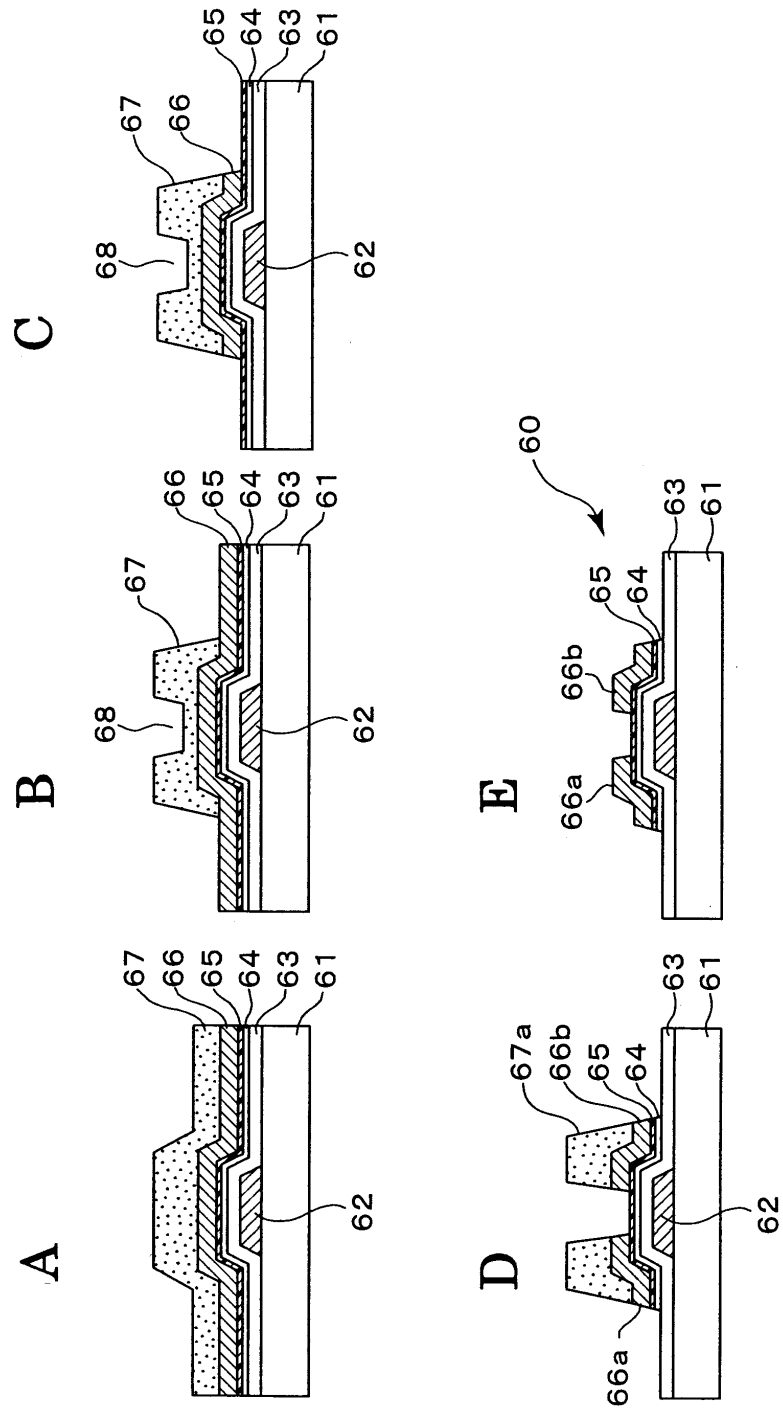
도면4



도면5



도면6



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR100772267B1	公开(公告)日	2007-11-01
申请号	KR1020050026373	申请日	2005-03-30
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	SAKURAI HIROSHI 사쿠라이히로시		
发明人	사쿠라이히로시		
IPC分类号	G02F1/136 G02F1/1368 G02F1/1362 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/786		
CPC分类号	G02F1/13454 H01L27/1288 B62D65/06		
代理人(译)	用最甜		
优先权	2004105222 2004-03-31 JP		
其他公开文献	KR1020060044987A		
外部链接	Espacenet		

摘要(译)

在通过使用薄膜晶体管驱动矩阵阵列的多个像素区域来显示图像数据的液晶显示面板中，显示部分的薄膜晶体管和周边部分的薄膜晶体管由具有相同尺寸（即外形）的薄膜晶体管形成。

