



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년07월03일
G09G 3/36 (2006.01)	(11) 등록번호	10-0734939
G09G 3/20 (2006.01)	(24) 등록일자	2007년06월27일

(21) 출원번호	10-2005-0024734	(65) 공개번호	10-2006-0085554
(22) 출원일자	2005년03월25일	(43) 공개일자	2006년07월27일
심사청구일자	2005년03월25일		

(30) 우선권주장 94102051 2005년01월24일 대만(TW)

(73) 특허권자 하이맥스 테크놀로지스, 인코포레이션
대만 타이난 카운티 712, 호신화, 충산 로드, 넘버 605, 10층

(72) 발명자 야우 광 창
대만 타이난 카운티 712, 호신화, 충산 로드, 넘버 605, 10층

밍 청 치우
대만 타이난 카운티 712, 호신화, 충산 로드, 넘버 605, 10층

(74) 대리인 박영우

(56) 선행기술조사문헌
US6424219 B1 US5510749 A
US5280200 A

심사관 : 박부식

전체 청구항 수 : 총 25 항

(54) 액정표시장치의 소스 구동회로 및 소스 구동 방법

(57) 요약

본 발명은 적어도 하나의 데이터 라인을 구동하는 액정표시장치용 소스 구동장치로서, 소정의 전압을 입력받는 입력단자, 상기 데이터 라인과 전기적으로 연결되며 출력전압을 발생하는 출력단자, 상기 출력전압을 소정의 전압범위 내에서 클램핑하는 전압클램핑회로, 상기 클램핑된 출력전압을 상기 소정의 전압을 향해 증가시키기 위한 제1 차동증폭기 및 상기 클램핑된 출력전압을 상기 소정의 전압을 향해 감소시키기 위한 제2 차동증폭기를 포함한다. 본 발명은 또한 액정표시장치를 구동하는 방법을 제공한다.

대표도

도 4

특허청구의 범위

청구항 1.

하나 이상의 데이터 라인을 구동하는 액정표시장치용 소스구동회로로서,

소정의 전압레벨을 입력받기 위한 적어도 하나의 구동입력;

상기 데이터 라인과 전기적으로 접속되어 있고 제1 전압레벨을 갖는 적어도 하나의 구동출력;

제2 전압레벨 및 상기 제2 전압레벨보다 큰 제3 전압레벨 간의 범위 내에서 상기 제1 전압레벨을 클램핑하는 전압클램핑 회로;

상기 구동입력으로부터 입력되는 상기 소정의 전압레벨 및 상기 구동출력으로부터 입력되는 상기 클램핑된 제1 전압레벨을 각각 입력받기 위한 두 개의 제1 입력과 하나의 제1 출력을 가지며, 상기 제1 출력을 통해 상기 구동출력과 전기적으로 접속되어, 상기 소정의 전압레벨이 상기 클램핑된 제1 전압레벨보다 큰 동안에는 상기 구동출력에서의 상기 클램핑된 제1 전압레벨을 상기 소정의 전압레벨을 향해 증가시키는 제1 차동증폭기; 및

상기 구동입력으로부터 입력되는 상기 소정의 전압레벨 및 상기 구동출력으로부터 입력되는 상기 클램핑된 제1 전압레벨을 각각 입력받기 위한 두 개의 제2 입력과 하나의 제2 출력을 가지며, 상기 제2 출력을 통해 상기 구동출력과 전기적으로 접속되어, 상기 소정의 전압레벨이 상기 클램핑된 제1 전압레벨보다 작은 동안에는 상기 구동출력에서의 상기 클램핑된 제1 전압레벨을 상기 소정의 전압레벨을 향해 감소시키는 제2 차동증폭기를 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동장치.

청구항 2.

제 1 항에 있어서, 상기 제1 차동증폭기는 고전원전압과 접속되어 있고, 상기 고전원전압의 전압레벨은 상기 제2 전압레벨 및 상기 제3 전압레벨보다 높은 것을 특징으로 하는 액정표시장치용 소스 구동장치.

청구항 3.

제 1 항에 있어서, 상기 구동입력, 상기 구동출력 및 상기 데이터 라인은 각각 다수이며, 상기 각 구동 출력은 상기 각 데이터 라인에 전기적으로 접속되어 있는 것을 특징으로 하는 액정표시장치용 소스 구동장치.

청구항 4.

제 3 항에 있어서, 상기 두 개의 제1 입력 중 어느 하나 및 상기 두 개의 제2 입력 중 어느 하나로 상기 구동입력에 입력되는 상기 각각의 소정의 전압 레벨이 전달되도록 교번적이며 전기적으로 스위칭하는 제1 스위칭회로를 더 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동장치.

청구항 5.

제 3 항에 있어서, 상기 제1 차동증폭기의 상기 제1 출력 및 상기 제2 차동증폭기의 상기 제2 출력을 상기 각각의 구동출력에 대해 접속되도록 교번적이며 전기적으로 스위칭하는 제2 스위칭회로를 더 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동장치.

청구항 6.

제 1 항에 있어서, 상기 제1 전압레벨을 상기 제2 전압레벨 및 상기 제3 전압레벨 간의 범위안에서 클램핑하는 상기 전압 클램핑회로를 상기 구동출력과 전기적으로 접속하도록 하는 제3 스위칭회로를 더 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동장치.

청구항 7.

제 1 항에 있어서, 상기 적어도 하나의 구동입력과 상기 적어도 하나의 구동출력을 전기적으로 접속함으로써 상기 구동출력에서의 상기 제1 전압레벨이 상기 구동입력을 통해 입력받는 상기 소정의 전압레벨과 실질적으로 동일하도록 하는 제4 스위칭회로를 더 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동장치.

청구항 8.

제1 전압레벨을 갖는 데이터 라인을 구동하고, 상기 제1 전압레벨을 증가시키기 위해 두 개의 입력단자들과 하나의 출력단자를 가지는 제1 차동증폭기 및 상기 제1 전압레벨을 감소시키기 위해 두 개의 입력단자들과 하나의 출력단자를 가지는 제2 차동증폭기를 포함하고 있는 소스 구동회로에 적용되는 액정표시장치용 소스 구동방법에 있어서,

제2 전압레벨 및 상기 제2 전압레벨보다 더 큰 제3 전압레벨 사이의 범위 내에서 상기 제1 전압레벨을 클램핑하는 단계; 및

상기 제1 차동증폭기 및 상기 제2 차동증폭기 중 어느 하나의 2개의 입력단자에서 상기 클램핑된 제1 전압레벨 및 소정의 전압레벨을 입력받아 상기 제1 차동증폭기 및 상기 제2 차동증폭기 중 어느 하나의 출력단자에 따라 상기 데이터 라인의 상기 클램핑된 제1 전압레벨을 상기 소정의 전압레벨로 변동시키는 단계로 구성된 것을 특징으로 하는 액정표시장치용 소스 구동방법.

청구항 9.

제 8 항에 있어서, 상기 제1 차동증폭기는 고전원전압에 접속되고, 상기 고전원전압의 전압 레벨은 상기 제2 전압레벨 및 상기 제3 전압레벨보다 높은 것을 특징으로 하는 액정표시장치용 소스 구동방법.

청구항 10.

제 8 항에 있어서, 상기 데이터 라인의 상기 제1 전압레벨을 상기 소정의 전압레벨로 변동시키는 단계는

상기 제1 전압레벨이 상기 소정의 전압레벨보다 낮은 경우에는, 상기 제1 차동증폭기를 통해 상기 제1 전압레벨이 상기 소정의 전압레벨을 향해 증가하도록 하는 단계; 및

상기 제1 전압레벨이 상기 소정의 전압레벨보다 높은 경우에는, 상기 제2 차동증폭기를 통해 상기 제1 전압레벨이 상기 소정의 전압레벨을 향해 감소하도록 하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동방법.

청구항 11.

제 8 항에 있어서, 상기 액정표시장치용 소스 구동방법의 상기 클램핑된 제1 전압레벨을 상기 소정의 전압레벨로 변동시키는 단계 후에,

상기 데이터 라인의 상기 제1 전압레벨이 상기 소정의 전압레벨과 실질적으로 동일하도록 상기 데이터 라인에 상기 소정의 전압레벨을 연결시키는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동방법.

청구항 12.

각각 제1 전압레벨을 갖는 다수의 데이터 라인을 구동하고, 상기 제1 전압레벨을 증가시키기 위해 두 개의 입력단자들과 하나의 출력단자를 가지는 제1 차동증폭기 및 상기 제1 전압레벨을 감소시키기 위해 두 개의 입력단자들과 하나의 출력단자를 가지는 제2 차동증폭기를 포함하는 소스 구동회로에 적용되는 액정표시장치용 소스 구동방법에 있어서,

제2 전압레벨 및 상기 제2 전압레벨보다 더 큰 제3 전압레벨 사이의 범위 내에서 상기 각각의 데이터 라인의 상기 각각의 제1 전압레벨을 클램핑하는 단계; 및

소정의 주기 내에 상기 제1 차동증폭기 및 상기 제2 차동증폭기의 입력단자들을 통해 상기 복수개의 데이터 라인의 제1 전압레벨 및 다수의 소정의 전압레벨을 입력받아, 상기 제1 차동증폭기 및 상기 제2 차동증폭기의 출력단자들에 따라 상기 각각의 데이터 라인의 상기 제1 전압레벨이 상기 각각의 소정의 전압레벨을 향해 변동되도록 하는 단계를 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동 방법.

청구항 13.

제 12 항에 있어서, 상기 제1 차동증폭기는 고전원전압에 접속되어 있으며, 상기 고전원전압의 전압레벨은 상기 제2 전압레벨 및 상기 제3 전압레벨보다 높은 것을 특징으로 하는 액정표시장치용 소스 구동 방법.

청구항 14.

제 12 항에 있어서, 상기 소정의 주기는 스캐닝 라인 주기인 것을 특징으로 하는 액정표시장치용 소스 구동 방법.

청구항 15.

제 12 항에 있어서, 상기 각각의 데이터 라인의 상기 제1 전압레벨을 상기 소정의 전압레벨로 변동시키는 단계는,

상기 제1 전압레벨이 상기 소정의 전압레벨보다 낮은 경우에는, 상기 제1 차동증폭기를 통해 상기 제1 전압레벨이 상기 소정의 전압레벨을 향해 증가하도록 하는 단계; 및

상기 제1 전압레벨이 상기 소정의 전압레벨보다 높은 경우에는, 상기 제2 차동증폭기를 통해 상기 제1 전압레벨이 상기 소정의 전압레벨을 향해 감소하도록 하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동방법.

청구항 16.

제 12 항에 있어서, 상기 액정표시장치용 소스 구동방법의 상기 제1 전압레벨을 상기 소정의 전압레벨로 변동시키는 단계 후에,

상기 각각의 데이터 라인의 상기 제1 전압레벨이 상기 각각의 소정의 전압레벨과 동일하도록 상기 각각의 데이터 라인에 상기 각각의 소정의 전압레벨을 각각 연결시키는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치용 소스 구동방법.

청구항 17.

제1 출력신호를 가지는 제1 구동출력;

제1 입력전압을 수신하기 위한 제1 구동입력;

제1 클램프출력으로부터 제1 클램핑된 전압레벨을 출력하기 위해 제1 시간 주기 내에서 상기 제1 출력신호의 전압레벨을 클램핑하기 위한 전압클램핑회로;

상기 제1 구동입력과 연결된 제1 입력단자 및 상기 전압클램핑회로의 출력과 연결된 제2 입력단자를 포함하고, 상기 제1 시간 주기 이후에 상기 제1 입력단자에서의 전압레벨이 상기 제2 입력단자에서의 전압레벨보다 더 큰 경우에 상기 제2 입력단자에서의 전압레벨을 풀업시키는 풀업회로; 및

상기 제1 구동입력과 연결된 제3 입력단자 및 상기 전압클램핑회로의 출력과 연결된 제4 입력단자를 포함하고, 상기 제1 시간 주기 이후에 상기 제3 입력단자에서의 전압레벨이 상기 제4 입력단자에서의 전압레벨보다 더 작은 경우에 상기 제4 입력단자에서의 전압레벨을 풀다운시키는 풀다운회로를 포함하는 구동장치.

청구항 18.

제 17 항에 있어서, 상기 풀업회로 및 상기 풀다운회로는 고전원전압에 의해 구동되며, 상기 전압클램핑회로는 제1 전압레벨 및 제2 전압레벨 사이의 범위에서 상기 제1 출력신호의 전압레벨을 클램프하며, 상기 고전원전압의 전압레벨은 상기 제1 전압레벨 및 제2 전압레벨보다 높은 것을 특징으로 하는 구동장치.

청구항 19.

제 17 항에 있어서, 상기 구동장치는

제2 출력신호를 포함하는 제2 구동출력;

제2 입력전압을 수신하는 제2 구동입력;

상기 풀업회로의 상기 제1 입력단자 및 상기 풀다운회로의 상기 제3 입력단자로 상기 제1 구동입력 및 상기 제2 구동입력을 스위칭하는 제1 스위칭회로; 및

상기 풀업회로의 상기 제2 입력단자 및 상기 풀다운회로의 상기 제4 입력단자로 상기 전압클램핑회로의 상기 제1 클램프 출력 및 제2 클램프출력을 스위칭하는 제2 스위칭회로를 더 포함하고,

상기 전압클램핑회로는 상기 전압클램핑회로의 제2 클램프출력으로부터 제2 클램핑된 전압레벨을 출력하기 위해 제1 시간 주기 내에서 제2 출력신호의 출력레벨을 더 클램프하는 것을 특징으로 하는 구동장치.

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

제 17 항에 있어서, 상기 전압클램핑회로는 상기 전압클램핑회로를 상기 제1 시간 주기 내에서 선택적으로 활성화시키기 위한 제1 스위칭회로를 포함하는 것을 특징으로 하는 구동장치.

청구항 24.

제 19 항에 있어서, 상기 풀업회로 및 상기 풀다운회로의 동작이 끝난 후에, 상기 제1 구동입력을 상기 제1 구동출력에 연결시키고, 상기 제2 구동입력을 상기 제2 구동출력에 연결시키는 제3 스위칭회로를 더 포함하는 것을 특징으로 하는 구동장치.

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

제 17 항에 있어서, 상기 구동장치는 액정표시장치에 적용되는 것을 특징으로 하는 구동장치.

청구항 28.

삭제

청구항 29.

제1 전압레벨로부터 소정의 전압레벨까지 데이터 라인을 구동하는 구동방법에 있어서,

상기 소정의 전압레벨을 수신하는 단계;

상기 제1 전압레벨을 일정 범위 내에서 클램핑하는 단계;

상기 소정의 전압레벨이 상기 클램핑된 제1 전압레벨보다 더 큰 경우에 상기 데이터 라인을 상기 소정의 전압레벨로 풀업시키는 단계; 및

상기 소정의 전압레벨이 상기 클램핑된 제1 전압레벨보다 더 작은 경우에 상기 데이터 라인을 상기 소정의 전압레벨로 풀다운시키는 단계를 포함하는 구동방법.

청구항 30.

제 29 항에 있어서, 상기 클램핑하는 단계는 제1 시간 주기 내에서 수행되며, 상기 풀업시키는 단계 및 상기 풀다운시키는 단계는 상기 제1 시간 주기 이후에 수행되는 것을 특징으로 하는 구동방법.

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

제 29 항에 있어서, 폴다운시키는 단계 이후에 상기 소정의 전압레벨을 상기 데이터 라인에 직접적으로 연결시키는 단계를 더 포함하는 것을 특징으로 하는 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 소스 구동회로와 소스 구동 방법에 관한 것으로 특히 액정표시장치의 소스 구동회로와 그 구동 방법에 관한 것이다.

도 1은 능동 매트릭스 방식의 액정표시(Liquid Crystal Display, LCD) 장치(100)를 구동하기 위한 종래의 구동회로이다. 액정표시장치(100)는, 박막트랜지스터(Thin Film Transistor, TFT) 어레이(112)가 배치되어 있는 액정표시패널(110), 게이트 구동 회로(120), 및 소스 구동회로(130)를 포함한다. 박막트랜지스터 어레이(112)는 다수의 박막트랜지스터(113)로 형성되어 있다. 상기 각각의 박막트랜지스터(113)은 게이트(113a), 소스(113b), 및 드레인(113c)를 가지는데, 상기 게이트(113a)는 이에 대응하는 스캐닝 라인(scanning line) (114)에 연결되고, 상기 소스(113b)는 이에 대응하는 데이터 라인(data line) (116)에 연결되며, 상기 드레인(113c)는 이에 대응하는 표시 커패시터(display capacitor) (118)의 일단에 연결된다. 상기 표시 커패시터(118)의 타단은 공통전압 (common voltage) (VCOM)과 연결된다. 상기 게이트 구동 회로(120)는 스위칭 신호(다시 말해, 스캐닝 신호)를 상기 스캐닝 라인(114)에 공급하기 위한 것이며, 상기 소스 구동회로(130)은 상기 데이터 라인(116)에 레벨 전압들(level voltages)을 공급하기 위한 것이다.

도 2는 상기 능동 매트릭스 액정표시 장치(100)를 위한 전형적인 소스 구동 회로(130)의 개략도이다. 상기 소스 구동 회로(130)는 전압 분배기(200), 복수개의 디코더(202) 및 복수개의 드라이버(204)로 구성된다. 상기 전압 분배기(200)는 저항들(R1 내지 Rn)로 구성되며, 레벨 전압들을 공급하는데 사용된다. 상기 전압 분배기(200)에 의해 생성되는 상기 레벨 전압은 상기 디코더(202) 내의 다수의 스위치들(202a)을 열고 닫음으로써 선택되며, 드라이버(204)의 입력단자(204a)로 입력된다. 상기 각 드라이버(204)는 도 1의 상기 액정표시패널(110)의 상기 각 데이터 라인(116)에 대응하는 것으로서, 상기 각 데이터 라인(116)과 연결되며, 출력단자(204b)를 통해 상기 각 데이터 라인(116)을 구동한다.

도 3은 미국 특허 등록번호 6,567,327 B2에 공개된 드라이버(204)의 개략적인 회로도이다. 상기 드라이버(204)는 풀업 차동증폭기(pull-up differential amplifier)(210) 및 폴다운 차동증폭기(pull-down differential amplifier)를 포함한다. 상기 드라이버(204)는 레벨 전압(Vin)을 입력받기 위한 입력(204a)와 출력(204b)를 갖는다. 상기 드라이버(204)의 출력(Vout)은 부재환(negative feedback)되어 차동증폭기(210 및 220)의 반전입력단자(inverting inputs) (Vin-)들에 각각 입력되고, 레벨 전압(Vin)은 차동증폭기(210 및 220)의 비반전입력단자(non-inverting inputs) (Vin+)에 입력된다.

풀업 차동증폭기(210)은 출력 전압(Vout)이 입력단자(Vin+) 전압보다 작을 때, 다시 말해, 출력 전압(Vout)이 입력단자(Vin+)의 전압을 향해 증가하는 때에만 동작한다. 또한, 폴다운 차동증폭기(212)는 출력 전압(Vout)이 입력단자(Vin+)의 전압보다 클 때, 다시 말해 출력 전압(Vout)이 입력단자(Vin+)의 전압을 향해 감소하는 때에만 동작한다.

상기 드라이버(204)의 동작은 아래와 같다. 출력 전압(Vout)은 비반전입력단자(Vin+)의 전압과 반전입력단자(Vin-)의 전압이 동일할 때에는 안정한 상태이다. 비반전입력단자(Vin+)의 전압이 변하여 반전입력단자(Vin-)의 전압보다 커지면, 즉, 레벨 전압(Vin)이 출력 전압(Vout)보다 커지면, 상반부의 스위치들(S1, S2 및 S3)만 닫히고, 트랜지스터(220)가 출력 전압(V01)에 의해 턴온(turned on) 상태가 된다. 따라서, 출력 전압(Vout)이 입력단자(Vin+)의 전압을 향해 증가하기 시작하고, 마침내 스위치(S0)가 닫히면서 입력단자(204a)가 출력단자(204b)와 단락됨으로써, 출력 전압(Vout)의 레벨을 레벨 전압(Vin)의 레벨까지 더 정확하게 끌어올린다.

한편, 입력단자(Vin+)의 전압이 변하여 입력단자(Vin-)의 전압보다 작아지면, 즉, 레벨 전압(Vin)이 출력전압(Vout)보다 작아지면, 하반부의 스위치들(S4, S5, 및 S6)만 닫히고 트랜지스터(222)은 출력 전압(V02)에 의해 턴온 상태가 된다. 따라서, 출력 전압(Vout)이 입력단자(Vin+)의 전압을 향해 감소하기 시작하고, 마침내 스위치(S0)가 닫히면서 입력단자(204a)가 출력단자(204b)와 단락됨으로써, 출력 전압(Vout)의 레벨을 레벨 전압의 크기 Vin까지 더 정확하게 끌어 내린다.

그러나, 출력 전압(Vout)의 레벨이 고전원전압(high supply voltage) (VDD)에 근접한 크기이면서 레벨 전압(Vin)보다 작을 때에는, 풀업차동증폭기(210)이 출력 전압(Vout)을 끌어올리기가 어려워진다. 마찬가지로, 출력 전압(Vout)의 전압레벨이 저전원전압(low supply voltage) (VSS)에 근접한 크기이면서 레벨 전압(Vin)보다 클 때에는, 풀다운차동증폭기(212)가 출력 전압(Vout)을 끌어내리기가 어려워진다. 따라서, 상기 드라이버(204)의 출력 전압(Vout)은 제한되고, 전원 전압의 전체 전압범위를 활용할 수 없다.

이에 따라, 본 발명은 넓은 구동 전압 범위를 가짐으로써 위에서 언급한 종래기술 상의 문제점을 해결할 수 있도록 한 액정 표시장치용 소스 드라이버를 제공한다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 구동 전압 범위를 증가시키면서 전력 소비를 줄일 수 있는 액정표시장치용 소스 구동회로를 제공하는 것이다.

본 발명의 제2 목적은 회로 사이즈 및 그 제조비용을 줄일 수 있는 액정표시장치용 소스 구동회로를 제공하는 것이다.

발명의 구성

본 발명의 일 실시예는 적어도 하나의 데이터 라인을 구동하는 액정표시장치용 소스 구동장치로서, 소정의 전압을 입력받는 입력단자, 상기 데이터 라인과 전기적으로 연결되며 출력전압을 내놓는 출력단자, 상기 출력전압을 소정의 전압범위 내에서 클램핑(clamping)하는 전압클램핑회로, 상기 클램핑된 출력전압을 상기 소정의 전압을 향해 증가시키기 위한 제1 차동증폭기 및 상기 클램핑된 출력전압을 상기 소정의 전압을 향해 감소시키기 위한 제2 차동증폭기를 포함한다.

상기 소스 구동장치는 일회의 스캐닝라인 주기 내에, 다수의 소정의 전압 레벨을 상기 제1 차동증폭기 및 상기 제2 차동증폭기에 교번적으로 스위칭하는 제1 스위칭회로, 다수의 데이터 라인의 다수의 출력전압을 상기 제1 차동증폭기 및 상기 제2 차동증폭기에 각각 교번적으로 스위칭하는 제2 스위칭회로를 더 포함하여, 상기 다수의 데이터 라인의 다수의 출력전압을 상기 다수의 소정의 전압레벨에 따라서 상기 제1 차동증폭기 및 상기 제2 차동증폭기에 의해 각각 구동하는 소스 구동장치이다.

본 발명의 일 실시예에 따라, 제1 전압레벨을 갖는 데이터 라인을 구동하고, 상기 제1 전압레벨을 증가시키기 위해 두 개의 입력단자들과 하나의 출력단자를 가지는 제1 차동증폭기 및 상기 제1 전압레벨을 감소시키기 위해 두 개의 입력단자들과 하나의 출력단자를 가지는 제2 차동증폭기를 포함하고 있는 소스 구동회로에 적용되는 액정표시장치용 소스 구동방법에 있어서, 제2 전압레벨 및 상기 제2 전압레벨보다 더 큰 제3 전압레벨 사이의 범위 내에서 상기 제1 전압레벨을 클램핑하는 단계 및 상기 제1 차동증폭기 및 상기 제2 차동증폭기 중 어느 하나의 2 개의 입력단자들에서 상기 클램핑된 제1 전압레벨 및 소정의 전압레벨을 입력받아 상기 제1 차동증폭기 및 상기 제2 차동증폭기 중 어느 하나의 출력단자에 따라 상기 데이터 라인의 상기 클램핑된 제1 전압레벨을 상기 소정의 전압레벨로 변동시키는 단계를 포함한다. 상기 소스 구동방법은 상기 각 소정의 전압을 상기 각 데이터 라인에 입력받음으로써 상기 각 데이터 라인의 출력전압들이 실질적으로 각 소정의 전압들과 동일하도록 하는 단계를 더 포함할 수 있다.

본 발명의 일 실시예에 따르는 소스 구동방법에 의하면, 상기 두 개의 차동증폭기로 다수의 데이터 라인을 구동할 수도 있다. 따라서, 데이터 라인들을 구동하는데 사용되는 차동증폭기의 개수를 줄일 수 있고, 소스 구동회로의 크기 및 제조비용도 줄일 수 있다.

도 4는 본 발명의 일 실시예에 따른 액정표시장치를 위한 소스 구동회로(300)의 회로도이다. 상기 소스 구동회로(300)는, 전압 분배기(예를 들어 도 2에 도시한 전압분배기(200))로부터 레벨 전압(Vin1 및 Vin2)를 각각 입력 받는 두 개의 입력단자들(300a 및 300b) 및 액정표시패널에 배열된 두 개의 데이터 라인들(예를 들어 도 1에 도시한 데이터 라인(116))에 각각 전기적으로 접속되어 있는 두 개의 출력단자들(300c 및 300d)를 포함한다. 여기서, 상기 출력단자들(300c 및 300d)

은 각각 출력 전압들(Vout1 및 Vout2)을 갖는다. 상기 소스 구동회로(300)는 풀업차동증폭기(302), 풀다운차동증폭기(304), 전압클램핑회로(voltage clamping circuit) (306), 제1 스위칭 회로(308), 제2 스위칭 회로(310) 및 제3 스위칭 회로(312)를 포함한다. 상기 제1 스위칭 회로(308)는 다수의 스위치들(S1, S2, S3 및 S4)을 가지며, 상기 제2 스위칭 회로(310)는 다수의 스위치들(S5, S6, S7 및 S8)을 가지고, 상기 제3 스위칭 회로(312)는 복수의 스위치들(S9 및 S10)을 갖는다.

상기 소스 구동회로(300)는 한 스캐닝 라인 주기 동안 두 개의 데이터 라인을 구동하는데 사용된다. 즉, 한 스캐닝 라인 주기 동안 각 출력단자들(300c 및 300d)의 출력 전압(Vout1 및 Vout2)의 레벨을 각 입력단자들(300a 및 300b)의 입력 전압(Vin1 및 Vin2)의 레벨까지 끌어올리거나 끌어내리는데 사용된다. 여기서, "스캐닝 라인 주기(scanning line period)"란 한 스캐닝 라인이 선택되는, 다시 말해 액정표시패널에 있는 한 행의 트랜지스터들이 활성화되는 주기를 말한다.

상기 소스 구동회로(300)에서, 상기 풀업차동증폭기(302)는 비반전입력단자(302a), 반전입력단자(302b) 및 출력단자(302c)를 갖는다. 상기 출력단자(302c)는 부궤환 구조를 가지고서 상기 반전입력단자(302b)와 접속되어 있다. 상기 풀다운증폭기(304)는 비반전입력단자(304a), 반전입력단자(304b) 및 출력단자(304c)를 갖는다. 상기 출력단자(304c)는 부궤환 구조를 가지고서 상기 반전입력단자(304b)와 접속되어 있다.

상기 전압클램핑회로(306)는 출력단자들(300c 및 300d)의 각 출력 전압들(Vout1 및 Vout2)을 제1 전압(VA) 및 제2 전압(VB) 사이의 전압 범위 내에서 클램핑한다.

상기 제1 스위칭 회로(308)의 스위치들(S1, S2, S3 및 S4)은 각 입력단자들(300a 및 300b)의 각 레벨 전압들(Vin1 및 Vin2)과 상기 각 차동증폭기들(302 및 304)의 각 비반전입력단자들(302a 및 304a)을 교번적이며(alternatively) 전기적으로 접속시키는 역할을 한다. 상기 제2 스위칭 회로(310)의 스위치들(S5, S6, S7 및 S8)은 상기 각 차동증폭기들(302 및 304)의 각 출력단자들(302c 및 304c)과 각 출력단자들(300c 및 300d)를 교번적이며 전기적으로 접속시키는 역할을 한다. 상기 제3 스위칭 회로(312)의 스위치들(S9 및 S10)은, 각각 입력들(300a 및 300b)과 출력들(300c 및 300d)을 전기적으로 접속시킴으로써 각 출력 전압들(Vout1 및 Vout2)이 각 레벨 전압들(Vin1 및 Vin2)과 실질적으로 동일하도록 만든다.

도 5는 본 발명의 일 실시예에 따른 도 4의 액정표시장치를 위한 상기 소스 구동회로(300)의 상세한 회로도이다.

도 5에서, 상기 소스 구동회로(300)은 풀업차동증폭기(302), 풀다운차동증폭기(304), 전압클램핑회로(306) 및 스위치의 역할을 하는 다수의 트랜지스터를 포함한다.

상기 풀업차동증폭기(302)는 엔모스(NMOS:N-type Metal Oxide Semiconductor) 트랜지스터(NH3 및 NH4)로 구성된 차동쌍(differential pair), 피모스(PMOS:P-type Metal Oxide Semiconductor) 트랜지스터(NH1 및 NH2)로 구성된 전류미러(current mirror), 및 정전류 전원(CR1)을 포함한다.

상기 풀업차동증폭기(302)는 그 출력이 출력단(output stage)으로서 동작하는 피모스 트랜지스터(PH3)의 게이트와 접속되어 있다. 상기 엔모스 트랜지스터 차동쌍(NH3 및 NH4)는 피모스 트랜지스터 전류미러(PH1 및 PH2)와 전기적으로 접속되어 있다.

예를 들어, 상기 트랜지스터(PH1)의 드레인은 상기 트랜지스터(NH3)의 드레인과 전기적으로 연결되어 있고, 상기 트랜지스터(PH1)의 소스는 고전원전압(VDD)과 전기적으로 연결되어 있으며, 상기 트랜지스터(PH1)의 게이트는 상기 트랜지스터(PH2)의 게이트와 전기적으로 연결되어 있다. 또, 상기 트랜지스터(PH2)의 드레인이 상기 트랜지스터(NH4)의 드레인과 전기적으로 연결되어 있고, 상기 트랜지스터(PH2)의 소스가 상기 고전원전압(VDD)과 전기적으로 연결되어 있으며, 상기 트랜지스터(PH2)의 게이트는 상기 트랜지스터(PH2)의 드레인에도 연결되어 있다.

또, 상기 트랜지스터(NH3)의 게이트는 각 스위치들(S1 및 S4)을 통해 각 입력단자들(300a 및 300b)와 연결된다. 상기 트랜지스터(NH4)의 게이트는 상기 트랜지스터(PH3)의 드레인과 연결되어 있다. 상기 트랜지스터(NH3)의 소스와 상기 트랜지스터(NH4)의 소스는 공통적으로 상기 정전류전원(CR1)의 일단에 연결되어 있으며, 상기 정전류전원(CR1)의 타단은 저전원전압(VSS)와 연결되어 있다.

상기 트랜지스터(PH3)는 충전수단으로서 기능을 가지며, 상기 트랜지스터(PH3)는 소스가 상기 고전원전압(VDD)과 전기적으로 연결되어 있고, 상기 트랜지스터(PH3)는 드레인은 피모스 트랜지스터들(PH4 및 PH5)의 소스들과 연결되어 있다. 상기 트랜지스터들(PH4 및 PH5)의 각 드레인들이 각 출력들(300c 및 300d)과 연결되어 있고, 상기 트랜지스터들(PH4

및 PH5)의 각 게이트들은 각 제어 전압들(controlling voltages)(VENA0 및 VENB0)과 연결되어 있다. 상기 트랜지스터(PH4 및 PH5)는 상기 제어 전압(VENA0 및 VENB0)의 제어에 의해 도 4에 도시된 스위치들(S5 및 S6)과 같은 역할을 함으로써, 상기 트랜지스터(PH3)를 통해, 상기 풀업차동증폭기(302)의 출력(V03)과 상기 출력단자(300c 및 300d)를 선택적으로 또한 전기적으로 연결할 수 있다.

상기 풀다운차동증폭기(304)는 피모스 트랜지스터(PL3 및 PL4)로 구성된 차동쌍, 엔모스 트랜지스터(NL1 및 NL2)로 구성된 전류미러, 및 정전류전원(CR2)을 포함한다. 상기 풀다운차동증폭기(304)의 출력은 출력단으로서 동작하는 엔모스 트랜지스터(NL3)의 게이트와 연결되어 있다. 상기 피모스 트랜지스터 차동쌍(PL 및 PL4)은 엔모스 트랜지스터 전류미러(NL1 및 NL2)에 전기적으로 연결되어 있다.

예를 들어, 상기 트랜지스터(NL1)의 드레인이 상기 트랜지스터(PL3)의 드레인과 전기적으로 연결되어 있고, 상기 트랜지스터(NL1)의 소스는 상기 저전원전압(VSS)과 전기적으로 연결되며, 상기 트랜지스터(NL1)의 게이트는 상기 트랜지스터(NL2)의 게이트와 전기적으로 연결되어 있다. 상기 트랜지스터(NL2)의 드레인이 상기 트랜지스터(PL4)의 드레인과 전기적으로 연결되어 있고, 상기 트랜지스터(NL2)의 소스는 상기 저전원전압(VSS)과 전기적으로 연결되어 있으며, 상기 트랜지스터(NL2)의 게이트는 상기 트랜지스터(NL2)의 드레인과 전기적으로 연결되어 있다.

상기 트랜지스터(PL3)의 게이트는 스위치들(S2 및 S3)를 통해 각각 입력단자(300a 및 300b)와 연결되어 있다. 상기 트랜지스터(PL4)의 게이트는 상기 트랜지스터(PL3)의 드레인과 연결되어 있다. 상기 트랜지스터(PL3)의 소스 및 상기 트랜지스터(PL4)의 소스는 공통적으로 상기 정전류전원(CR2)의 일단에 연결되어 있으며, 상기 정전류전원(CR2)의 타단은 상기 고전원전압(VDD)과 연결되어 있다.

상기 트랜지스터(NL3)는 방전수단으로서 기능을 가지며, 상기 트랜지스터(NL3)의 소스가 상기 저전원전압(VSS)과 전기적으로 연결되어 있고, 상기 트랜지스터(NL3)의 게이트는 상기 트랜지스터(NL1)의 드레인과 전기적으로 연결되어 있으며, 상기 트랜지스터(NL3)의 드레인은 엔모스 트랜지스터들(NL4 및 NL5)의 각 소스들과 전기적으로 연결되어 있다.

상기 트랜지스터들(NL4 및 NL5)의 각 드레인들은 출력단자들(300c 및 300d)에 각각 연결되어 있고, 상기 트랜지스터들(NL4 및 NL5)의 각 게이트들에는 제어전압들(VENB1 및 VENA1)이 각각 연결되어 있다. 상기 트랜지스터들(NL4 및 NL5)는 상기 제어전압들(VENB1 및 VENA1)의 제어에 의해 도 4에 도시된 각 스위치들(S8 및 S7)과 유사한 기능을 함으로써, 상기 트랜지스터(NL3)를 통해 상기 풀다운차동증폭기(304)의 출력(V04)과 출력단자들(300c 및 300d)을 선택적으로 또한 전기적으로 연결할 수 있다.

상기 전압클램핑회로(306)은 엔모스 트랜지스터(NC1) 및 피모스 트랜지스터(PC1)을 포함하는 제1 서브클램핑회로(sub-clamping circuit), 엔모스 트랜지스터(NC2) 및 피모스 트랜지스터(PC2)을 포함하는 제2 서브클램핑회로를 포함한다.

상기 트랜지스터들(NC1 및 PC1)은 소스 팔로워(source follower)로서 작동하며, 상기 트랜지스터들(NC1 및 PC1)의 각 소스들은 공통적으로 상기 출력단자(300c)와 연결되어 있고, 상기 트랜지스터들(NC1 및 PC1)의 각 게이트들은 제어전압들(VTL 및 VTH)와 각각 연결되어 있으며, 상기 트랜지스터들(NC1 및 PC1)의 각 드레인들은 스위치(S11)으로도 표시된 피모스 트랜지스터(PL3) 및 스위치(S12)으로도 표시된 엔모스 트랜지스터(NC3)의 드레인들과 각각 연결되어 있다.

상기 제1 서브클램핑회로는 상기 엔모스 트랜지스터(NC1) 및 상기 피모스 트랜지스터(PC1)를 포함하는데, 상기 출력단자(300c)의 출력전압(Vout1)을 제1 전압(VA) 및 제2 전압(VB)간의 전압범위 내에서, 즉, $VA \leq V_{out1} \leq VB$ 가 되도록 클램핑한다. 여기서 상기 제1 전압(VA) 및 제2 전압(VB)는 모두 상기 저전원전압(VSS)보다는 크고, 상기 고전원전압(VDD)보다는 작다.

상기 엔모스 트랜지스터들(NC2 및 PC2)은 소스 팔로워로서 작동하며, 상기 엔모스 트랜지스터들(NC2 및 PC2)의 각 소스들은 공통적으로 상기 출력단자(300d)와 연결되어 있고, 상기 엔모스 트랜지스터들(NC2 및 PC2)의 각 게이트들은 상기 제어 전압들(VTL 및 VTH)와 각각 연결되어 있으며, 상기 엔모스 트랜지스터들(NC2 및 PC2)의 각 드레인들은 상기 피모스 트랜지스터(PC3) 및 상기 엔모스 트랜지스터(NC3)의 드레인들과 각각 연결되어 있다.

상기 제2 서브클램핑회로는 상기 엔모스 트랜지스터(NC2) 및 상기 피모스 트랜지스터(PC2)를 포함하는데, 상기 출력단자(300d)의 출력전압(Vout2)을 상기 제1 전압(VA) 및 제2 전압(VB)간의 전압범위 내에서, 즉, $VA \leq V_{out2} \leq VB$ 가 되도록

록 클램핑한다. 여기서 상기 제1 전압(VA) 및 제2 전압(VB)는 모두 상기 저전원전압(VSS)보다는 크고, 상기 고전원전압(VDD)보다는 작다. 상기 트랜지스터들(NC1 및 NC2)는 동일한 문턱전압(threshold voltages)을 갖는 것이 바람직하며, 상기 트랜지스터들(PC1 및 PC2)도 각자 동일한 문턱전압을 갖는 것이 바람직하다.

상기 출력단자들(300c 및 300d)의 출력전압들(Vout1 및 Vout2)을 제1 전압(VA) 및 제2 전압(VB)사이에서 클램핑하기 위해서는, 상기 제어 전압들(VTL 및 VTH)는 다음과 같은 부등식을 만족하여야 한다.

수학식 1

$$VB > VTL - V_{thn2} \geq VA$$

수학식 2

$$VA < VTH + V_{thp2} \leq VB$$

여기서, V_{thn2} 는 상기 트랜지스터들(NC1 및 NC2)의 문턱전압이며, V_{thp2} 는 상기 트랜지스터들(PC1 및 PC2)의 문턱전압이다.

본 발명의 일 실시예에서 상기 트랜지스터들(NC1 및 NC2)의 문턱전압(V_{thn2})는 상기 트랜지스터들(NH3 및 NH4)의 문턱전압(V_{thn1})과 동일한 값인 것으로 가정하며, 상기 트랜지스터들(PC1 및 PC2)의 문턱전압(V_{thp2})은 상기 트랜지스터들(PL3 및 PL4)의 문턱전압(V_{thp1})과 동일한 값인 것으로 가정한다. 또한, 상기 제어전압(VTL)은 상기 제1 전압(VA)와 상기 문턱전압(V_{thn2})의 합과 동일한 값(즉, $VTL = VA + V_{thn2}$)인 것으로 가정하며, 상기 제어전압(VTH)은 상기 제2 전압(VB)와 상기 문턱전압(V_{thp2})의 차(difference)와 동일한 값인 것으로 가정한다.

이에 따라, 상기 출력단자들(300c 및 300d)의 출력 전압(Vout1 및 Vout2)는 상기 고전원전압(VDD) 및 제2 전압(VB) 사이의 전압 범위내로 들어가면, 상기 트랜지스터들(PC1 및 PC2)은 각각의 소스 및 게이트 간 전압차(V_{sg})가 상기 문턱전압(V_{thp2})보다 크므로 턴온 상태가 된다. 상기 트랜지스터들(PC1 및 PC2)가 턴온되면, 출력 전압(Vout1 및 Vout2)는 각각 상기 트랜지스터들(PC1 및 NC3) 및 저전원전압(VSS)의 경로와 상기 트랜지스터들(PC2 및 NC3) 및 저전원전압(VSS)의 경로를 통해 방전되어 제2 전압(VB, $VTH + V_{thp2}$)의 레벨로 된다.

또한, 상기 출력단자들(300c 및 300d)의 출력 전압(Vout1 및 Vout2)는 상기 저전원전압(VSS) 및 제1 전압(VA) 사이의 전압 범위내로 들어가면, 상기 트랜지스터들(NC1 및 NC2)은 각각의 게이트 및 소스 간 전압차(V_{gs})가 상기 문턱전압(V_{thn2})보다 크므로 턴온 상태가 된다. 상기 트랜지스터들(NC1 및 NC2)가 턴온되면, 출력 전압(Vout1 및 Vout2)는 각각 상기 트랜지스터들(NC1 및 PC3) 및 고전원전압(VDD)의 경로와 상기 트랜지스터들(NC2 및 PC3) 및 고전원전압(VDD)의 경로를 통해 충전되어 제1 전압(VA, $VTH - V_{thn2}$)의 레벨로 된다.

만약, 상기 출력단자들(300c 및 300d)의 출력 전압들(Vout1 및 Vout2)이 제1 전압(VA) 및 제2 전압(VB) 사이의 전압 범위내로 들어가면, 상기 트랜지스터들(PC1, PC2, NC1 및 NC2)은 모두 턴오프(turned-off)되고, 상기 출력 전압(Vout1 및 Vout2)은 그 크기가 유지된다.

상기 트랜지스터들(PC3 및 NC3)의 각 소스들은 상기 고전원전압(VDD)와 상기 저전원전압(VSS)와 각각 연결되어 있고, 상기 트랜지스터들(PC3 및 NC3)의 각 게이트들은 제어전압(VPREB 및 VPRE)와 각각 연결되어 있다. 상기 제어전압(VPREB 및 VPRE)들은 서로 반대 또는 반전되는 관계이다.

상기 소스 구동회로(300)은 입력단자(300a 및 300b)의 레벨 전압들(Vin1 및 Vin2)와 출력단자들(300c 및 300d)을 각각 연결 내지 단락시킬 수 있는 스위치들(S9 및 S10)을 더 포함하여, 출력단자들(300c 및 300d)의 출력전압(Vout1 및 Vout2)를 각각 레벨 전압(Vin1 및 Vin2)에 맞추어 직접적으로 구동할 수도 있다.

상기 풀업차동증폭기(302)는 출력전압(Vout1 및 Vout2)를 상기 제1 전압(VA)과 상기 고전원전압(VDD)사이에서 증가시키는 데 사용되는 것이고, 상기 풀다운차동증폭기(304)는 출력전압(Vout1 및 Vout2)를 상기 제2 전압(VB)과 상기 저전원전압(VSS)사이에서 감소시키는 데 사용되는 것임을 이해하여야 할 것이다.

도 6A 및 도 6B는, 도 4를 함께 참조하여, 도 5의 소스 구동회로가 어떻게 일회의 스캐닝 시간동안 출력 전압(Vout1 및 Vout2)를 레벨 전압(Vin1 및 Vin2)로 만들 수 있는지의 예시를 제공한다. 도 6A는 일회의 스캐닝 시간(즉, t_0 부터 t_4 까지)동안 상기 스위치(S1 및 S2)의 상태(즉, "온(On)" 및 "오프(Off)")를 나타내는 표이다. 도 6B는 상기 스캐닝 시간(t_0 부터 t_4)동안 상기 출력전압(Vout1 및 Vout2)의 파형을 보여준다.

이 예시에서, 상기 입력단자(300a 및 300b)에서 입력받은 레벨 전압(Vin 및 Vin2)는 각각 V1 및 VDD의 전압 값을 갖는 것으로 가정하며, 상기 출력단자(300c 및 300d)의 출력 전압(Vout1 및 Vout2)는 각각 VSS 및 V2의 전압 값을 갖는 것으로 가정한다. 다음의 설명은 소스 구동회로(300)가 출력 전압(Vout1 및 Vout2)를 시작값(VSS 및 V2)에서 최종값(V1 및 VDD)로 구동하는지 그 동작을 예시로써 설명한다.

먼저, 시구간(t0부터 t1)에서, 상기 제어 전압(VPRE)은 높은 전압 레벨을 제공하고 상기 제어 전압(VPREB)은 낮은 전압 레벨을 제공하므로, 상기 트랜지스터들(PC3 및 NC3, 다시 말해 스위치 S11 및 S12)은 각각 턴온되며, 상기 다른 스위치들(S1 내지 S10)은 턴오프상태이다. 즉, 전압클램핑회로(306)가 상기 출력 전압(Vout1 및 Vout2)의 전압 값을 상기 제1 전압(VA) 및 제2 전압(VB) 사이의 범위내에서 클램핑할 수 있도록 활성화되는 것이다. 이 구간에서는, 전압클램핑회로(306)는 상기 출력단자(300c)의 출력 전압(Vout1)의 전압 값을 저전원전압의 전압(VSS)에서 제1 전압(VA)의 크기로 끌어 올린다. 한편, 출력전압(Vout2)의 전압값은 제1 전압(VA) 및 제2 전압(VB) 사이의 전압 범위 안에 있는 상태(즉 클램핑된 상태)였으므로 V2의 값을 유지한다.

다음으로, 시구간(t1부터 t2)에서는, 상기 스위치(S1 및 S3)가 닫힌다. 상기 제어 신호들(VENA1, VENB0)은 높은 전압 레벨을 제공하고, 상기 제어신호들(VENA0, VENB1)은 낮은 전압 레벨을 제공하므로, 상기 트랜지스터들(PH4 및 NL5, 즉 스위치 S5 및 스위치 S7)은 턴온되나 다른 트랜지스터들은 모두 턴오프상태이다. 이 구간동안, 상기 전압클램핑회로(306)은 클램핑 기능을 하지 않는다. 즉, 출력 전압(Vout1 및 Vout2)을 클램핑하지 않는다.

상기 풀업차동증폭기(302)의 트랜지스터(NH3)의 게이트(비반전 입력)는 입력단자(300a)로부터 V1의 값을 갖는 레벨 전압(Vin1)을 입력받고, 트랜지스터(NH4)의 게이트(반전입력)는 출력단자(300c)로부터 VA의 값을 갖는 레벨 전압(Vout1)을 입력받는다. 상기 비반전입력의 전압 값 V1이 반전입력의 전압 값 VA보다 크기 때문에, 상기 풀업차동증폭기(302)는 상기 트랜지스터들(PH3 및 PH4)를 통해 출력단자(300c)의 출력전압(Vout1)의 값을 VA에서 V1로 증가시킬 수 있다. 그러는 동안, 상기 풀다운차동증폭기(304)의 트랜지스터(PL3)의 게이트(비반전입력)는 입력단자(300b)로부터 VDD의 값을 갖는 레벨 전압(Vin2)를 입력받고, 트랜지스터(PL4)의 게이트(반전입력)는 출력단자(300d)로부터 V2의 값을 갖는 출력전압(Vout2)을 입력받는다. 상기 비반전입력의 전압 값 VDD가 반전입력의 전압 값V2보다 크기 때문에, 상기 풀다운차동증폭기(304)는 동작하지 않으며, 상기 출력단자(300d)의 출력전압(Vout2)의 전압 값은 V2에서 유지된다.

다음으로, 시구간(t2부터 t3)에서는, 상기 스위치들(S2 및 S4)이 닫힌다. 상기 제어 신호들(VENA1, VENB0)은 낮은 전압 레벨을 제공하고, 상기 제어신호들(VENA0, VENB1)은 높은 전압 레벨을 제공하므로, 상기 트랜지스터들(PH5 및 NL4, 즉 스위치 S6 및 스위치 S8)은 턴온되나 다른 트랜지스터들은 모두 턴오프상태이다.

이 구간에서, 상기 풀업차동증폭기(302)의 트랜지스터(NH3)의 게이트(비반전 입력)는 입력단자(300b)로부터 VDD의 값을 갖는 레벨 전압(Vin2)을 입력받고, 트랜지스터(NH4)의 게이트(반전입력)는 출력단자(300d)로부터 V2의 값을 갖는 레벨 전압(Vout2)을 입력받는다. 상기 비반전입력의 전압 값 VDD이 반전입력의 전압 값 V2보다 크기 때문에, 상기 풀업차동증폭기(302)는 상기 트랜지스터들(PH3 및 PH5)를 통해 출력단자(300d)의 출력전압(Vout2)의 값을 V2에서 VDD로 증가시킬 수 있다. 그러는 동안, 상기 풀다운차동증폭기(304)의 트랜지스터(PL3)의 게이트(비반전입력)는 입력단자(300a)로부터 V1의 값을 갖는 레벨 전압(Vin1)을 입력받고, 트랜지스터(PL4)의 게이트(반전입력)는 출력단자(300c)로부터 V1의 값을 갖는 출력전압(Vout2)을 입력받는다. 상기 비반전입력의 전압 값 V1이 반전입력의 전압 값V1과 같기 때문에, 상기 풀다운차동증폭기(304)는 동작하지 않으며, 상기 출력단자(300d)의 출력전압(Vout1)의 전압 값은 V1에서 유지된다.

마지막으로, 시구간(t3부터 t4)에서는, 오직 스위치(S9 및 S10)만이 턴온되며 다른 스위치들은 턴오프되므로, 상기 입력단자(300a 및 300b)는 각각 상기 출력단자(300c 및 300d)와 전기적으로 연결(단락)될 수 있다. 이 구간동안, 상기 입력단자(300a 및 300b)의 레벨 전압(Vin1 및 Vin2)는 직접 출력단자(300c 및 300d)로 전달될 수 있으므로, 출력 전압(Vout1 및 Vout2)는 더 정확하게 각각 V1 및 VDD로 변할 수 있다. 이러한 경우를 '감마 단락(gamma short)'이라고 한다.

도 6A 및 도 6C는, 도 4를 함께 참조하여 도 5의 소스 구동회로가 일회의 스캐닝 시간내에 출력전압(Vout1 및 Vout2)을 어떻게 레벨 전압(Vin1 및 Cin2)로 구동할 수 있는지에 대해 다른 예시를 제공한다. 이 예시에서, 입력단자(300a 및 300b)에서 입력받는 레벨 전압(Vin1 및 Vin2)는 전압값 VA 및 V3을 각각 갖는 것으로, 출력단자(300c 및 300d)의 출력 전압(Vout1 및 Vout2)은 전압값 V1과 VDD를 각각 갖는 것으로 가정한다. 도 6C에는 t0부터 t4까지 일회의 스캐닝 시간 동안 출력전압(Vout1 및 Vout2)의 파형을 도시하였다.

먼저, 시구간(t_0 부터 t_1)에서는, 오직 스위치들(S11 및 S12)만이 턴온된다. 이 구간동안 상기 전압클램핑회로(306)는 상기 출력단자(300d)의 출력전압(V_{out2})의 전압 값을 VDD에서 VB로 끌어 내린다. 한편, 출력전압(V_{out1})의 전압 값은, VA 및 VB 간의 구간내에 있기 때문에 V1의 값을 유지한다.

다음으로, 시구간(t_1 부터 t_2)에서는, 스위치들(S1, S3, S5 및 S7)만이 턴온된다. 이 구간동안, 상기 전압클램핑회로(306)은 클램핑 기능을 하지 않는다. 즉, 출력 전압(V_{out1} 및 V_{out2})을 클램핑하지 않는다.

상기 풀업차동증폭기(302)의 트랜지스터(NH3)의 게이트(비반전 입력)는 입력단자(300a)로부터 VA의 값을 갖는 레벨 전압(V_{in1})을 입력받고, 트랜지스터(NH4)의 게이트(반전입력)는 출력단자(300c)로부터 V1의 값을 갖는 레벨 전압(V_{out1})을 입력받는다. 상기 비반전입력의 전압 값 VA이 반전입력의 전압 값 V1보다 작기 때문에, 상기 풀업차동증폭기(302)는 동작하지 않으며, 상기 출력단자(300c)의 출력전압(V_{out1})의 전압 값은 V1에서 유지된다. 그러는 동안, 상기 풀다운차동증폭기(304)의 트랜지스터(PL3)의 게이트(비반전입력)는 입력단자(300b)로부터 V3의 값을 갖는 레벨 전압(V_{in2})을 입력받고, 트랜지스터(PL4)의 게이트(반전입력)는 출력단자(300d)로부터 VB의 값을 갖는 출력전압(V_{out2})을 입력받는다. 상기 비반전입력의 전압 값 V3가 반전입력의 전압 값VB보다 크기 때문에, 상기 풀다운차동증폭기(304)는 동작하지 않으며, 상기 출력단자(300d)의 출력전압(V_{out2})의 전압 값은 VB에서 유지된다.

다음으로, 시구간(t_2 부터 t_3)에서는, 스위치들(S2, S4, S6 및 S8)만이 턴온된다. 이 구간동안, 상기 풀업차동증폭기(302)의 트랜지스터(NH3)의 게이트(비반전 입력)는 입력단자(300b)로부터 V3의 값을 갖는 레벨 전압(V_{in2})을 입력받고, 트랜지스터(NH4)의 게이트(반전입력)는 출력단자(300d)로부터 VB의 값을 갖는 레벨 전압(V_{out2})을 입력받는다. 상기 비반전입력의 전압 값 V3이 반전입력의 전압 값 VB보다 크기 때문에, 상기 풀업차동증폭기(302)는 상기 트랜지스터들(PH3 및 PH5)를 통해 출력단자(300d)의 출력전압(V_{out2})의 값을 VB에서 V3로 증가시킬 수 있다.

한편, 상기 풀업차동증폭기(304)의 트랜지스터(PL3)의 게이트(비반전 입력)는 입력단자(300a)로부터 VA의 값을 갖는 레벨 전압(V_{in1})을 입력받고, 트랜지스터(PL4)의 게이트(반전입력)는 출력단자(300c)로부터 V1의 값을 갖는 레벨 전압(V_{out1})을 입력받는다. 상기 비반전입력의 전압 값 VA이 반전입력의 전압 값 V1보다 작기 때문에, 상기 풀업차동증폭기(304)는 상기 트랜지스터들(NL3 및 NL4)를 통해 출력단자(300c)의 출력전압(V_{out1})의 값을 V1에서 VA로 감소시킬 수 있다.

마지막으로, 시구간(t_3 부터 t_4)에서는, 스위치(S9 및 S10)만 턴온되므로, 상기 입력단자(300a 및 300b)는 각각 상기 출력단자(300c 및 300d)와 전기적으로 연결(단락)될 수 있다. 이 구간동안, 상기 입력단자(300a 및 300b)의 레벨 전압(V_{in1} 및 V_{in2})은 직접 출력단자(300c 및 300d)로 전달될 수 있으며, 출력전압(V_{out1} 및 V_{out2})는 각각 더 정확하게 VA 및 V3의 값으로 변할 수 있다.

본 발명의 실시예에 따르는 소스 구동회로에 따르면, VB부터 VDD의 전압 범위 및 VA부터 VSS의 전압범위는 각자 충분한 전압 차이를 제공하고 있기 때문에, 출력 전압을 전압 값 VDD 또는 VSS까지 구동하는 것이 간단해 진다. 또한, 구동 전압의 범위도 종래 기술을 쓸 때와 달리 제한되지 않는다.

도 7은 도 5에 도시된 소스 구동회로에 따른 다른 실시예로서, 도 5의 도면 기호 및 부호가 도 7의 동일한 요소에도 적용되므로 별도의 설명은 생략한다.

도 5의 소스 구동회로와 비교할 때, 도 7의 소스 구동회로는 엔모스 트랜지스터들(NH1 및 NH2)로 구성된 차동쌍 및 피모스 트랜지스터들(PL1 및 PL2)로 구성된 차동쌍을 더 포함하고 있다. 한편, 스위치(S1 및 S2)는 각각 엔모스 트랜지스터들(NH6 및 NH7)로 대체되고, 스위치(S3 및 S4)는 각각 피모스 트랜지스터들(PL6 및 PL7)로 대체되었다.

상기 트랜지스터들(NH1 및 NH2)의 각 드레인들이 각각 상기 트랜지스터들(PH1 및 PH2)의 드레인들과 전기적으로 연결되어 있고, 상기 트랜지스터들(NH1 및 NH2)의 각 소스들이 공통적으로 상기 트랜지스터(NH7)의 드레인과 전기적으로 연결되어 있다. 상기 트랜지스터들(NH2 및 NH4)의 각 게이트들은 각각 상기 트랜지스터들(PH5 및 PH4)의 드레인들과 전기적으로 연결되어 있다. 상기 트랜지스터들(NH3 및 NH4)의 각 소스들은 공통적으로 상기 트랜지스터(NH6)의 드레인과 전기적으로 연결되어 있다. 상기 트랜지스터들(NH6 및 NH7)은 각 소스들이 상기 정전류전원(CR1)의 일단에 전기적으로 연결되어 있으며, 상기 정전류전원(CR1)의 타단은 상기 저전원전압(VSS)에 전기적으로 연결되어 있다. 또한, 상기 트랜지스터들(NH6 및 NH7)은 각 게이트들이 상기 제어전압들(VENA1 및 VENB1)과 각각 전기적으로 연결되어 있다. 상기 제어전압(VENA1 및 VENB1)은 상기 풀업차동증폭기(302) 및 상기 풀다운차동증폭기(304)를 각각 선택적으로 활성화하거나 비활성화하는데 사용된다.

상기 트랜지스터들(PL1 및 PL2)은 각 드레인들이 상기 트랜지스터들(NL1 및 NL2)의 드레인들과 각각 전기적으로 연결되어 있으며, 상기 트랜지스터들(PL1 및 PL2)의 각 소스들은 공통적으로 상기 트랜지스터(PL7)의 드레인과 전기적으로 연결되어 있다. 상기 트랜지스터들(PL2 및 PL4)의 각 게이트들은 상기 트랜지스터들(NL4 및 NL5)와 각각 전기적으로 연결되어 있다. 상기 트랜지스터들(PL3 및 PL4)의 각 소스는 공통적으로 상기 트랜지스터(PL6)의 드레인과 전기적으로 연결되어 있다. 상기 트랜지스터들(PL6 및 PL7)은 각 소스가 상기 정전류전원(CR2)의 일단에 전기적으로 연결되어 있으며, 상기 정전류전원(CR2)의 타단은 상기 고전원전압(VDD)와 전기적으로 연결되어 있다. 또한, 상기 트랜지스터들(PL6 및 PL7)의 각 게이트들은 제어전압들(VENA0 및 VENB0)와 각각 전기적으로 연결되어 있다. 상기 제어전압들(VENA0 및 VENB0)는 상기 풀업차동증폭기(302) 및 상기 풀다운차동증폭기(304)를 선택적으로 활성화하거나 비활성화하는데 사용된다.

상기 트랜지스터들(NH1 및 PL3)의 각 게이트들은 레벨전압(Vin1)을 입력받기 위한 입력단자(300a)에 공통적으로 전기적으로 연결되어 있다. 또, 상기 트랜지스터들(NH3 및 PL1)의 각 게이트들은 레벨전압(Vin2)을 입력받기 위한 입력단자(300b)에 공통적으로 전기적으로 연결되어 있다.

도 7의 소스 구동회로의 동작은 도 5의 소스 구동회로의 동작과 유사하므로 그 설명은 생략한다.

도 8은 도 7에 도시한 소스 구동회로에 따른 다른 실시예이며, 도 7의 도면 기호 및 부호가 도 8의 동일한 요소에도 적용되므로 별도의 설명은 생략한다. 도 7의 소스 구동회로와 비교할 때, 도 8의 소스 구동회로는 도 7의 상기 트랜지스터들(PC3 및 NC3)을 대체하기 위해 스위치들(S11 및 S12)을 포함하고 있다. 이때, 상기 스위치(S11)은 상기 트랜지스터(PH4)의 드레인과 상기 트랜지스터(NC1)의 소스를 서로 전기적으로 연결하기 위한 것이며, 상기 스위치(S12)는 상기 트랜지스터(PH5)의 드레인과 상기 트랜지스터(NC2)의 소스를 서로 전기적으로 연결하기 위한 것이다. 또한, 상기 트랜지스터들(NC1 및 NC2)은 각 드레인들이 상기 고전원전압(VDD)와 전기적으로 연결되어 있으며, 상기 트랜지스터들(PC1 및 PC2)은 각 드레인들이 상기 저전원전압(VSS)와 전기적으로 연결되어 있다.

도 8의 소스 구동회로의 동작은 도 7의 소스 구동회로의 동작과 유사하므로 설명을 생략한다.

발명의 효과

위에서 예시하였듯이, 본 발명에 따른 상기 소스 구동회로(300)의 구동전압 범위가 종래기술의 경우와 달리 제한되지 않고 증가될 수 있으므로 종래기술에 존재하던 문제를 해결할 수 있다.

한편, 다수의 데이터 라인이 상기 풀업차동증폭기(302) 및 상기 풀다운차동증폭기(304)를 공유할 수 있으므로, 소스 구동회로를 위한 회로의 크기와 제조비용을 줄일 수 있다.

본 발명의 실시예에서는, 상기 소스 구동회로(300)는 두 개의 데이터 라인을 구동하기 위해 두 개의 입력(300a 및 300b)과 두 개의 출력(300c 및 300d)을 구비하고 있다. 그러나, 상기 소스 구동회로(300)는 하나의 데이터 라인을 구동하기 위해 하나의 입력과 하나의 출력만을 가질 수도 있다. 또한, 일회 스캐닝 라인 주기가 충분히 길다면, 본 발명에 따르는 상기 소스 구동회로(300)는 상기 스위칭 회로의 제어를 통해서 다수개의 데이터 라인을 구동하기 위한 2개 이상의 입력들과 출력들을 가질 수도 있는 것이다.

실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 능동 매트릭스 방식의 액정표시장치를 위한 종래 기술에 의한 구동회로이다.

도 2는 도 1의 능동 매트릭스 방식의 액정표시장치를 위한 전형적인 소스 구동 회로의 개략적인 회로도이다.

도 3은 종래 기술에 의한 구동회로의 회로도이다.

도 4는 본 발명의 일 실시예에 따른 액정표시장치를 위한 소스 구동회로의 회로도이다.

도 5는 본 발명의 일 실시예에 따른 도 4의 액정표시장치를 위한 소스 구동회로의 상세한 회로도이다.

도 6A, 도 6B, 및 도 6C는 도 5의 소스 구동회로가 일 회의 스캐닝 시간 동안 두 가지 전압 레벨에 대해 두 개의 출력 전압을 각각 구동하는 방법을 설명하는 예시도이다.

도 7은 본 발명의 일 실시예에 따른 액정표시장치를 위한 소스 구동회로의 상세한 회로도이다.

도 8은 본 발명의 일 실시예에 따른 액정표시장치를 위한 소스 구동회로의 상세한 회로도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

300a/300b : 입력단자 300c/300d : 출력단자

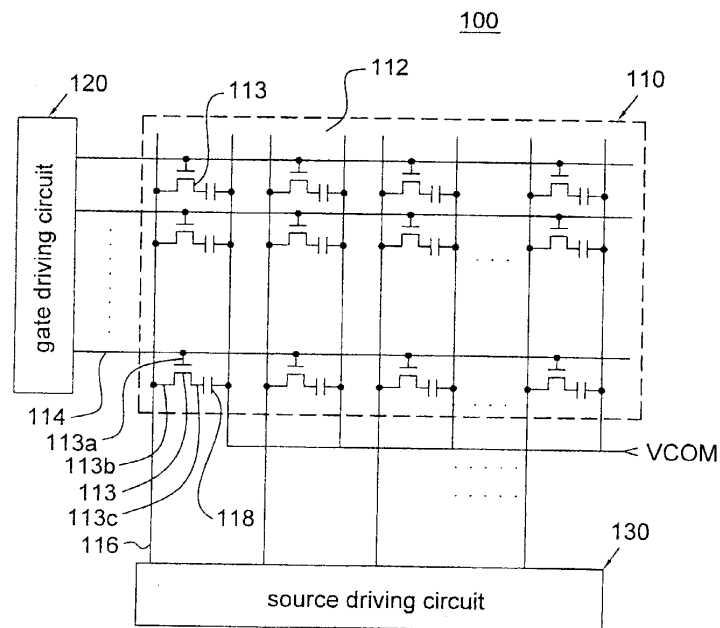
302/304 : 차동증폭기 306 : 전압클램핑회로

308 : 제1 스위칭회로 310 : 제2 스위칭회로

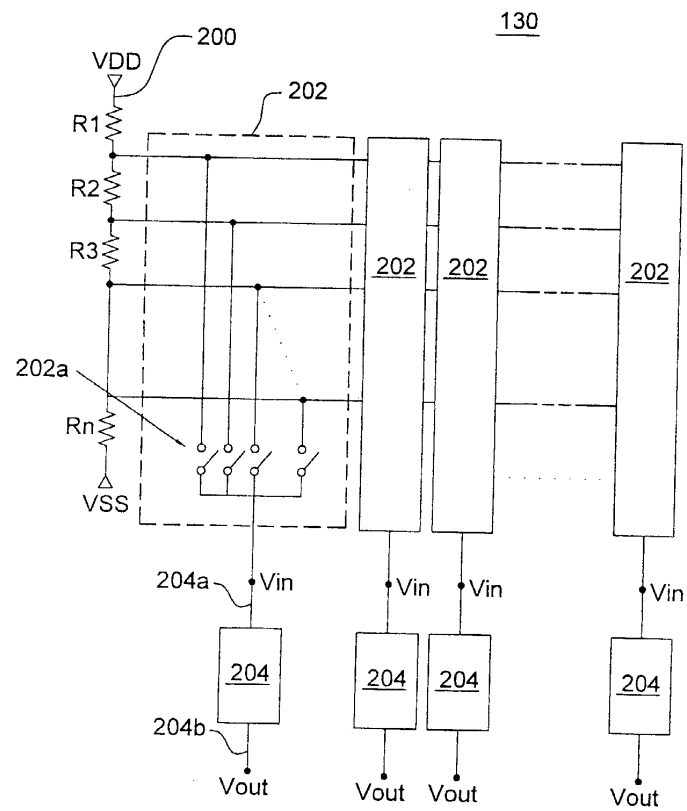
312 : 제3 스위칭회로

도면

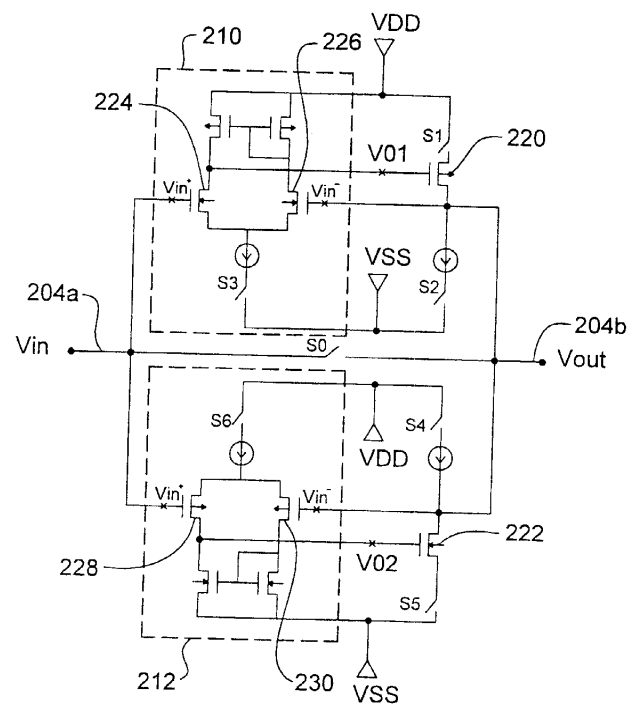
도면1



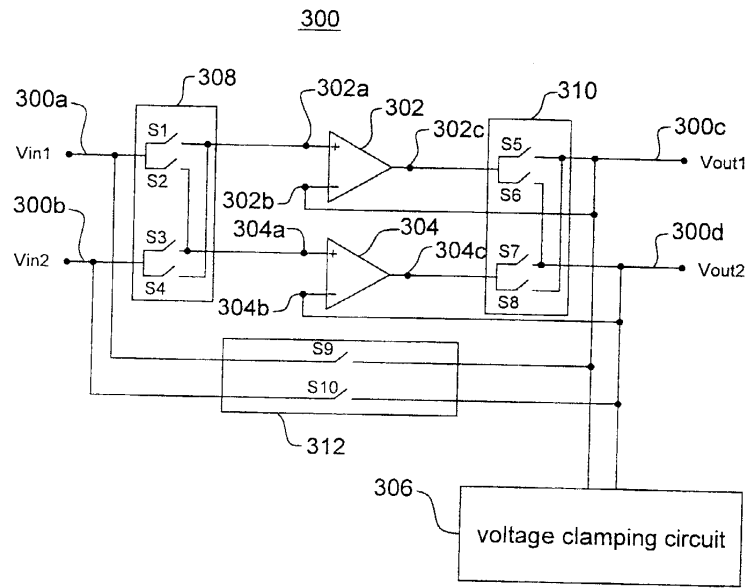
도면2



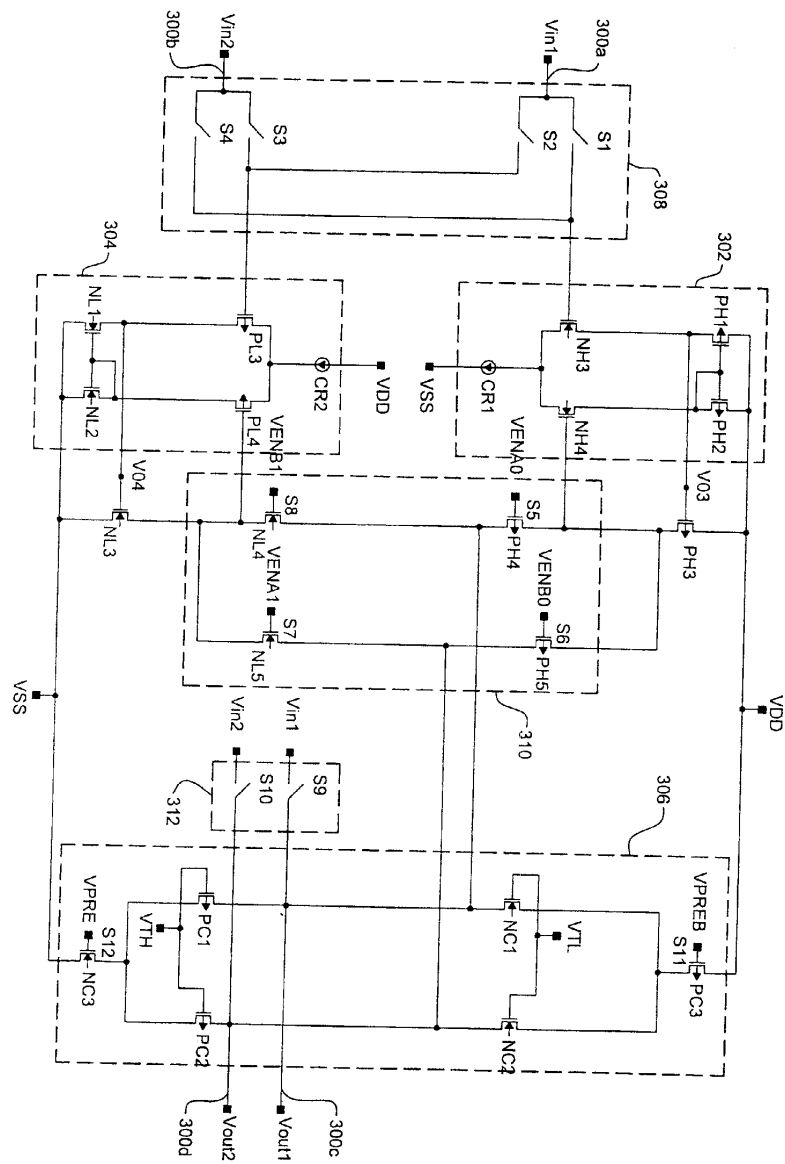
도면3



도면4



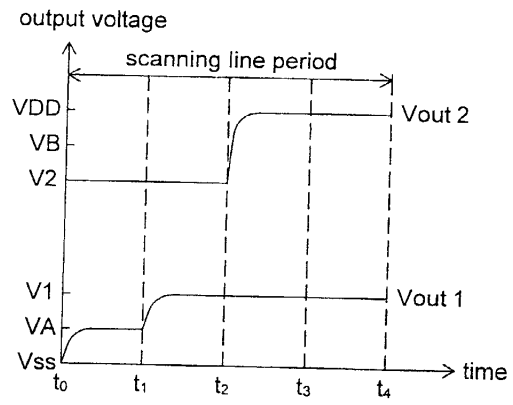
도면5



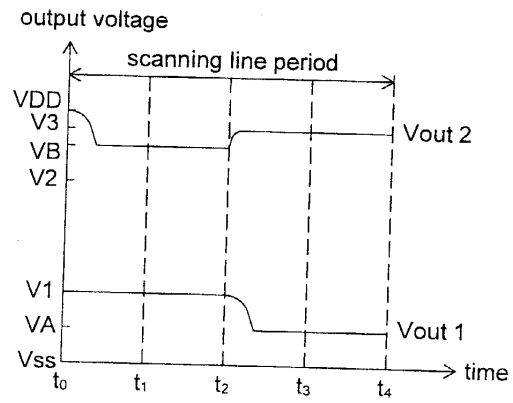
도면6a

	t0 to t1	t1 to t2	t2 to t3	t3 to t4
switch S1,S3	OFF	ON	OFF	OFF
switch S2,S4	OFF	OFF	ON	OFF
switch S5,S7	OFF	ON	OFF	OFF
switch S6,S8	OFF	OFF	ON	OFF
switch S9,S10	OFF	OFF	OFF	ON
switch S11,S12	ON	OFF	OFF	OFF

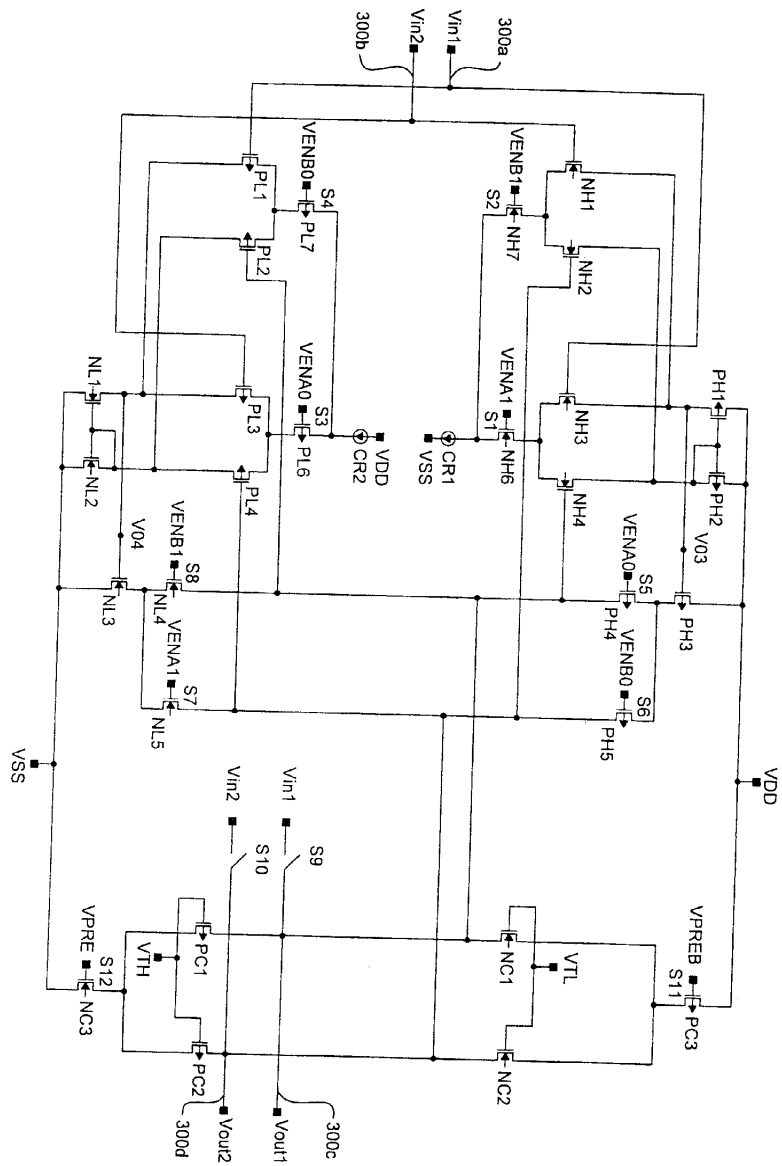
도면6b



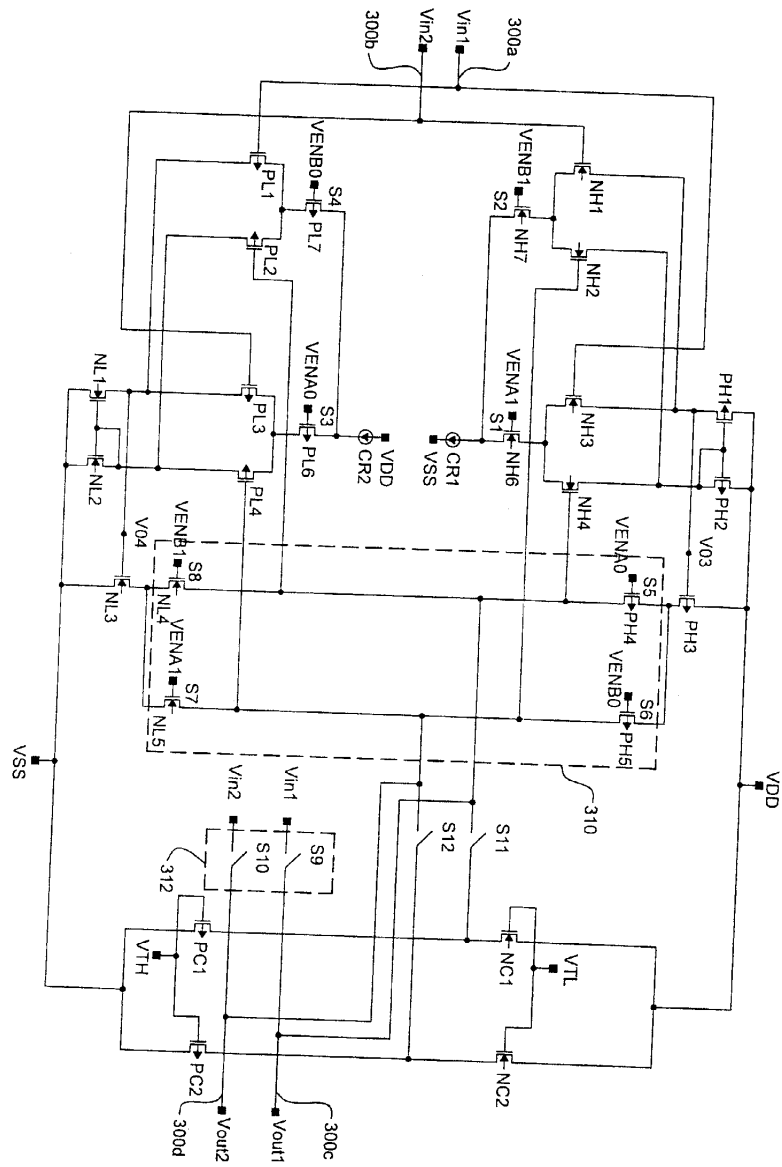
도면6c



도면7



도면8



专利名称(译)	液晶显示器的源极驱动电路和源极驱动方法		
公开(公告)号	KR100734939B1	公开(公告)日	2007-07-03
申请号	KR1020050024734	申请日	2005-03-25
[标]申请(专利权)人(译)	奇景光电股份有限公司		
申请(专利权)人(译)	嗨最大科技有限公司		
当前申请(专利权)人(译)	嗨最大科技有限公司		
[标]发明人	YAW GUANG CHANG 야우광창 MING CHENG CHIU 밍청치우		
发明人	야우광창 밍청치우		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G09G2320/0252 G09G3/3688 G09G3/3696		
代理人(译)	PARK , YOUNG WOO		
优先权	094102051 2005-01-24 TW		
其他公开文献	KR1020060085554A		
外部链接	Espacenet		

摘要(译)

本发明包括输入端，该输入端是至少一条数据线，当前驱动的液晶显示器源驱动装置和预定电压输入，数据线和电压钳位电路钳位输出端产生输出电压电连接，并且输出电压在预定电压范围内，并且第一差分放大器用于将如上所述的钳位输出电压增加到预定电压，第一差分放大器用于将如上所述的钳位输出电压降低到预定电压。本发明还提供了目前驱动的液晶显示器的方法。

