



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년03월02일
<i>G02F 1/136</i> (2006.01)	(11) 등록번호	10-0688372
<i>H01L 29/786</i> (2006.01)	(24) 등록일자	2007년02월22일

(21) 출원번호	10-2004-7016603	(65) 공개번호	10-2004-0101510
(22) 출원일자	2004년10월15일	(43) 공개일자	2004년12월02일
심사청구일자	2004년10월15일		
번역문 제출일자	2004년10월15일		
(86) 국제출원번호	PCT/JP2003/004727	(87) 국제공개번호	WO 2003/088193
국제출원일자	2003년04월14일	국제공개일자	2003년10월23일

(30) 우선권주장 JP-P-2002-00113903 2002년04월16일 일본(JP)

(73) 특허권자 샤프 가부시기가이샤
일본 오사카후 오사카시 아베노꾸 나가이게쵸 22방 22고

(72) 발명자 고크라, 마사후미
일본 515-0071 미에켄 마쓰사카시 사쿠라쵸 9-9 사쿠라 비

가따오까, 요시하루
일본 565-0824 오사카후 오사카시 야마다니시 3쵸메 13-1

(74) 대리인 장수길
구영창

심사관 : 임동재

전체 청구항 수 : 총 11 항

(54) 기판, 그 기판을 구비한 액정 표시 장치 및 기판을제조하는 방법

(57) 요약

본 발명에 따른 기판(10)은, 제1 전극(26)과, 상기 제1 전극(26)의 적어도 일부를 피복하는 절연막(52) 위에 형성된 제2 전극(30)으로서, 상기 절연막(52)에 형성된 콘택트홀(50)을 통하여 상기 제1 전극(26)과 전기적으로 접속된 제2 전극(30)을 구비한 기판(10)으로서, 상기 제1 전극(26)은, 금속막(42)과 보호막(44)과의 적층 구조를 갖고 있으며, 상기 금속막(42) 및 상기 보호막(44)을 형성하기 위한 제1 에칭에 대하여, 상기 금속막(42)의 에칭 레이트는 상기 보호막(44)의 에칭 레이트와 거의 동일하고, 상기 콘택트홀(50)을 형성하기 위한 제2 에칭에 대하여, 상기 보호막(44)의 에칭 레이트가 거의 제로이다.

대표도

도 3

특허청구의 범위

청구항 1.

제1 전극과,

상기 제1 전극의 일부를 피복하는 절연막 위에 형성된 제2 전극으로서, 상기 절연막에 형성된 컨택트홀을 통하여 상기 제1 전극과 전기적으로 접속된 제2 전극을 포함한 기판으로서,

상기 제1 전극은 금속막과 보호막과의 적층 구조를 갖고 있으며,

상기 금속막 및 상기 보호막을 형성하기 위한 제1 에칭에 대하여, 상기 금속막의 에칭 레이트는 상기 보호막의 에칭 레이트와 동일하고,

상기 컨택트홀을 형성하기 위한 제2 에칭에 대하여, 상기 보호막의 에칭 레이트는 제로이며,

상기 보호막은 비정질 도전성 산화물이고,

상기 비정질 도전성 산화물은 산화인듐과 산화아연을 함유하는 산화물인 기판.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제1항에 있어서, 상기 금속막은 폴리브덴을 포함하는 기판.

청구항 5.

제1항에 있어서, 상기 보호막은 상기 금속막에 대하여 상기 컨택트홀측에 형성되어 있는 기판.

청구항 6.

제1항에 있어서, 상기 금속막은 상기 보호막에 대하여 상기 컨택트홀측에 형성되어 있는 기판.

청구항 7.

제1항에 있어서,

드레인 전극으로서 기능하는 상기 제1 전극과, 소스 전극과, 게이트 전극을 포함하는 박막 트랜지스터를 더 포함하고,

상기 제2 전극은 상기 박막 트랜지스터에 의해 제어되는 화소 전극으로서 기능하는 기판.

청구항 8.

제7항에 있어서,

상기 박막 트랜지스터의 상기 게이트 전극으로 분기된 게이트 신호선과,

상기 게이트 전극 및 상기 게이트 신호선의 일부를 피복하는 게이트 절연막을 더 포함하고,

상기 박막 트랜지스터의 상기 드레인 전극은 상기 게이트 절연막 위에 형성되어 있고,

상기 보호막은 상기 드레인 전극 아래의 상기 게이트 절연막을 상기 제2 에칭으로부터 보호하는 기판.

청구항 9.

제1항의 기판과,

상기 기판에 대향하는 대향 기판과,

상기 기판과 상기 대향 기판의 사이에 삽입된 액정을 포함하는 액정 표시 장치.

청구항 10.

제1 전극을 형성하는 공정과,

상기 제1 전극의 일부를 피복하는 절연막을 형성하는 공정과,

상기 절연막의 일부를 제거함으로써, 상기 절연막에 컨택트홀을 형성하는 공정과,

상기 절연막 위에 제2 전극을 형성하는 공정으로서, 상기 컨택트홀을 통하여 상기 제1 전극과 상기 제2 전극이 전기적으로 접속되는 공정을 포함하는 기판 제조 방법으로서,

상기 제1 전극을 형성하는 공정은,

금속막과 보호막을 적층하는 공정으로서, 상기 보호막은 비정질 도전성 산화물이고, 상기 비정질 도전성 산화물은 산화인듐과 산화아연을 함유하는 산화물인 공정과,

상기 금속막의 에칭 레이트가 상기 보호막의 에칭 레이트와 동일한 제1 에칭에 의해, 상기 적층된 금속막 및 상기 보호막을 함께 패터닝하는 공정을 포함하며,

상기 컨택트홀을 형성하는 공정은, 상기 보호막의 에칭 레이트가 제로인 제2 에칭에 의해, 상기 절연막에 상기 컨택트홀을 형성하는 공정을 포함하는 기판 제조 방법.

청구항 11.

제10항에 있어서, 상기 패터닝하는 공정은 약산의 혼합액을 이용한 웨트 에칭에 의해, 상기 금속막 및 상기 보호막을 패터닝하는 공정을 포함하는 기판 제조 방법.

청구항 12.

제10항에 있어서,

상기 제1 전극이 박막 트랜지스터의 드레인 전극으로서 기능하고, 상기 제2 전극이 상기 박막 트랜지스터에 의해 제어되는 화소 전극으로서 기능하는 기판을 제조하는 방법으로서,

게이트 신호선을 형성하는 공정과,

상기 박막 트랜지스터의 게이트 전극으로서, 상기 게이트 신호선으로부터 분기한 게이트 전극을 형성하는 공정과,

상기 게이트 신호선의 일부를 피복하는 게이트 절연막을 형성하는 공정과,

소스 신호선을 형성하는 공정과,

상기 박막 트랜지스터의 소스 전극으로서, 상기 소스 신호선으로부터 분기한 소스 전극을 형성하는 공정과,

상기 게이트 신호선 위의 상기 게이트 절연막의 일부를 제거하는 공정을 더 포함하며,

상기 제2 에칭은 드라이 에칭이고,

상기 드라이 에칭에 의해, 상기 콘택트홀을 형성함과 함께 상기 게이트 절연막의 일부를 제거하는 기판 제조 방법.

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

제10항에 있어서, 상기 금속막은 폴리브덴을 포함하는 기판 제조 방법.

명세서

기술분야

본 발명은, 기판, 그 기판을 구비한 액정 표시 장치 및 기판을 제조하는 방법에 관한 것이다.

배경기술

액정 표시 장치의 액티브 매트릭스 기판에 있어서, 박막 트랜지스터의 드레인 전극과, 드레인 전극을 피복하는 절연막 위에 형성된 화소 전극을, 절연막에 형성된 콘택트홀을 통하여, 전기적으로 접속시키는 것이 종래부터 알려져 있다.

도 12는, 종래의 액티브 매트릭스 기판의 모식적인 평면도이다.

액티브 매트릭스 기판(110)은, 매트릭스 형상으로 배치된 복수의 박막 트랜지스터(이하 「TFT」라고도 함 : 120)와, 열 방향을 따라 배치된 박막 트랜지스터(120)를 따라 소정의 간격을 두고 상호 평행하게 형성된 복수의 소스 신호선(114)과, 행 방향을 따라 배치된 박막 트랜지스터(120)를 따라 소정의 간격을 두고 상호 평행하게 형성된 복수의 게이트 신호선(112)을 구비하고 있다.

복수의 소스 신호선(114)에는 각각 대응하는 소스 드라이버(118)가 접속되어 있고, 각 소스 드라이버(118)는 대응하는 소스 신호선(114)에 영상 신호에 대응하는 전압을 인가한다.

복수의 게이트 신호선(112)에는, 각각 대응하는 게이트 드라이버(116)가 접속되어 있고, 각 게이트 드라이버(116)는, 대응하는 게이트 신호선(112)에, 주사 신호에 대응하는 전압을 인가한다.

복수의 박막 트랜지스터(120)의 각각은, 대응하는 게이트 신호선(112)으로부터 분기된 게이트 전극(122)과, 대응하는 소스 신호선(114)으로부터 분기된 소스 전극(124)과, 드레인 전극(126)을 갖고 있다.

복수의 드레인 전극(126)의 각각은, 대응하는 화소 전극(130)에 접속되어 있다. 각 화소 전극(130)은, 대응하는 화소 용량(128)의 한쪽의 단자로 되어 있다. 각 화소 용량(128)의 다른 쪽의 단자는, 대향 기관(154)(도 14 및 도 15 참조)에 형성된 대향 전극(132)이다. 대향 전극(132)은, 복수의 화소 전극(130)에 공유되고 있는 것이 통상적이다.

액티브 매트릭스 기관(110)에는, 영상의 표시에 기여하는 표시 영역(134)과, 표시 영역(134)의 주위를 둘러싸도록 배치된 단자 영역(136)이 형성되어 있다. 표시 영역(134) 내에는, 복수의 화소 전극(130) 및 복수의 박막 트랜지스터(120)가 배치되어 있고, 단자 영역(136)에는, 복수의 게이트 드라이버(116) 및 복수의 소스 드라이버(118)가 배치되어 있다.

종래의 액정 표시 장치(170)(도 14 및 도 15 참조)는, 이러한 액티브 매트릭스 기관(110)과, 이 액티브 매트릭스 기관(110)에 대향하는 대향 기관(154)(도 14 및 도 15 참조)과, 액티브 매트릭스 기관(110)과 대향 기관(154)과의 사이에 삽입된 액정(158)(도 14 참조)을 구비한다.

게이트 드라이버(116)로부터 인가된 신호에 대하여, 복수의 박막 트랜지스터(120)의 각각을 온 또는 오프로 함으로써, 소스 드라이버(118)로부터 인가된 영상 신호에 대응하는 전압이, 대응하는 화소 전극(130)에 인가된다. 화소 전극(130) 및 대향 전극(132)에 인가된 전압에 따라, 액정의 배향은 제어되며, 그것에 의해, 액정 표시 장치는 영상을 표시한다.

도 13은 종래의 액티브 매트릭스 기관(110)의 평면도이다.

도 13에 도시하는 게이트 드라이버(116)는, 외부로부터 주사 신호가 입력되는 신호 입력 단자부(138)를 구비한다.

화소 전극(130)은, 콘택트홀(150)을 통하여 드레인 전극(126)에 접속되어 있다.

도 14는, 도 13에 도시하는 선 P-P를 따라 자른, 종래의 액정 표시 장치의 단면도이다.

도 14에 도시하는 종래의 액정 표시 장치(170)는, 액티브 매트릭스 기관(110)과, 대향 기관(154)과, 액티브 매트릭스 기관(110)과 대향 기관(154)과의 사이에 삽입된 액정(158)을 구비한다.

도 14에서는, 액티브 매트릭스 기관(110)의 표시 영역(134)에서, 박막 트랜지스터(120) 및 박막 트랜지스터(120)의 드레인 전극(126)에 접속된 화소 전극(130)의 단면 구조가 도시된다.

액티브 매트릭스 기관(110)은, 투명 절연성 기관(139)을 구비한다. 게이트 전극(122)은, 투명 절연성 기관(139) 위에 형성되어 있다. 게이트 절연막(140)은, 게이트 전극(122)을 피복하도록 투명 절연성 기관(139) 위에 형성되어 있다.

반도체층(146)은, 게이트 절연막(140)을 개재하여 게이트 전극(122) 위에 형성되어 있다. n^+ 실리콘(Si)층(148)은, 반도체층(146) 위에 반도체층(146)과 정합하도록 형성되어 있다.

소스 신호선(114)으로부터 분기된 소스 전극(124)은, n^+ Si층(148)의 표면의 일부와 n^+ Si층(148) 및 반도체층(146)의 측면을 피복하도록 게이트 절연막(140)의 일부 위에 형성되어 있다.

드레인 전극(126)은, n^+ Si층(148)의 표면의 다른 일부와 n^+ Si층(148) 및 반도체층(146)의 다른 측면을 피복하도록 게이트 절연막(140)의 다른 일부를 위에 형성되어 있다.

소스 전극(124) 및 드레인 전극(126)은, n^+ Si층(148)의 표면 위에서 상호 소정의 간격만큼 떨어져 배치되어 있다.

박막 트랜지스터(120)는, 게이트 전극(122)과, 반도체층(146)과, n^+ Si층(148)과, 소스 전극(124)과, 드레인 전극(126)을 갖는다.

액정 표시 장치를 대형화하거나, 또는 고정밀도화하기 위해서는, 게이트 신호선(112), 소스 신호선(114), 게이트 전극(122), 소스 전극(124) 및 드레인 전극(126)의 저항을 낮게 하는 것이 바람직하다. 이 때문에, 이들의 신호선 및 전극의 재료로서, 저항이 낮으므로, 가공하는 것이 용이한 금속이 사용되는 것이 통상적이다.

게이트 신호선(112), 소스 신호선(114), 게이트 전극(122), 소스 전극(124) 및 드레인 전극(126)으로서 사용되는 일반적인 재료는, Al, Mo, Ti, Ta 등이다.

Mo의 비저항은 비교적 낮고, 또한, 약산을 이용한 에칭에 의해 Mo를 패터닝 가공하는 것이 용이하기 때문에, 소스 신호선(114), 소스 전극(124) 및 드레인 전극(126)의 재료로서, 종종 Mo가 사용된다.

전술한 재료 중에서 비저항이 가장 작은 재료는 Al이지만, Al은 n^+ Si층(148)과 양호하게 콘택트할 수 없기 때문에, 소스 전극(124) 및 드레인 전극(126)의 재료를 단층의 Al로 하는 것은 바람직하지 못하다. 따라서, Al을 소스 신호선에 이용하는 경우에는, Al/Ti, Al/Mo 등의 적층 구조가 필요하게 된다.

Ti의 비저항은 Al 및 Mo의 비저항보다도 높으므로, 대형화된 액정 표시 장치의 전극 및 신호선의 재료로서 단층으로 Ti를 사용하는 것은 그다지 바람직하지 못하다.

Ti와 마찬가지로, Ta도 비저항이 높기 때문에, 단층으로 사용하는 것은 그다지 바람직하지 못하다.

박막 트랜지스터(120)를 보호하기 위한 절연막(152)은, 소스 전극(124)과, 드레인 전극(126)과 n^+ Si층(148)의 표면의 또 다른 일부를 피복하도록 게이트 절연막(140) 위에 형성되어 있다. 절연막(152)의 재료는, 예를 들면, SiN_x 이다.

절연막(152)에는, 드레인 전극(126)에 도달하도록 절연막(152)을 관통하는 콘택트홀(150)이 형성되어 있다.

화소 전극(130)은, 콘택트홀(150)을 통하여 드레인 전극(126)과 접속하도록 절연막(152) 위에 형성되어 있다. 화소 전극(130)의 재료는, 투명한 ITO 이다.

액정 표시 장치, 특히 투과형 TFT 액정 표시 장치에서는, 전술한 구성, 즉 박막 트랜지스터(120)를 형성한 후에, 박막 트랜지스터(120)의 드레인 전극(126)을 피복하도록 절연막(152)을 형성하고, 절연막(152)에 형성된 콘택트홀(150)을 통하여 드레인 전극(126)과 전기적으로 접속되도록 화소 전극(130)을 형성하는 구성이 종종 사용되고 있다.

그 이유는, 이 구성에서는, 화소 전극(130)을 형성하는 면이, 소스 신호선(114)을 형성하는 면과 동일하지 않기 때문에, 절연막(152) 위에 형성된 화소 전극(130)과, 절연막(152) 아래에 형성된 소스 전극(124)에 접속된 소스 신호선(114)이 전기적으로 단락되는 것을 방지하면서, 화소 전극(130)의 면적을 넓힐 수 있기 때문이다.

대향 기관(154)은, 투명 절연성 기관(156)과, 투명 절연성 기관(156) 위에 형성된 대향 전극(132)을 갖는다.

도 15는, 도 13에 도시하는 선 Q-Q를 따라 자른 종래의 액정 표시 장치의 단면도이다.

도 15에서는, 액티브 매트릭스 기관(110)의 단자 영역(136)에 있어서, 게이트 드라이버(116) 내의 신호 입력 단자부(138)의 단면 구조가 도시되어 있다.

게이트 신호선(112)은, 투명 절연성 기관(139) 위에 형성되어 있다. 게이트 절연막(140)은, 게이트 신호선(112)의 양 단부를 피복하도록 투명 절연성 기관(139) 위에 형성되어 있다. 게이트 절연막(140) 위에는 절연막(152)이 형성되어 있다.

게이트 신호선(112)이 산화하여 저항이 높아지는 것을 방지하기 위한 산화 방지막(160)이, 게이트 절연막(140) 및 절연막(152)의 측면과, 절연막(152)의 표면의 일부를 피복하도록 형성되어 있다. 여기서, 산화 방지막(160)의 재료는 투명한 ITO로서, 이것은, 화소 전극(130)의 재료와 동일한 재료이다.

전술한 종래의 액티브 매트릭스 기판(110)은, 이하와 같이 하여 제조된다.

우선, 투명 절연성 기판(139) 위에 게이트 신호선(112) 및 게이트 전극(122)을 구성하는 재료를 스퍼터법 등에 의해 성막한다. 계속해서, 성막한 층에 대하여, 마스크 노광, 현상 및 드라이 에칭함으로써, 소정의 패턴의 게이트 신호선(112) 및 게이트 전극(122)을 형성한다.

계속해서, 게이트 신호선(112) 및 게이트 전극(122)을 피복하도록 게이트 절연막(140)을 구성하는 재료를 투명 절연성 기판(139) 위에 CVD법에 의해 성막한다.

그 후, 반도체층(146)을 구성하는 재료 및 n^+ Si층(148)을 구성하는 재료를, CVD법에 의해 게이트 절연막(140)을 구성하는 재료 위에 순차적으로 성막한다. 성막한 반도체층(146)을 구성하는 재료 및 n^+ Si층(148)을 구성하는 재료에, 마스크 노광, 현상 및 드라이 에칭함으로써, 소정의 패턴의 반도체층(146) 및 n^+ Si층(148)을 형성한다.

계속해서, 소스 신호선(114), 소스 전극(124) 및 드레인 전극(126)을 구성하는 재료(예를 들면, Mo)를, 반도체층(146) 및 n^+ Si층(148)을 피복하도록 게이트 절연막(140) 위에 성막하고, 계속해서 성막한 Mo를 마스크 노광, 현상 및 드라이 에칭함으로써, 소정의 패턴의 Mo를 형성한다.

계속해서, 소스 전극(124)과 드레인 전극(126)과의 사이의 Mo를 웨트 에칭하여, 박막 트랜지스터(120)의 채널을 형성함으로써, 소스 신호선(114), 소스 전극(124) 및 드레인 전극(126)을 형성한다.

계속해서, 소스 전극(124)과 드레인 전극(126)과 n^+ Si층(148)의 표면의 또 다른 일부를 피복하도록 절연막(152)을 구성하는 재료를 게이트 절연막(140) 위에 형성한다.

계속해서, CF_4 와 O_2 와의 혼합 가스를 사용한 드라이 에칭에 의해, 드레인 전극(126) 위의 절연막(152)의 일부를 제거하여, 절연막(152)에 콘택트홀(150)을 형성함과 함께, 단자 영역(136)(도 12)의 게이트 신호선(112)의 상방에 형성된 절연막(152)의 일부 및 게이트 신호선(112) 위에 형성된 게이트 절연막(140)의 일부를 연속하여 제거하여, 게이트 신호선(112)의 표면의 일부를 노출시킨다.

계속해서, ITO를 성막하고, 성막한 ITO를 마스크 노광, 현상 및 에칭함으로써, 소정의 패턴의 화소 전극(130) 및 산화 방지막(160)을 형성한다. 여기서, 화소 전극(130)은, 콘택트홀(150)을 통하여 드레인 전극(126)과 전기적으로 접속하도록 절연막(152) 위에 형성되어 있고, 한편, 산화 방지막(160)은, 게이트 신호선(112)의 표면의 일부와, 게이트 절연막(140) 및 절연막(152)의 측면과, 절연막(152)의 표면의 일부를 피복하도록 형성되어 있다.

전술한 바와 같이, 동일한 드라이 에칭에 의해, 단자 영역(136)의 신호 입력 단자부(138)에서는, 게이트 신호선(112)의 상방의 절연막(152)을 구성하는 재료의 일부를 제거하고, 연속하여, 게이트 신호선(112) 위의 게이트 절연막(140)을 구성하는 재료의 일부를 제거함으로써, 게이트 신호선(112)의 표면의 일부를 노출시켜, 표시 영역(134)에서는, 절연막(152)에 콘택트홀(150)을 형성하기 위해 드레인 전극(126) 위의 절연막(152)의 일부를 제거하고 있다.

그러나, 동일한 드라이 에칭에 의해, 표시 영역(134)에서, 절연막(152)의 일부를 제거하는 한편, 단자 영역(136)에서, 절연막(152)의 일부 및 게이트 절연막(140)의 일부를 연속하여 제거하기 때문에, 표시 영역(134)에서는, 절연막(152)의 일부뿐만 아니라, 절연막(152) 아래에 배치된 드레인 전극(126)의 일부, 게다가, 게이트 절연막(140)의 일부도 제거될 우려가 있다.

특히, 드라이 에칭으로서 CF_4 와 O_2 와의 혼합 가스를 사용하고, 절연막(152)의 재료로서 SiN_x 를 사용하고, 드레인 전극(126)의 재료로서 Mo를 사용하는 경우, 절연막(152)과 드레인 전극(126)과의 에칭 선택비가 불충분하게 되어, 드레인 전극(126)의 일부가 제거된다.

도 16은, 도 14에 도시한 액정 표시 장치의 액티브 매트릭스 기관에서, 컨택트홀(150A)이 절연막(152)뿐만 아니라 드레인 전극(126)을 관통하여, 게이트 절연막(140) 내에 도달하는 것을 도시하는, 액정 표시 장치의 단면도이다.

도 16에 도시한 바와 같이, 액정 표시 장치(170A)에서, 절연막(152)뿐만 아니라 드레인 전극(126)도 관통하여, 게이트 절연막(140) 내에 도달하는 컨택트홀(150A)이 형성되면, 화소 전극(130)은, 드레인 전극(126)의 단면에서 드레인 전극(126)과 콘택트하게 된다. 통상, 드레인 전극(126)의 단면적은, 컨택트홀(150A)의 표면적과 비교하여, 매우 작기 때문에, 화소 전극(130)과 드레인 전극(126)과의 전기적 접속이 충분하지 않다는 문제가 발생한다.

전술한 문제를 극복하기 위해, 드레인 전극(126)을 형성한 후에, 드레인 전극(126) 위에 ITO를 성막하여, 보호막을 형성하고, 이 보호막 위에 절연막(152)을 형성하고, 마스크 노광, 현상 및 드라이 에칭에 의해 절연막(152)에 컨택트홀(150)을 형성하면, 형성한 보호막이 드라이 에칭에 대하여 드레인 전극(126)을 보호하기 때문에, 드레인 전극(126)이 에칭되는 것을 방지할 수 있다.

그러나, 드레인 전극(126) 위에 ITO를 성막하여 보호막을 형성하면, 비용 및 프로세스가 증가하는 새로운 문제가 발생한다.

본 발명은, 상기 문제를 해결하기 위해 이루어진 것으로, 그 목적은, 비용 및 프로세스를 증가시키지 않고 제1 전극과, 제1 전극을 피복하는 절연막 위에 형성된 제2 전극을, 절연막에 형성된 컨택트홀을 통하여 전기적으로 안정적으로 접속하는 기관, 그 기관을 구비한 액정 표시 장치 및 기관을 제조하는 방법을 제공하는 것이다.

<발명의 개시>

본 발명에 따른 기관은, 제1 전극과, 상기 제1 전극의 적어도 일부를 피복하는 절연막 위에 형성된 제2 전극으로서, 상기 절연막에 형성된 컨택트홀을 통하여 상기 제1 전극과 전기적으로 접속된 제2 전극을 구비한 기관이며, 상기 제1 전극은 금속막과 보호막과의 적층 구조를 갖고 있고, 상기 금속막 및 상기 보호막을 형성하기 위한 제1 에칭에 대하여, 상기 금속막의 에칭 레이트는 상기 보호막의 에칭 레이트와 거의 동일하고, 상기 컨택트홀을 형성하기 위한 제2 에칭에 대하여, 상기 보호막의 에칭 레이트가 거의 제로이며, 그것에 의해 상기 목적이 달성된다.

상기 보호막은, 비정질 도전성 산화물이어도 된다.

상기 비정질 도전성 산화물은, 산화인듐과 산화아연을 함유하는 산화물이어도 된다.

상기 금속막은, 몰리브덴을 포함해도 된다.

상기 보호막은, 상기 금속막에 대하여 상기 컨택트홀측에 형성되어 있어도 된다.

상기 금속막은, 상기 보호막에 대하여 상기 컨택트홀측에 형성되어 있어도 된다.

드레인 전극으로서 기능하는 상기 제1 전극과, 소스 전극과, 게이트 전극을 포함하는 박막 트랜지스터를 더 구비하고, 상기 제2 전극은, 상기 박막 트랜지스터에 의해 제어되는 화소 전극으로서 기능해도 된다.

상기 박막 트랜지스터의 상기 게이트 전극으로 분기된 게이트 신호선과, 상기 게이트 전극 및 상기 게이트 신호선의 적어도 일부를 피복하는 게이트 절연막을 더 구비하고, 상기 박막 트랜지스터의 상기 드레인 전극은, 상기 게이트 절연막 위에 형성되어 있고, 상기 보호막은, 상기 드레인 전극 아래의 상기 게이트 절연막을, 상기 제2 에칭으로부터 보호해도 된다.

본 발명에 따른 액정 표시 장치는, 상기에 기재한 기관과, 상기 기관에 대향하는 대향 기관과, 상기 기관과 상기 대향 기관과의 사이에 삽입된 액정을 구비하고, 그것에 의해 상기 목적이 달성된다.

본 발명에 따른 기관을 제조하는 방법은, 제1 전극을 형성하는 공정과, 상기 제1 전극의 적어도 일부를 피복하는 절연막을 형성하는 공정과, 상기 절연막의 일부를 제거함으로써, 상기 절연막에 컨택트홀을 형성하는 공정과, 상기 절연막 위에 제2 전극을 형성하는 공정으로서, 상기 컨택트홀을 통하여 상기 제1 전극과 상기 제2 전극이 전기적으로 접속되는 공정을 포함하는 기관을 제조하는 방법으로서, 상기 제1 전극을 형성하는 공정은, 금속막과 보호막을 적층하는 공정과, 상기 금속막

의 에칭 레이트가 상기 보호막의 에칭 레이트와 거의 동일한 제1 에칭에 의해, 상기 적층된 금속막 및 상기 보호막을 함께 패터닝하는 공정을 포함하고, 상기 컨택트홀을 형성하는 공정은, 상기 보호막의 에칭 레이트가 거의 제로인 제2 에칭에 의해, 상기 절연막에 상기 컨택트홀을 형성하는 공정을 포함하고, 그것에 의해 상기 목적이 달성된다.

상기 패터닝하는 공정은, 상기 약산의 혼합액을 이용한 웨트 에칭에 의해, 상기 금속막 및 상기 보호막을 패터닝하는 공정을 포함해도 된다.

상기 제1 전극이 박막 트랜지스터의 드레인 전극으로서 기능하고, 상기 제2 전극이 상기 박막 트랜지스터에 의해 제어되는 화소 전극으로서 기능하는, 기관을 제조하는 방법으로서, 게이트 신호선을 형성하는 공정과, 상기 박막 트랜지스터의 게이트 전극으로서, 상기 게이트 신호선으로부터 분기한 게이트 전극을 형성하는 공정과, 상기 게이트 신호선의 적어도 일부를 피복하는 게이트 절연막을 형성하는 공정과, 소스 신호선을 형성하는 공정과, 상기 박막 트랜지스터의 소스 전극으로서, 상기 소스 신호선으로부터 분기한 소스 전극을 형성하는 공정과, 상기 게이트 신호선 위의 상기 게이트 절연막의 일부를 제거하는 공정을 더 포함하고, 상기 제2 에칭은 드라이 에칭이고, 상기 드라이 에칭에 의해, 상기 컨택트홀을 형성함과 함께, 상기 게이트 절연막의 일부를 제거해도 된다.

상기 보호막은, 상기 비정질 도전성 산화물이어도 된다.

상기 비정질 도전성 산화물은, 산화인듐과 산화아연을 함유하는 산화물이어도 된다.

상기 금속막은, 몰리브덴을 포함해도 된다.

산업상 이용 가능성

본 발명에 따르면, 비용 및 프로세스를 증가시키지 않고, 제1 전극 위의 절연막을 통하여 제1 전극과 제2 전극을 전기적으로 안정되게 접속시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 하나의 실시예에 따른 액정 표시 장치의 액티브 매트릭스 기관의 모식적인 평면도.

도 2는 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관의 평면도.

도 3은 도 2에 도시하는 선 P-P을 따라 자른, 본 발명의 하나의 실시예에 따른 액정 표시 장치의 단면도.

도 4는 도 2에 도시하는 선 Q-Q를 따라 자른, 본 발명의 하나의 실시예에 따른 액정 표시 장치의 단면도.

도 5는 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관을 제조하는 방법을 설명하기 위한 단면도.

도 6은 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관을 제조하는 방법을 설명하기 위한 단면도.

도 7은 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관을 제조하는 방법을 설명하기 위한 단면도.

도 8은 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관을 제조하는 방법을 설명하기 위한 단면도.

도 9는 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관을 제조하는 방법을 설명하기 위한 단면도.

도 10은 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관을 제조하는 방법을 설명하기 위한 단면도.

도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치의 단면도.

도 12는 종래의 액티브 매트릭스 기관의 모식적인 평면도.

도 13은 종래의 액티브 매트릭스 기관(110)의 평면도.

도 14는 도 13에 도시하는 선 P-P를 따라 자른, 종래의 액정 표시 장치의 단면도.

도 15는 도 13에 도시하는 선 Q-Q를 따라 자른 종래의 액정 표시 장치의 단면도.

도 16은 도 14에 도시한 액정 표시 장치의 액티브 매트릭스 기관에 있어서, 콘택트홀이 절연막뿐만 아니라 드레인 전극을 관통하여, 게이트 절연막 내에 도달한 것을 도시하는 액정 표시 장치의 단면도.

<발명을 실시하기 위한 최량의 형태>

이하의 설명에서는, 액정 표시 장치, 특히 액티브 매트릭스 기관을 구비한 액정 표시 장치에 대하여 설명하지만, 본 발명은, 액정 표시 장치, 및 액티브 매트릭스 기관 액정 표시 장치에 한정되는 것은 아니다. 본 발명은, 제1 전극과, 제1 전극을 피복하는 절연막 위에 형성된 제2 전극이, 절연막에 형성된 콘택트홀을 통하여 전기적으로 접속되는 임의의 구성에 적용 가능하다.

본 발명의 하나의 실시예에 따른 액정 표시 장치는, 드레인 전극과, 드레인 전극을 피복하는 절연막 위에 형성된 화소 전극이, 절연막에 형성된 콘택트홀을 통하여 전기적으로 접속되는 액티브 매트릭스 기관을 구비하고 있다.

도 1은 본 발명의 하나의 실시예에 따른 액정 표시 장치의 액티브 매트릭스 기관의 모식적인 평면도이다.

액티브 매트릭스 기관(10)은, 매트릭스 형상으로 배치된 복수의 박막 트랜지스터(이하 「TFT」라고도 함: 20)와, 열 방향을 따라 배치된 박막 트랜지스터(20)를 따라 소정의 간격을 두고 상호 평행하게 형성된 복수의 소스 신호선(14)과, 행 방향을 따라 배치된 박막 트랜지스터(20)를 따라 소정의 간격을 두고 상호 평행하게 형성된 복수의 게이트 신호선(12)을 구비하고 있다.

복수의 소스 신호선(14)에는, 각각 대응하는 소스 드라이버(18)가 접속되어 있고, 각 소스 드라이버(18)는 대응하는 소스 신호선(14)에 영상 신호에 대응하는 전압을 인가한다.

복수의 게이트 신호선(12)에는, 각각 대응하는 게이트 드라이버(16)가 접속되어 있고, 각 게이트 드라이버(16)는, 대응하는 게이트 신호선(12)에 주사 신호에 대응하는 전압을 인가한다.

복수의 박막 트랜지스터(20)의 각각은, 대응하는 게이트 신호선(12)으로부터 분기된 게이트 전극(22)과, 대응하는 소스 신호선(14)으로부터 분기된 소스 전극(24)과, 드레인 전극(26)을 갖고 있다.

복수의 드레인 전극(26)의 각각은, 대응하는 화소 전극(30)에 접속되어 있다. 각 화소 전극(30)은, 대응하는 화소 용량(28)의 한쪽의 단자로 되어 있다. 각 화소 용량(28)의 다른 쪽의 단자는, 대향 기관(54)(도 3 및 도 4 참조)에 형성된 대향 전극(32)이다. 대향 전극(32)은, 복수의 화소 전극(30)에 공유되고 있다.

액티브 매트릭스 기관(10)에는, 영상의 표시에 기여하는 표시 영역(34)과, 표시 영역(34)의 주위를 둘러싸도록 배치된 단자 영역(36)이 형성되어 있다. 표시 영역(34) 내에는, 복수의 화소 전극(30) 및 복수의 박막 트랜지스터(20)가 배치되어 있고, 단자 영역(36)에는 복수의 게이트 드라이버(16) 및 복수의 소스 드라이버(18)가 배치되어 있다.

액정 표시 장치(70)(도 3 및 도 4 참조)는, 액티브 매트릭스 기관(10)과, 이 액티브 매트릭스 기관(10)에 대향하는 대향 기관(54)(도 3 및 도 4 참조)과, 액티브 매트릭스 기관(10)과 대향 기관(54)(도 3 및 도 4 참조)과의 사이에 삽입된 액정(58)(도 3 참조)을 구비한다.

게이트 드라이버(16)로부터 인가된 신호에 대하여, 복수의 박막 트랜지스터(20)의 각각을 온 또는 오프로 함으로써, 소스 드라이버(18)로부터 인가된 영상 신호에 대응하는 전압이, 대응하는 화소 전극(30)에 인가된다. 화소 전극(30) 및 대향 전극(32)에 인가된 전압에 따라, 액정의 배향은 제어되며, 그것에 의해 액정 표시 장치(70)(도 3 및 도 4 참조)는 영상을 표시한다.

도 2는 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관(10)의 평면도이다.

도 2에 도시하는 게이트 드라이버(16)는, 외부로부터 주사 신호가 입력되는 신호 입력 단자부(38)를 갖는다.

화소 전극(30)은, 콘택트홀(50)을 통하여 드레인 전극(26)에 접속되어 있다.

도 3은, 도 2에 도시하는 선 P-P를 따라 자른, 본 발명의 하나의 실시예에 따른 액정 표시 장치의 단면도이다.

도 3에 도시한 액정 표시 장치(70)는, 액티브 매트릭스 기판(10)과, 대향 기판(54)과, 액티브 매트릭스 기판(10)과 대향 기판(54)과의 사이에 삽입된 액정(58)을 구비한다.

도 3에서는, 액티브 매트릭스 기판(10)의 표시 영역(34)에서, 박막 트랜지스터(20) 및 박막 트랜지스터(20)의 드레인 전극(26)에 접속된 화소 전극(30)의 단면 구조가 도시되어 있다.

액티브 매트릭스 기판(10)은, 투명 절연성 기판(39)을 구비한다. 게이트 전극(22)은, 투명 절연성 기판(39) 위에 형성되어 있다. 게이트 전극(22)은, TaN과 Ta와 TaN과의 적층 구조(TaN/Ta/TaN)를 갖고 있다.

게이트 절연막(40)은, 게이트 전극(22)을 피복하도록 투명 절연성 기판(39) 위에 형성되어 있다.

반도체층(46)은, 게이트 절연막(40)을 개재하여 게이트 전극(22) 위에 형성되어 있다. n^+ 실리콘(Si)층(48)은, 반도체층(46) 위에, 반도체층(46)과 정합하도록 형성되어 있다.

소스 신호선(14)으로부터 분기된 소스 전극(24)은, n^+ Si층(48)의 표면의 일부와 n^+ Si층(48) 및 반도체층(46)의 측면을 피복하도록 게이트 절연막(40)의 일부 위에 형성되어 있다.

드레인 전극(26)은, n^+ Si층(48)의 표면의 다른 일부와 n^+ Si층(48) 및 반도체층(46)의 다른 측면을 피복하도록 게이트 절연막(40)의 다른 일부 위에 형성되어 있다.

소스 전극(24) 및 드레인 전극(26)은, n^+ Si층(48)의 표면 위에서 상호 소정의 간격만큼 떨어져 배치되어 있다.

드레인 전극(26)은, 금속막(42)과 보호막(44)과의 적층 구조를 갖고 있다.

박막 트랜지스터(20)는, 게이트 전극(22)과, 반도체층(46)과, n^+ Si층(48)과, 소스 전극(24)과, 드레인 전극(26)을 갖는다.

액티브 매트릭스 기판(10)에서는, 소스 전극(24) 및 소스 신호선(14)도 드레인 전극(26)과 마찬가지로, 금속막(42)과 보호막(44)과의 적층 구조를 갖고 있다.

박막 트랜지스터(20)를 보호하기 위한 절연막(52)은, 소스 전극(24)과 드레인 전극(26)과 n^+ Si층(48)의 표면의 또 다른 일부를 피복하도록 게이트 절연막(40) 위에 형성되어 있다. 절연막(52)의 재료는, 예를 들면 SiN_x 이다.

절연막(52)에는, 드레인 전극(26)에 도달하도록 절연막(52)을 관통하는 콘택트홀(50)이 형성되어 있다. 콘택트홀(50)은 보호막(44)과 접하도록 형성되어 있는데, 즉 보호막(44)은, 금속막(42)에 대하여, 콘택트홀(50)측에 형성되어 있다.

화소 전극(30)은, 콘택트홀(50)을 통하여 드레인 전극(26)과 접속하도록 절연막(52) 위에 형성되어 있다. 화소 전극(30)의 재료는 투명한 ITO이다.

이러한 박막 트랜지스터(20)에서, 드레인 전극(26)의 금속막(42) 및 보호막(44)은, 에칭(제1 에칭)에 의해 형성되어 있고, 금속막(42) 및 보호막(44)을 형성하기 위한 에칭에 대하여, 금속막(42)의 에칭 레이트는 보호막(44)의 에칭 레이트와 거의 동일하게 되어 있다. 이에 의해, 금속막(42) 및 보호막(44)을 동시에 에칭함으로써, 거의 마찬가지로의 패턴을 갖는 금속막(42) 및 보호막(44)이 형성된다. 또한, 금속막(42)의 에칭 레이트는 보호막(44)의 에칭 레이트와 거의 동일하다는 것은, 동시에 에칭된 금속막(42)과 보호막(44)과의 설계 오차가 원하는 범위 내에 있다는 것을 의미한다.

또한, 절연막(52)에 콘택트홀(50)을 형성하기 위한 에칭(제2 에칭)에 대하여, 보호막(44)의 에칭 레이트가 거의 제로이다.

이러한 특성을 충족하는 금속막(42)의 구체적인 재료는, 예를 들면 Mo이고, 보호막(44)의 구체적인 재료는, 비정질 도전성 산화물이다. 비정질 도전성 산화물은, 예를 들면 IZO이다. IZO는, 산화인듐과 산화아연을 함유하는 산화물로서, 산화인듐과 산화아연을 주성분으로 하는 In-Zn-O이다. 여기서, 비정질 도전성 산화물로서 In_2O_3 와 ZnO를 주성분으로 하는 出光興産 제조의 IZO를 사용한다.

대향 기관(54)은, 투명 절연성 기관(56)과, 투명 절연성 기관(56) 위에 형성된 대향 전극(32)을 구비하고 있다.

도 4는 도 2에 도시하는 선 Q-Q를 따라 자른, 본 발명의 하나의 실시예에 따른 액정 표시 장치의 단면도이다.

도 4에서는, 액티브 매트릭스 기관(10)의 단자 영역(136)에서, 게이트 드라이버(16) 내의 신호 입력 단자부(38)의 단면 구조가 도시되어 있다.

게이트 신호선(12)은, 투명 절연성 기관(39) 위에 형성되어 있다. 게이트 신호선(12)은, TaN과 Ta와 TaN과의 적층 구조(TaN/Ta/TaN)를 갖고 있다. 여기서, 게이트 신호선(12)은, 게이트 전극(22)과 동일한 재료로 구성되어 있다.

게이트 절연막(40)은, 게이트 신호선(12)의 양 단부를 피복하도록 투명 절연성 기관(39) 위에 형성되어 있다. 게이트 절연막(40) 위에는 절연막(52)이 형성되어 있다.

게이트 신호선(12)이 산화하여 저항이 높아지는 것을 방지하기 위한 산화 방지막(60)은, 게이트 절연막(40) 및 절연막(52)의 측면과, 절연막(52)의 표면의 일부를 피복하도록 형성되어 있다. 여기서, 산화 방지막(60)의 재료는 투명한 ITO로서, 이것은 화소 전극(30)의 재료와 동일한 재료이다.

도 5~도 10은, 각각 본 발명의 하나의 실시예에 따른 액티브 매트릭스 기관을 제조하는 방법을 설명하기 위한 단면도이다.

도 5의 (a), 도 6의 (a), 도 7의 (a), 도 8의 (a), 도 9의 (a) 및 도 10의 (a)는, 각각 도 2에 도시하는 선 A-A를 따라 자른 단면도에 대응하고 있으며, 표시 영역(34)(도 1 참조)에서, 박막 트랜지스터(20) 및 박막 트랜지스터(20)의 드레인 전극(26)에 접속된 화소 전극(30)이 형성되는 공정을 도시하고 있다.

도 5의 (b), 도 6의 (b), 도 7의 (b), 도 8의 (b), 도 9의 (b) 및 도 10의 (b)는, 각각 도 2에 도시하는 선 B-B를 따라 자른 단면도에 대응하고 있으며, 단자 영역(36)(도 1 참조)에서, 게이트 드라이버(16)의 신호 입력 단자부(38)가 형성되는 공정을 도시하고 있다.

우선, 도 5의 (a) 및 도 5의 (b)를 참조한다. 투명 절연성 기관(39) 위에, 게이트 신호선(11) 및 게이트 전극(6)을 구성하는 재료(예를 들면, TaN/Ta/TaN)를 스퍼터법 등에 의해 약 4000Å의 두께로 성막한다. 계속해서, 성막된 재료를, 마스크 노광, 현상 및 드라이 에칭함으로써, 소정의 패턴의 게이트 신호선(11) 및 게이트 전극(6)을 형성한다.

계속해서, 도 6의 (a) 및 도 6의 (b)를 참조한다. 게이트 신호선(11) 및 게이트 전극(6)을 피복하도록 게이트 절연막(40)을 구성하는 재료(예를 들면, Si_xN_y), 반도체층(46)을 구성하는 재료 및 n^+ Si층(48)을 구성하는 재료를, 합계의 두께가 약 5000Å 정도로 되도록 CVD법에 의해 연속하여 성막한다.

계속해서, 성막한 재료를, 마스크 노광, 현상, 드라이 에칭 및 박리함으로써, 소정의 패턴의 반도체층(46) 및 n^+ Si층(48)을 형성한다.

도 6의 (a) 및 도 6의 (b)으로부터 알 수 있듯이, 표시 영역(34)(도 1 참조)에서는, 박막 트랜지스터(20)를 형성해야 할 선 A-A(도 2 참조)를 따라 자른 단면에서의 영역에서만 반도체층(46)을 구성하는 재료 및 n^+ Si층(48)을 구성하는 재료를 남기고, 다른 영역에서는 반도체층(46)을 구성하는 재료 및 n^+ Si층(48)을 구성하는 재료를 제거한다.

단자 영역(36)(도 1 참조)에서는, 반도체층(46)을 구성하는 재료 및 n^+ Si층(48)을 구성하는 재료를 에칭에 의해 제거한다.

계속해서, 도 7의 (a) 및 도 7의 (b)를 참조한다. 게이트 절연막(40) 위에, 반도체층(46) 및 n^+ Si층(48)을 피복하도록 금속막(42)의 재료(예를 들면, Mo)를 스퍼터법에 의해 1500Å의 두께로 성막하고, 계속해서, 보호막(44)의 재료(예를 들면, IZO)를 스퍼터법에 의해 100Å의 두께로 성막한다.

계속해서, 마스크 노광, 현상에 의해 레지스트를 패터닝한다. 그 후, 예를 들면, 질산 3%, 인산 73% 및 아세트산 3%의 약산의 혼합액을 사용한 웨트 에칭에 의해 성막한 금속막(42)의 재료 및 보호막(44)의 재료의 일부를 제거한다.

금속막(42)의 재료(예를 들면, Mo) 및 보호막(44)의 재료(예를 들면, IZO)는 금속막(42) 및 보호막(44)을 형성하기 위한 에칭(여기서는, 웨트 에칭)에 대하여, 금속막(42)의 에칭 레이트는 보호막(44)의 에칭 레이트와 거의 동일하게, 질산, 인산 및 아세트산 등의 약산의 혼합액에 의해 에칭할 수 있다. 따라서, 금속막(42) 및 보호막(44)을 하나의 드레인 전극(26)으로서 동일한 에칭에 의해 패터닝할 수 있다.

단자 영역(36)(도 1 참조)의 신호 입력 단자부(38)에서는, 금속막(42)의 재료(예를 들면, Mo) 및 보호막(44)의 재료(예를 들면, IZO)의 양쪽 모두 에칭에 의해 제거한다.

계속해서, 소스 전극(24)과 드레인 전극(26)과의 사이에서, 드라이 에칭함으로써, 채널을 형성하고, 소스 신호선(14), 소스 전극(24) 및 드레인 전극(26)을 형성한다. 여기서는, 소스 신호선(14), 소스 전극(24) 및 드레인 전극(26)은, 모두 금속막(42)과 보호막(44)과의 적층 구조를 갖고 있다.

계속해서, 도 8의 (a) 및 도 8의 (b)를 참조한다. 소스 전극(24)과 드레인 전극(26)과 n^+ Si층(48)의 표면의 일부를 피복하도록 절연막(52)의 재료(예를 들면, Si_xN_y)를, CVD법에 의해, 약 3500Å의 두께로 게이트 절연막(40) 위에 성막한다. 계속해서, 절연막(52)의 재료를 마스크 노광, 현상함으로써 레지스트를 패터닝한다.

계속해서, 도 9의 (a) 및 도 9의 (b)를 참조한다. CF_4 와 O_2 와의 혼합 가스를 이용한 드라이 에칭에 의해, 표시 영역(34)(도 1 참조)에서, 드레인 전극(26)의 보호막(44) 위의 절연막(52)을 제거하여, 콘택트홀(50)을 형성함과 함께, 단자 영역(36)(도 1 참조)에서, 게이트 신호선(12)의 상부에 형성된 절연막(52)의 일부를 제거하고, 계속해서, 동일한 게이트 신호선(12) 위에 형성된 게이트 절연막(40)의 일부를 제거하여, 게이트 신호선(12)의 표면의 일부를 노출시킨다.

이 때, 절연막(52)에 콘택트홀(50)을 형성하기 위한 에칭(여기서는, 드라이 에칭)에 대하여, 보호막(44)의 에칭 레이트가 거의 재료이므로, 이 에칭에 의해, 보호막(44)을 포함하는 드레인 전극(26)의 일부가 제거되지는 않는다.

계속해서, 도 10의 (a) 및 도 10의 (b)를 참조한다. 콘택트홀(50)과, 노출된 게이트 신호선(12)과, 게이트 절연막(40)의 측면 및 절연막(52)의 측면을 피복하도록 스퍼터법에 의해 절연막(52) 위에 ITO를 성막한다.

계속해서, 성막한 ITO를, 마스크 노광, 현상에 의해 레지스트 패터닝한 후, 염화 제2철에 의해 에칭하여, 화소 전극(30) 및 산화 방지막(60)을 형성한다.

본 발명의 하나의 실시예에 따른 액티브 매트릭스 기판(10)은 이상과 같이 제조된다.

여기서, 다시, 도 9의 (a) 및 도 9의 (b)를 참조하면, 표시 영역(34)에서는, 에칭할 필요가 있는 것은 절연막(52)뿐인 한편, 단자 영역(36)의 신호 입력 단자부(38)에서는, 절연막(52)뿐만 아니라 게이트 절연막(40)도 에칭할 필요가 있기 때문에, 표시 영역(34)에서는, 표시 영역(34)의 절연막(52)만을 에칭하는데 필요한 시간보다도 긴 시간동안 에칭된다.

그러나, 본 발명에 따르면, 금속막(42)이 아니라 보호막(44)이 절연막(52)과 접하기 때문에, 표시 영역(34)의 에칭에 본래 필요한 시간보다도 긴 시간 에칭되었다고 해도, 드레인 전극(26)은, 드라이 에칭에 의해 손상을 받지 않으므로, 금속막(42)은 에칭되지 않고 보호된다.

드라이 에칭으로서 RIE(Reactive Ion etching)를 사용하는 경우, 고체와 가스를 반응시켜, 고체를 휘발성의 화합물 가스로 화학 변화시켜, 에칭을 행하는 것이 통상적이다. 액티브 매트릭스 기판(10)을 제조하기 위해 드라이 에칭으로서 RIE

(Reactive Ion etching)를 사용하는 경우, 인듐과 불소의 화합물의 휘발성이 낮기 때문에, 불소계의 가스에서는, 인듐을 포함하는 보호막(44)을 에칭할 수 없다. 따라서, 화소 전극(30)은, 콘택트홀(50)을 통하여 드레인 전극(26)의 표면과 접촉하므로, 화소 전극(30)과 드레인 전극(26)이 전기적으로 안정적으로 접촉된다.

이상과 같이, 본 발명의 하나의 실시예에 따르면, 화소 전극(30)은, 절연막(52)에 형성된 콘택트홀(50)을 통하여 드레인 전극(26)과 접촉되어 있고, 드레인 전극(26)은 금속막(42)과 보호막(44)과의 적층 구조를 갖고 있다. 이 때, 보호막(44)은, 금속막(42)에 대하여 콘택트홀(50)측에 형성되어 있기 때문에, 드레인 전극(26)은, 드라이 에칭에 의해 손상을 받지 않으므로, 콘택트홀(50)은 드레인 전극(26)의 내부로 연장되도록 형성되지 않는다. 따라서, 화소 전극(30)은 드레인 전극(26)의 표면에서 접촉되고, 화소 전극(30)은 드레인 전극(26)과 안정적으로 전기적으로 접촉된다.

결과적으로, 본 발명에 따르면, 마스크 노광수, 에칭 횟수 및 비용을 증가시키지 않고, 화소 전극(30)과 드레인 전극(26)과의 사이의 전기적 접촉을 확실하게 할 수 있다.

도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치의 단면도이다.

도 11에 도시하는 액정 표시 장치(70A)의 액티브 매트릭스 기관(10A)은, 도 2에 도시하는 선 A-A를 따라 자른 단면에 대응하고 있으며, 액티브 매트릭스 기관(10)의 구성 요소와 동일한 구성 요소에는 동일한 참조 부호를 붙이고 있다. 이들의 구성 요소의 상세한 설명은 생략한다.

액티브 매트릭스 기관(10A)은, 금속막(42)이 보호막(44)에 대하여 콘택트홀(50A)측에 형성된 드레인 전극(26A) 및 소스 전극(24A)을 갖는 점에서, 전술한 액티브 매트릭스 기관(10)과 서로 다르다.

액티브 매트릭스 기관(10A)을 제조하는 경우에도, 단자 영역(36)(도 1 참조)에서는, 절연막(52)뿐만 아니라 게이트 절연막(40)도 에칭할 필요가 있기 때문에, 표시 영역(34)(도 1 참조)에서, 표시 영역(34)의 절연막(52)만을 에칭하는데 본래 필요한 시간보다도 긴 시간동안, 표시 영역(34)을 에칭하게 되어, 절연막(52)에 접하도록 형성된 금속막(42)도 에칭된다.

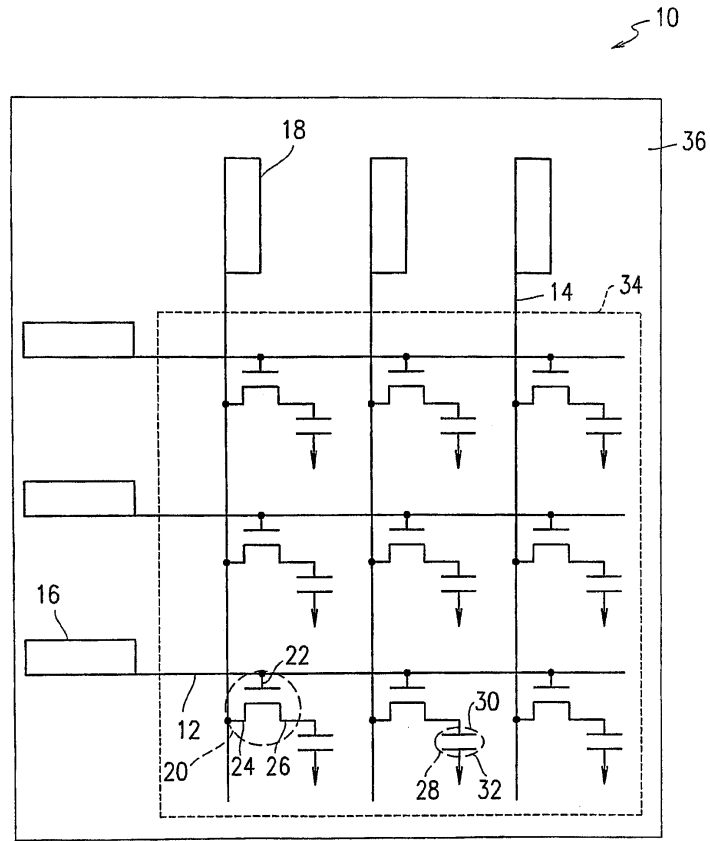
그러나, 이 실시예에서는, 금속막(42) 아래에 형성된 보호막(44)에 의해, 드라이 에칭에 의해 손상을 받지 않으므로, 콘택트홀(50A)은 보호막(44) 내로 연장되지 않는다. 이 때문에, 화소 전극(30)은, 콘택트홀(50A)을 통하여, 박막 트랜지스터(20A)의 드레인 전극(26A)의 보호막(44)의 표면과 접촉하므로, 화소 전극(30)은 드레인 전극(26A)과 전기적으로 안정되게 접촉된다.

또한, 상기 설명에서는, 보호막(44)의 비정질 도전성 산화물의 구체예로서, 비정질의 산화인듐 및 산화아연을 주성분으로 하는 IZO막을 설명했지만, 비정질 도전성 산화물은 IZO막에 한정되는 것은 아니다. 비정질 도전성 산화물로서, 비정질의 산화인듐 및 산화주석을 주성분으로 하는 ITO 막을 사용해도, IZO 막에 의해 얻어진 효과와 마찬가지로의 효과를 얻을 수 있다.

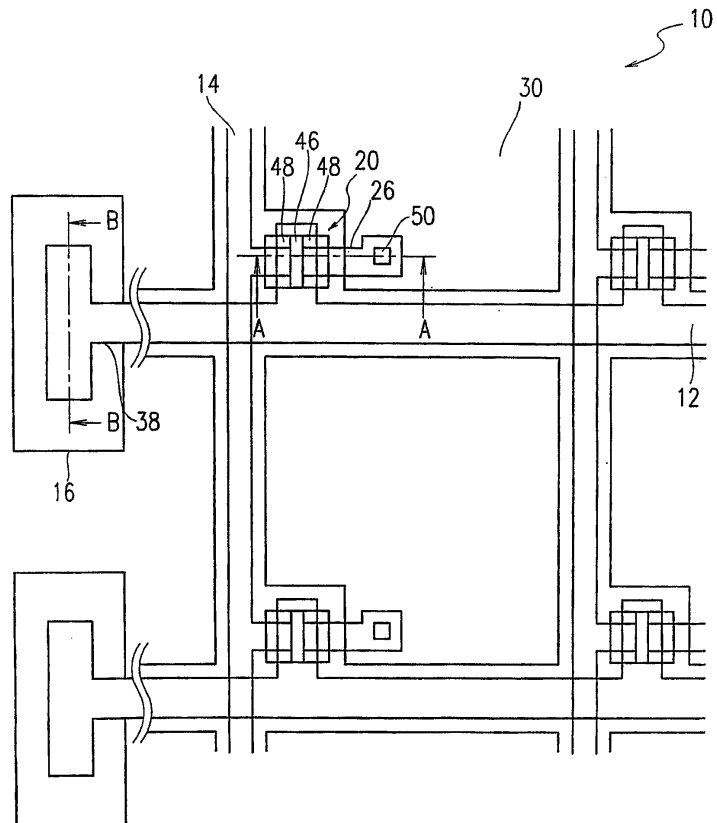
H₂O 및 H₂를 첨가한 ITO 성막, 또는, ITO의 결정화 온도 이하의 온도에서 ITO를 성막함으로써, 비정질의 ITO를 형성할 수 있다(참고 문헌 : J. Vac. Sci. Technol., A8(3), 1403(1990)).

도면

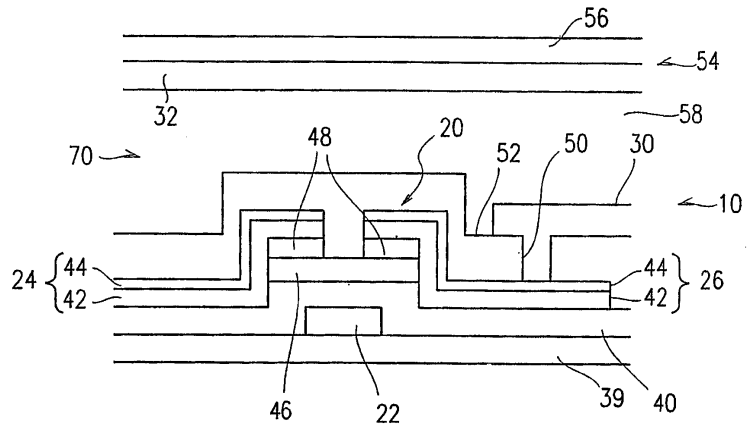
도면1



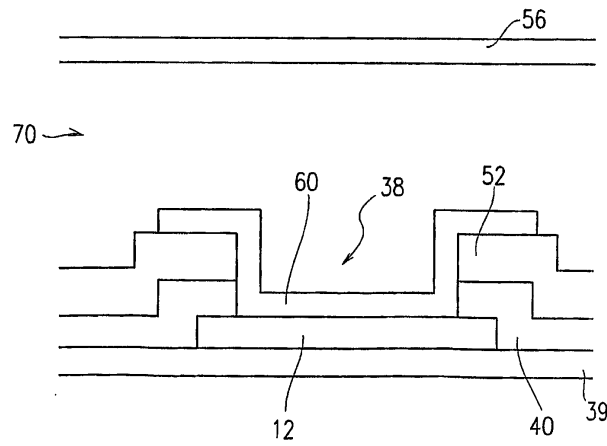
도면2



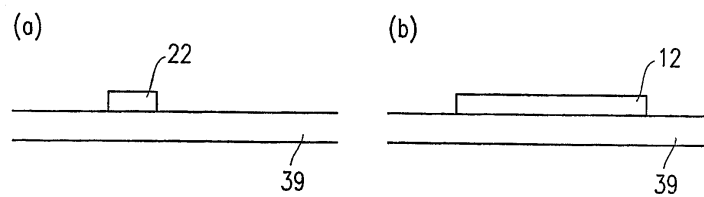
도면3



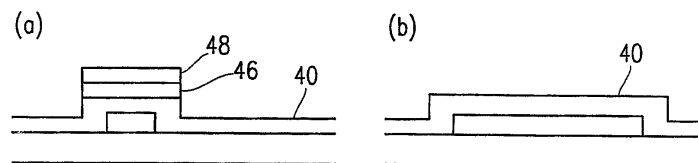
도면4



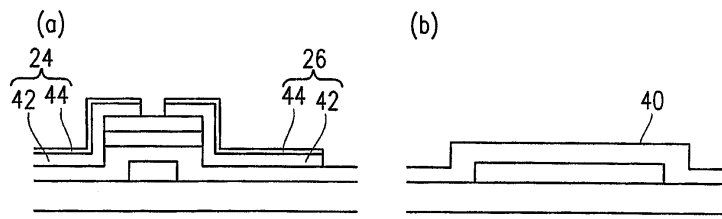
도면5



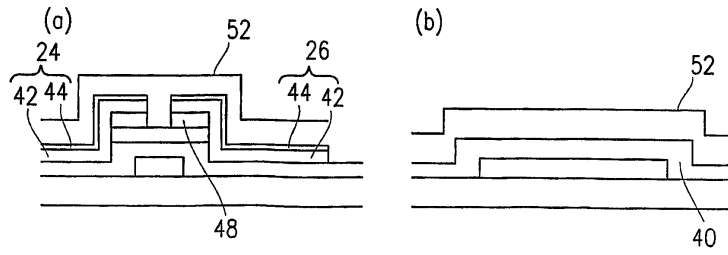
도면6



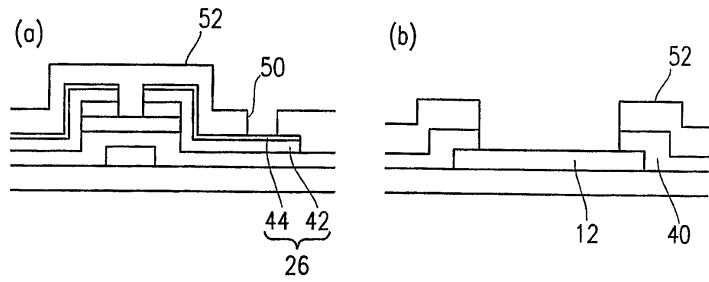
도면7



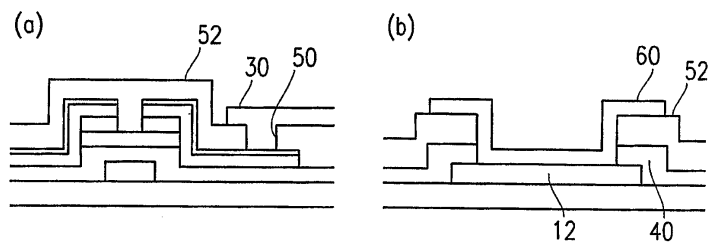
도면8



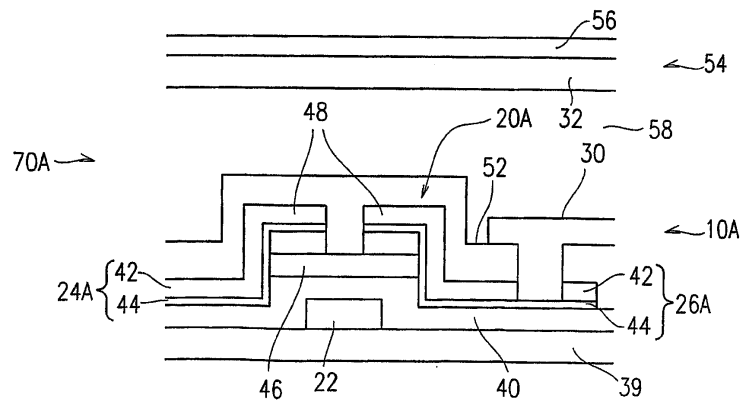
도면9



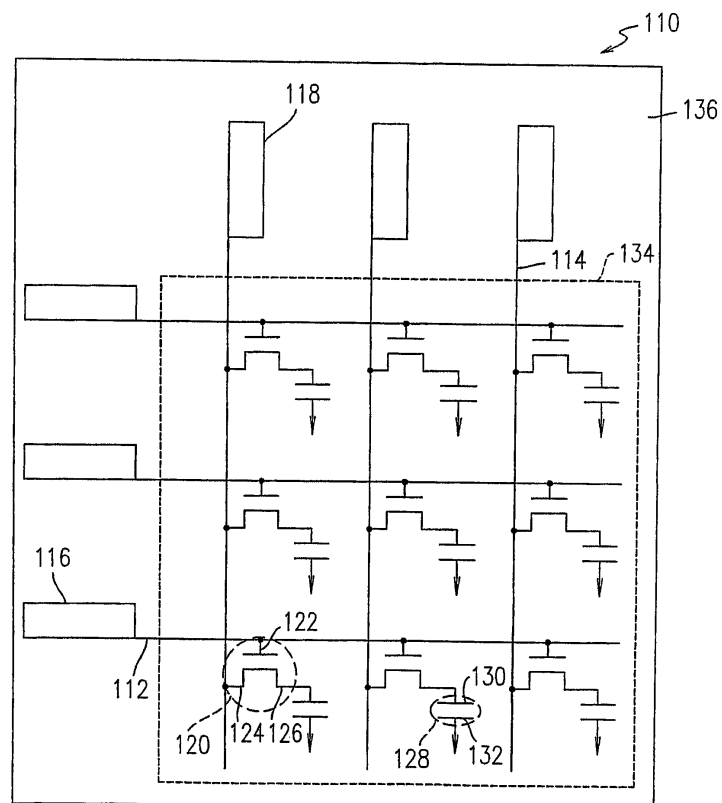
도면10



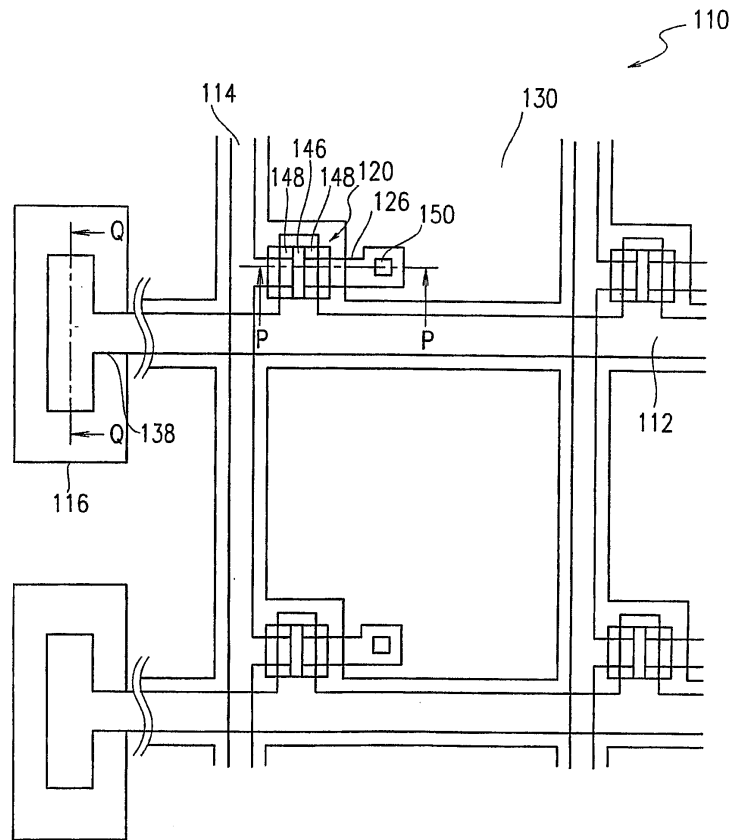
도면11



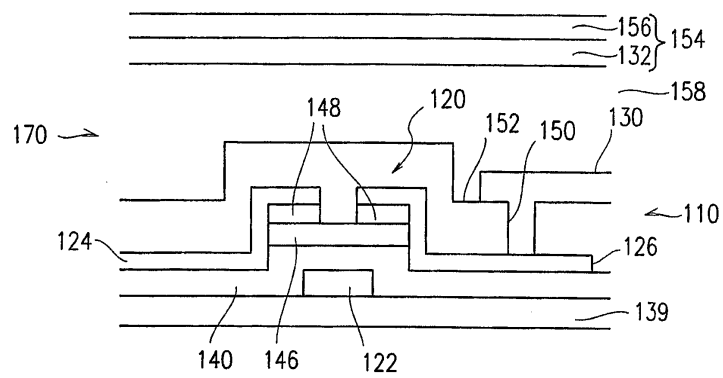
도면12



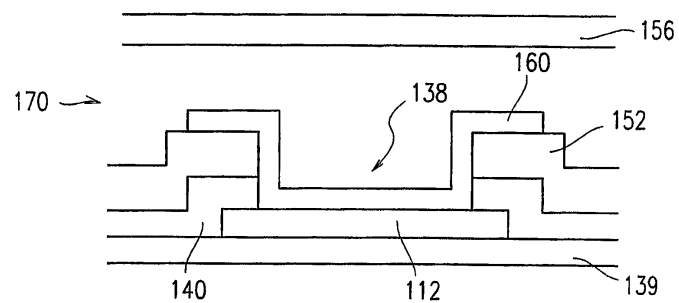
도면13



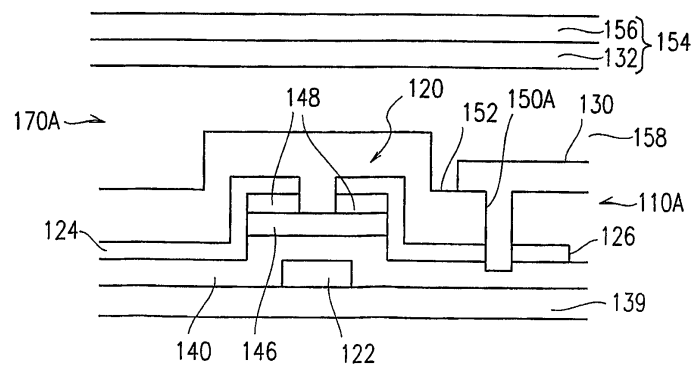
도면14



도면15



도면16



专利名称(译)	基板，具有基板的液晶显示装置，以及制造基板的方法		
公开(公告)号	KR100688372B1	公开(公告)日	2007-03-02
申请号	KR1020047016603	申请日	2003-04-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	KOKURA MASAFUMI 고꾸라마사후미 KATAOKA YOSHIHARU 가따오까요시하루		
发明人	고꾸라, 마사후미 가따오까, 요시하루		
IPC分类号	G02F1/136 H01L29/786 G02F1/1362 H01L21/336 H01L29/45		
CPC分类号	H01L29/66765 H01L29/458 G02F2001/13629 G02F1/136227		
代理人(译)	CHANG, SOO KIL		
优先权	2002113903 2002-04-16 JP		
其他公开文献	KR1020040101510A		
外部链接	Espacenet		

摘要(译)

本发明的基板(10)包括：第一电极(26)和第二电极(30)。第二电极(30)形成在覆盖第一电极(26)的至少一部分的绝缘膜(52)上，并通过形成在绝缘膜中的接触孔(50)与第一电极(26)电连接(52)。第一电极(26)包括金属膜(42)和保护膜(44)的层叠结构。金属膜(42)的蚀刻速率几乎等于保护膜(44)相对于形成金属膜(42)和保护膜(44)的第一蚀刻的蚀刻速率。相对于用于形成接触孔(50)的第二蚀刻，保护膜(44)的蚀刻速率几乎为零。

