



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

*G09G 3/36* (2006.01)*G02F 1/133* (2006.01)

(45) 공고일자

2006년11월24일

(11) 등록번호

10-0648139

(24) 등록일자

2006년11월14일

(21) 출원번호 10-2000-0007589  
 (22) 출원일자 2000년02월17일  
 심사청구일자 2005년01월20일

(65) 공개번호 10-2000-0058088  
 (43) 공개일자 2000년09월25일

(30) 우선권주장 99-39413 1999년02월18일 일본(JP)  
 99-367235 1999년12월24일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤  
 일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7번 35고

(72) 발명자 마에카와도시카즈  
 일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고소니가부시끼가이  
 샤내

나카지마요시하루  
 일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고소니가부시끼가이  
 샤내

모리타신타로  
 일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고소니가부시끼가이  
 샤내

(74) 대리인 유미특허법인  
 김재만

심사관 : 박부식

전체 청구항 수 : 총 15 항

(54) 전원 발생 회로 및 그 발생 방법, 및 액정 표시 장치

(57) 요약

본 발명은 네거티브 또는 포지티브 전원 발생 회로를 LCD 패널 외부에 장착할 때, 세트 설계에 부담이 생기지 않는 전원 발생 회로 및 그 발생 방법, 및 액정 표시 장치를 제공한다. 구동 회로 일체형 액정 표시 장치에 있어서, 포지티브 또는 네거티브 전원 발생 회로를 LCD 패널 상에 내장하고, 상기 포지티브 또는 네거티브 전압을 수직 드라이버 회로에 공급하도록 한다.

대표도

도 1

## 특허청구의 범위

### 청구항 1.

입력 클록에 대하여 역상(逆相)의 클록 펄스의 고 레벨 측 또는 저 레벨 측을 접지 레벨 이하의 기준 전위 레벨 또는 양극 기준 전위 레벨로 클램프하는 제1 클램프 수단과,

입력 클록에 대하여 정상(正相)의 클록 펄스의 고 레벨 측 또는 저 레벨 측을 접지 레벨 이하의 기준 전위 레벨 또는 양극 기준 전위 레벨로 클램프하는 제2 클램프 수단과,

상기 제1 클램프 수단의 클램프 출력의 고 레벨 측 또는 저 레벨 측, 및 상기 제2 클램프 수단의 클램프 출력의 고 레벨 측 또는 저 레벨 측을 샘플링하는 샘플링 수단

을 구비하는 것을 특징으로 하는 전원 발생 회로.

### 청구항 2.

제1항에 있어서,

상기 제1, 제2 클램프 수단의 각 전단(前段)에, 상기 역상의 클록 및 상기 정상의 클록의 각 직류 성분을 차단하는 제1, 제2 콘덴서를 가지는 것을 특징으로 하는 전원 발생 회로.

### 청구항 3.

제1항에 있어서,

상기 샘플링 수단의 출력단(出力端)과 접지 레벨 이하의 기준 전위 레벨 점 또는 양극 기준 전위 레벨 점 사이에 접속된 정전압화(定電壓化) 수단을 가지는 것을 특징으로 하는 전원 발생 회로.

### 청구항 4.

제1항에 있어서,

상기 제1 클램프 수단은 상기 제2 클램프 수단의 입력 클록에 따라 클램프 동작을 행하고, 상기 제2 클램프 수단은 상기 제1 클램프 수단의 입력 클록에 따라 클램프 동작을 행하는 것을 특징으로 하는 전원 발생 회로.

### 청구항 5.

제1항에 있어서,

상기 제1, 제2 클램프 수단이 각각 자체의 입력 클록에 따라 클램프 동작을 행하는 것을 특징으로 하는 전원 발생 회로.

### 청구항 6.

입력 클록에 대하여 정상 또는 역상의 각 클록의 고 레벨 측 또는 저 레벨 측을 접지 레벨 이하의 기준 전위 레벨 또는 양극 기준 전위 레벨에서 클램프하고,

상기 클램프한 정상 측의 클록의 저 레벨 측 또는 고 레벨 측을, 클램프한 역상 측의 클록의 고 레벨 측 또는 저 레벨 측에서 샘플링하는 것을 특징으로 하는 전원 발생 방법.

### 청구항 7.

제6항에 있어서,

상기 정상 및 역상의 클록을 클램프하기 전에, 상기 정상 및 역상의 클록의 각 직류 성분을 차단하는 것을 특징으로 하는 전원 발생 방법.

### 청구항 8.

삭제

### 청구항 9.

삭제

### 청구항 10.

삭제

### 청구항 11.

최소한 수직 드라이버를 포함하는 구동 회로를 화소부와 동일 기판 상에 폴리실리콘으로 일체 형성하여 이루어지는 액정 표시 장치에 있어서,

전원 전압을 발생하는 전원 발생 회로를 상기 기판 상에 내장하고,

상기 전원 발생 회로는 발생한 전원 전압을 상기 수직 드라이버에 공급하며,

상기 전원 발생 회로는 상기 수직 드라이버에서 사용되는 수직 클록보다도 높은 주파수의 클록에 따라 전원 전압을 발생하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 12.

최소한 수직 드라이버를 포함하는 구동 회로를 화소부와 동일 기판 상에 폴리실리콘으로 일체 형성하여 이루어지는 액정 표시 장치에 있어서,

전원 전압을 발생하는 전원 발생 회로를 상기 기판 상에 내장하고,

상기 전원 발생 회로는 발생한 전원 전압을 상기 구동 회로에 공급하며,

상기 전원 발생 회로는 상기 구동 회로에 포함되는 수평 드라이버에서 사용되는 수평 클록에 따라 전원 전압을 발생하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 13.

제12항에 있어서,

상기 구동 회로는 디지털 데이터를 수평 주사(走査)에 동기(同期)하여 순차 샘플링 래치하는 샘플링 래치 회로와, 이 샘플링 래치 회로에 의해 래치된 데이터를 1H(H는 수평 주사 기간) 주기로 재(再)래치하는 래치 회로와, 이 래치 회로에서 재(再)래치된 데이터의 레벨을 변환하는 레벨 시프터와, 이 레벨 시프터에 의해 레벨 변환된 데이터를 받아 계조수분(階調數分)의 기준 전압으로부터 목적으로 하는 기준 전압을 선택하여 출력하는 DA 컨버터를 가지며,

상기 전원 발생 회로는 발생한 전원 전압을 상기 레벨 시프터에 공급하는 것을 특징으로 하는 액정 표시 장치.

#### **청구항 14.**

최소한 수직 드라이버를 포함하는 구동 회로를 화소부와 동일 기판 상에 폴리실리콘으로 일체 형성하여 이루어지는 액정 표시 장치에 있어서,

전원 전압을 발생하는 전원 발생 회로를 상기 기판 상에 내장하고,

상기 전원 발생 회로는 입력 클록에 대하여 역상의 클록 펄스의 고 레벨 측 또는 저 레벨 측을 접지 레벨 이하의 기준 전위 레벨 또는 양극 기준 전위 레벨에서 클램프하는 제1 클램프 수단과, 입력 클록에 대하여 정상의 클록의 고 레벨 측 또는 저 레벨 측을 접지 레벨 이하의 기준 전위 레벨 또는 양극 기준 전위 레벨에서 클램프하는 제2 클램프 수단과, 상기 제1 클램프 수단의 클램프 출력의 고 레벨 측 또는 저 레벨 측, 및 상기 제2 클램프 수단의 클램프 출력의 고 레벨 측 또는 저 레벨 측을 샘플링하는 샘플링 수단을 가지는 것을 특징으로 하는 액정 표시 장치.

#### **청구항 15.**

제14항에 있어서,

상기 전원 발생 회로는 상기 제1, 제2 클램프 수단의 각 전단에, 상기 역상의 클록 및 상기 정상의 클록의 각 직류 성분을 차단하는 제1, 제2 콘덴서를 가지는 것을 특징으로 하는 액정 표시 장치.

#### **청구항 16.**

제14항에 있어서,

상기 전원 발생 회로는 상기 샘플링 수단의 출력단과 접지 레벨 이하의 기준 전위 레벨 점 또는 양극 기준 전위 레벨 점 사이에 접속된 정전압화 수단을 가지는 것을 특징으로 하는 액정 표시 장치.

#### **청구항 17.**

제14항에 있어서,

상기 제1 클램프 수단은 상기 제2 클램프 수단의 입력 클록에 따라 클램프 동작을 행하고, 상기 제2 클램프 수단은 상기 제1 클램프 수단의 입력 클록에 따라 클램프 동작을 행하는 것을 특징으로 하는 액정 표시 장치.

#### **청구항 18.**

제14항에 있어서,

상기 제1, 제2 클램프 수단이 각각 자체의 입력 클록에 따라 클램프 동작을 행하는 것을 특징으로 하는 액정 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 네거티브 또는 포지티브 전원 전압을 발생하는 전원 발생 회로 및 그 발생 방법, 및 액티브 매트릭스형 액정 표시 장치(LCD ; Liquid Crystal Display), 특히 이른바 구동 회로 일체형 액정 표시 장치에 관한 것이다.

최근 액정 표시 장치의 저(低)전압화, 고(高)콘트라스트화 등의 고성능, 고화질화로의 요구가 높아지고 있다. 일반적으로, 고콘트라스트화와 저전압화는 상반되는 요구이다. 즉, 콘트라스트를 높이기 위해서는 액정 표시 장치에 입력하는 비디오 신호의 진폭을 크게 할 필요가 있고, 그 결과, 액정 표시 장치의 구동 전압은 높아지며, 저전압화할 수 없게 된다. 그와 반대로, 저전압화하기 위해서는, 비디오 신호의 진폭을 저감하게 되고, 그 결과, 콘트라스트는 저하되는 방향으로 된다(도 23 (A), (B) 참조).

그래서, 저전압화, 고콘트라스트화 쌍방을 동시에 만족시키기 위해서는, 비디오 신호의 저전압 측(VL)을 가능한 한 낮추고 (즉, 그라운드 측에 근접시킴), 동시에 비디오 신호의 중심치(VC)도 낮추고, 비디오 신호의 다이나믹 레인지(динамический диапазон)를 높이면서, 비디오 신호의 고전압 측(VH)을 낮추는 방식을 택할 필요가 있다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 상기 방식을 택하면, 도 24에 나타낸 화소의 등가 회로에 있어서, 비디오 신호의 고전압 측(VH)을 유지한 화소 트랜지스터(101)의 스레시홀드치 V<sub>th</sub>가 디프레션에 접근하고 있으면, 스캔 라인(케이트 라인)(102)이 0V로, 소스 라인(103)이 저 레벨(이하, "L" 레벨이라고 함)일 때에, 도 25에 나타낸 바와 같이, 화소 트랜지스터(101)가 리크(leak)되어 휘점(輝點)으로 되는 이른바 리크성 휘점이 생길 우려가 있다. 화소 트랜지스터(101)의 특성 예를 도 26에 나타낸다.

따라서, 지금까지는 전술한 방식을 택하지 않고, 고콘트라스트화나 저전압화 중 양자택일의 선택을 개별적으로 행하였다. 단, 스캔 라인(102)의 "L" 레벨을 마이너스로 설정할 수 있으면, 상기 리크성 휘점에 대한 마진(margin)은 충분히 취해짐을 알 수 있다. 그러나, 그러기 위해서는 스캔 라인(102)의 "L" 레벨을 마이너스로 설정하는 네거티브 전원 발생 회로를 준비할 필요가 있다. 종래는 구성 상, 이 네거티브 전원 발생 회로를 패널 외부에 설치할 수 밖에 없었기 때문에, 세트 설계에 부담이 생기는 결과가 되었다.

또, 점(点) 순차 주사 방식의 액정 표시 장치의 경우에는, 수평 주사에 있어서의 주사 개시 측(예를 들면, 패널의 좌측)과 주사 종료 측(예를 들면, 패널의 우측)에서는 화소에의 기입 시간이 다르다. 즉, 패널 좌측에서는 1H(약 63μsec) 정도의 기입 시간인데 대하여, 패널 우측에서는 기입이 끝나고 바로 케이트 선택 필스가 소멸되기 때문에 수μsec(예를 들면, 5μsec)정도의 기입 시간으로 된다.

이와 같이, 점 순차 주사 방식의 액정 표시 장치에서는, 패널의 좌측과 우측에서 기입 시간이 다르기 때문에, 화소 트랜지스터(101)로서 특성이 나쁜 트랜지스터를 사용한 경우에는, 패널의 우측에서는 기입 시간이 짧아지므로, 화소 트랜지스터(101)가 충분히 온이 되지 않아, 기입 부족이 발생되기 때문에, 패널 좌측과 우측에서 휘도 차가 발생하고, 화질이 악화된다고 하는 과제도 있다.

#### 발명의 구성

본 발명은 상기 과제를 감안하여 이루어진 것이며, 그 목적으로 하는 것은, 간단한 구성으로 전원 전압을 발생할 수 있는 전원 발생 회로 및 그 발생 방법, 및 패널 외부에 전원 발생 회로를 설치하지 않고, 입력 신호의 다이나믹 레인지(динамический диапазон)를 확대하는 동시에, 양호한 화질을 얻는 것이 가능한 액정 표시 장치를 제공하는 데에 있다.

본 발명에 의한 전원 발생 회로는 입력 클록에 대하여 역상(逆相)의 클록의 고 레벨 측 또는 저 레벨 측을 그라운드(접지) 레벨 이하의 기준 전위 레벨 또는 포지티브(양극) 기준 전위 레벨에서 클램프하는 제1 클램프 수단과, 입력 클록에 대하여 정상(正相)의 클록의 고 레벨 측 또는 저 레벨 측을 접지 레벨 이하의 기준 전위 레벨 또는 양극 기준 전위 레벨에서 클램프하는 제2 클램프 수단과, 제1 클램프 수단의 클램프 출력의 고 레벨 측 또는 저 레벨 측에서, 제2 클램프 수단의 클램프 출력의 저 레벨 측 또는 고 레벨 측을 샘플링하는 샘플링 수단을 구비하는 구성으로 되어 있다. 그리고, 상기 전원 발생 회로는 구동 회로 일체형의 액정 표시 장치에 있어서, 그 패널(기판) 상에 형성되어 사용된다.

상기 구성의 전원 발생 회로 및 액정 표시 장치에 있어서, 입력 클록에 대하여 정상 및 역상의 클록의 고 레벨 측 또는 저 레벨 측을 접지 레벨 이하의 기준 전위 레벨 또는 양극 기준 전위 레벨에서 클램프하고, 그 클램프한 정상 측의 클록의 저 레벨 측 또는 고 레벨 측을, 클램프한 역상 측의 클록의 고 레벨 측 또는 저 레벨 측에서 샘플링함으로써, 클록의 고 레벨 측을 클램프한 경우에는 기준 전위 레벨의 네거티브(음극) 전원 전압이, 클록의 저 레벨 측을 클램프한 경우에는 전원 전압 레벨보다도 기준 전위 레벨만큼 높은 포지티브 전원 전압이 생성된다.

다음에, 본 발명의 실시 형태에 대하여 도면을 참조하여 상세하게 설명한다. 도 1은 본 발명의 제1 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 구성 예를 나타낸 블록도이다.

도 1에 있어서, 화소(11)가 2차원 매트릭스형으로 배치되어 유효 화소 영역(12)을 구성하고 있다. 이 유효 화소 영역(12)에 있어서, 화소(11)는 화소 트랜ジ스터인 박막 트랜지스터(TFT ; thin film transistor)(13)와, 이 박막 트랜지스터(13)의 드레인 전극에 화소 전극이 접속된 액정 셀(14)과, 박막 트랜지스터(13)의 드레인 전극에 한 쪽의 전극이 접속된 보조 용량(15)으로 구성되어 있다.

상기 화소 구조에 있어서, 각 화소(11)의 박막 트랜지스터(13)는, 그 게이트 전극이 게이트 라인(스캔 라인)(16)에 접속되고, 또한 그 소스 전극이 소스 라인(신호 라인)(17)에 접속되어 있다. 또, 액정 셀(14)의 대향 전극 및 보조 용량(15)의 다른 쪽의 전극은, 공통 전압(VCOM)이 부여되는 공통 라인(18)에 접속되어 있다.

유효 화소 영역(12)의 예를 들면 상측에는 수평 드라이버(19)가 배치되고, 또 예를 들면 좌측에는 수직 드라이버(스캔 라인)(20)가 배치되어 있다. 수평 드라이버(19)는 수평 클록 HCK 등의 다이나믹 신호에 따라 동작하고, 입력 비디오 신호(Video Sig.)에 따라 각 화소(11)로의 데이터의 기입을 점 순차로 행한다. 수직 드라이버(20)는 수직 클록 VCK 등의 다이나믹 신호에 따라 동작하고, 각 화소(11)를 행 단위로 순차 구동한다.

수평 드라이버(19) 및 수직 드라이버(20)는, 폴리실리콘 박막 트랜지스터를 사용하여 유효 화소 영역(12)과 함께 유리 기판(이하, LCD 패널이라고 함)(21) 상에 일체 형성되어 있다. 이로써, 수평 드라이버(19)나 수직 드라이버(20)를 포함하는 구동 회로가 유효 화소 영역(12)과 함께 LCD 패널(21) 상에 일체 형성된 구동 회로 일체형 액정 표시 장치가 구성된다. 본 실시 형태에서는 또한, LCD 패널(21) 상에 네거티브 전원 발생 회로(22)가 폴리실리콘 박막 트랜지스터를 사용하여 일체 형성되어 있다.

상기 네거티브 전원 발생 회로(22)는 발생되는 네거티브 전원 전압을 구동 회로, 예를 들면 수직 드라이버(20)에 공급하기 위해 내장된 것이며, 수직 드라이버(20)에 입력되는 수직 클록 VCK보다도 빠른(주파수가 높은) 클록, 예를 들면 수평 드라이브(19)에 입력되는 수평 클록 HCK를 입력으로 하고, 이 수평 클록 HCK에 따라 네거티브 전원 전압을 발생하고, 이를 수직 드라이버(20)의 출력단에 있어서의 제2 네거티브 측 전원 라인에 공급한다. 네거티브 전원 발생회로(22)의 입력 클록으로서는, 수평 드라이버(19)에 입력되는 다이나믹 클록에 한정되지 않고, 네거티브 전원용으로 별도 공급되는 클록을 사용하도록 해도 된다.

도 2는 제1 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 수직 드라이버(20)를 구성하는 시프트 레지스터의 구성의 일례를 나타낸 블록도이며, 시프트 레지스터에 있는 전송단 및 그 출력단의 구성을 나타내고 있다.

도 2에 있어서, n단짜의 전송단(레지스터(23))은, 포지티브 측 전원 vdd과 제1 네거티브 측 전원 vss1(본 예에서는 그라운드)을 구동 전압으로 하고, 전단 n-1으로부터 부여되는 시프트 펄스 Vn-1를 시프트하여 얻어지는 시프트 펄스 Vn를 차단 n+1으로 부여하는 동시에, 이에 동기하여 서로 역상인 스캔 펄스 va,vax를 출력한다. 이 스캔 펄스 va,vax의 진폭은 도 3의 파형도 (a)로부터 명백한 바와 같이, vss1~vdd이다.

스캔 펄스 va,vax는 레벨 시프트 회로(24)에 공급된다. 이 레벨 시프트 회로(24)는, 포지티브 측 전원 vdd과 전술한 네거티브 전원 전압 발생 회로(22)에서 발생한 제2 네거티브 측 전원 vaa2(vaa2 < vss1)을 구동 전압으로 하고, 도 3의 파형도

(b)에 나타낸 바와 같이, vss1~vdd의 진폭의 스캔 펄스 va,vax를 vss2~vdd의 진폭 스캔 펄스vb에 레벨 시프트(레벨 변환)한다. 이 스캔 펄스vb는, 포지티브 측 전원 vdd과 네거티브 측 전원 vss2에서 동작하는 버퍼(25)를 통하여 유효 화소 영역(12)(도 1을 참조)의 n형 째의 게이트 라인(스캔 라인)(16)을 구동한다.

도 4에 레벨 시프트 회로(24)의 회로 구성의 일례를 나타낸다. 이 레벨 시프트 회로(24)는 CMOS 래치 셀(26) 및 CMOS 인버터(27)를 가지는 구성으로 되어 있다.

CMOS 래치 셀(26)은 반전 스캔 펄스 vax를 게이트 입력으로 하고, 소스가 포지티브 측 전원 vdd에 접속된 P채널 MOS(이하, PMOS라고 함) 트랜지스터(Qp11)와, 스캔 펄스 va를 게이트 입력으로 하고, 소스가 포지티브 측 전원 vdd에 접속된 PMOS 트랜지스터(Qp12)와, PMOS 트랜지스터(Qp11)와 드레인이 공통 접속되는 동시에, 소스가 제2 네거티브 측 전원 vss2에 접속되고, 또한 게이트가 PMOS 트랜지스터(Qp12)의 드레인에 접속된 N채널 MOS(이하, NMOS라고 함) 트랜지스터(Qn11)와, PMOS 트랜지스터(Qp12)와 드레인이 공통 접속되는 동시에, 소스가 제2 네거티브 측 전원 vss2에 접속되고, 또한 게이트가 PMOS 트랜지스터(Qp11)의 드레인에 접속된 NMOS 트랜지스터(Qn12)로 구성되어 있다.

CMOS 인버터(27)는 게이트가 CMOS 래치 셀(26)의 출력단, 즉 PMOS 트랜지스터(Qp12)와 NMOS 트랜지스터(Qn12)의 드레인 공통 접속점에 접속되고, 소스가 포지티브 측 전원 vdd에 접속된 PMOS 트랜지스터(Qp13)와 게이트 및 드레인이 각각 공통으로 접속되고, 소스가 제2 네거티브 측 전원 vss2에 접속된 NMOS 트랜지스터(Qn13)로 이루어지고, PMOS 트랜지스터(Qp13) 및 NMOS 트랜지스터(Qn13)의 드레인 공통 접속점으로부터 유효 화소 영역(12)의 게이트 라인(16)을 구동하는 스캔 펄스를 도출하는 구성으로 되어 있다.

전술한 바와 같이, 구동 회로 일체형 액정 표시 장치에 있어서, 네거티브 전원 발생 회로(22)를 LCD 패널(21) 상에 내장하고, 이 네거티브 전원 발생 회로(22)에서 발생한 네거티브 전원 전압을 수직 드라이버(20)에 공급하도록 하였으므로, LCD 패널(21)의 외부에 네거티브 전원 발생 회로를 설치할 필요가 없기 때문에, 세트 설계의 부담을 경감할 수 있게 된다. 또, LCD 패널(21)의 전원 전압을 높이지 않고, 입력 신호의 다이나믹 레인지를 확대할 수 있고, 또한 양호한 화질(특히 콘트라스트)을 얻는 것이 가능해진다.

도 5는 네거티브 전원 발생 회로(22)의 구성 예를 나타낸 블록도이다. 본 구성 예에 관한 네거티브 전원 발생 회로(22)는 입력 클록을 반전하고, 또한 반전하는 인버터(31),(32)와 이들 인버터(31),(32)의 각 반전 출력의 직류 성분을 커트(차단)하는 콘덴서(33),(34)와 이들 콘덴서(33),(34)의 출력을 접지 레벨 이하의 기준 레벨(본 예에서는 접지 레벨)에서 클램프하는 클램프 회로(35),(36)와 클램프 회로(35)의 클램프 출력에 따라 클램프 회로(36)의 클램프 출력을 샘플링하는 샘플링 스위치(37)를 가지고, 회로 출력 단자(38)로부터 네거티브 전원 전압 -vdd을 도출하는 구성으로 되어 있다.

다음에, 상기 구성의 네거티브 전원 발생 회로(22)의 회로 동작에 대하여 설명한다.

상기 네거티브 전원 발생 회로(22)에는 0V~vdd의 진폭을 갖는 클록, 예를 들면 수평 드라이브(19)(도 1을 참조)에 입력되는 수평 클록 HCK이 입력된다. 이 입력 클록은 인버터(31)에서 반전되고, 그 후 인버터(32)에서 다시 반전된다. 이들 인버터(31),(32)의 각 반전 클록, 즉 입력 클록에 대하여 역상의 클록 및 정상의 클록은, 콘덴서(33),(34)를 통과함으로써 직류 성분이 커트된다.

그리고, 콘덴서(33),(34)를 경유한 각 클록은, 클램프 회로(35),(36)에 있어서 각각 고 레벨(이하, "H" 레벨이라고 함) 측이, 접지 레벨 이하의 기준 전위 레벨, 예를 들면 접지 레벨(0V)에서 클램프된다. 이로써, 클램프 회로(35),(36)의 각 클램프 출력은, 도면 중의 과정으로부터도 명백한 바와 같이, -vdd~0V의 진폭을 가지고 또한 서로 역상의 관계로 된다. 그리고, 샘플링 스위치(37)가 클램프 회로(35)의 클램프 출력의 "H" 레벨, 즉 0V에서 온 상태로 됨으로써, 클램프 회로(36)의 클램프 출력의 저 레벨(이하, "L" 레벨이라고 함) 측, 즉 -vdd를 출력한다. 이것이 네거티브 전원 전압 -vdd으로서 회로 출력 단자(38)로부터 도출된다.

도 6은 클램프 회로(35),(36) 및 샘플링 스위치(37)의 제1 구체 예를 나타낸 회로도이다. 그리고, 도면 중, 도 5와 동등 부분에는 동일 부호를 붙여 나타내고 있다.

클램프 회로(35)는 콘덴서(33)의 출력단과 그라운드 사이에 접속되고, 그 게이트가 콘덴서(34)의 출력단에 접속된 PMOS 트랜지스터(Qp31)에 의해 구성되어 있다. 클램프 회로(36)는 콘덴서(34)의 출력단과 그라운드 사이에 접속되고, 그 게이트가 콘덴서(33)의 출력단에 접속된 PMOS 트랜지스터(Qp32)에 의해 구성되어 있다. 샘플링 스위치(37)는 콘덴서(34)의 출력단과 회로 출력 단자(38) 사이에 접속되고, 그 게이트가 콘덴서(33)의 출력단에 접속된 NMOS 트랜지스터(Qn31)에 의해 구성되어 있다.

다음에, 상기 구성의 클램프 회로(35),(36) 및 샘플링 스위치(37)의 회로 동작에 대하여 설명한다.

먼저, 입력 클록에 대하여 정상의 클록이 "L" 레벨일 때, 이 정상 클록이 콘덴서(34)에서 직류 커트웜으로써, 콘덴서(34)의 출력단(이하, 노드B라고 함)의 전위가 약간 마이너스 측으로 치우친다. 이로써, PMOS 트랜지스터(Qp31)가 턴온한다. 그러면, PMOS 트랜지스터(Qp31)는 콘덴서(33)의 출력단(이하, 노드A라고 함)의 전위를 그라운드 측으로 끌기 시작한다.

노드A의 전위가 그라운드 측으로 끌리면, PMOS 트랜지스터(Qp32)도 턴온한다. 그러면, PMOS 트랜지스터(Qp32)는 노드B의 전위를 마이너스 측으로 끌기 시작하여 노드B의 전위를 더욱 낮춘다. 노드B의 전위가 낮아지면, 노드A의 전위가 더욱 그라운드 측으로 접근해 온다. 이 동작을 반복하여, 즉, 포지티브 피드백에 의해, 노드A의 "H" 레벨(vdd 레벨)이 0V에서 클램프된다. 이로써, 클램프 회로(35)의 클램프 출력은 -vdd~0V의 진폭을 갖는 입력 클록에 대하여 역상의 클록으로 된다.

한편, 입력 클록에 대하여 역상의 클록이 "L" 레벨일 때, 이 역상 클록이 콘덴서(33)에서 직류 커트웜으로써, 노드(A)의 전위가 약간 마이너스 측으로 치우친다. 이로써, PMOS 트랜지스터(Qp32)가 턴온한다. 그러면, PMOS 트랜지스터(Qp 32)는 노드B의 전위를 그라운드 측으로 끌기 시작한다.

노드B의 전위가 그라운드 측으로 끌리면, PMOS 트랜지스터(Qp31)도 턴온한다. 그러면, PMOS 트랜지스터(Qp31)는 노드A의 전위를 마이너스 측으로 끌기 시작하여 노드A의 전위를 더욱 낮춘다. 노드A의 전위가 낮아지면, 노드B의 전위가 더욱 그라운드 측으로 접근해 온다. 이 포지티브 피드백에 의해, 노드B의 "H" 레벨이 0V에서 클램프된다. 이로써, 클램프 회로(36)의 클램프 출력은 -vdd~0V의 진폭을 갖는 입력 클록에 대하여 정상의 클록으로 된다.

그리고, 노드A의 전위가 "H" 레벨, 즉 0V일 때에는, NMOS 트랜지스터(Qn31)가 온 상태로 되기 때문에, 노드A의 클램프 출력과 역상의 노드B의 클램프 출력, 즉 "L" 레벨 -vdd이 출력된다. 또, 노드A의 전위가 "L" 레벨, 즉 -vdd일 때에는, NMOS 트랜지스터(Qn31)가 오프 상태로 되기 때문에, 상기 -vdd가 그대로 출력된다.

이와 같이, 클램프 회로(35),(36)가 상대 측의 입력 클록에 따라 클램프 동작을 행하는 구성으로 함으로써 포지티브 피드백이 걸리므로, 기준 전위 레벨(본 예에서는, 접지 레벨)에서 확실하게 클램프되고, 그 기준 전위 레벨의 네거티브 전원 전압 -vdd을 발생할 수 있다.

도 7에 시뮬레이션 결과를 나타낸다. 이 도면에 있어서, v(y)는 입력 클록에 대하여 정상의 클록, v(z)는 입력 클록에 대하여 정상의 클록, v(xa)는 입력 클록에 대하여 정상의 클램프 출력, v(xb)는 입력 클록에 대하여 역상의 클램프 출력, -vdd는 네거티브 전원 전압의 각 파형을 각각 나타내고 있다.

도 8은 네거티브 전원 발생 회로(22)의 제1 변형예를 나타낸 회로도이며, 도면 중, 도 6과 동등 부분에는 동일 부호를 붙여 나타내고 있다. 상기 제1 변형예에 있어서는, 회로 출력 단자(38)와 그라운드 사이에, 정전압화 수단, 예를 들면 제너 다이오드(39)를 접속한 구성으로 되어 있다. 상기 제1 변형예에 관한 네거티브 전원 발생 회로(22)를 구동 회로 일체형 액정 표시 장치에 탑재하는 경우에는, 도 9에 나타낸 바와 같이, 제너 다이오드(39)는 LCD 패널(21)의 외부에 장착되게 된다.

이와 같이, 회로 출력 단자(38)와 그라운드 사이에 제너 다이오드(39)를 접속함으로써, 네거티브 전원 전압 -vdd의 전압치가 제너 다이오드(39)의 제너 전압에 의해 결정되기 때문에, 그 제너 전압을 선정함으로써 소정 전압치의 네거티브 전원 전압 -vdd을 용이하고 또한 안정되게 얻을 수 있게 된다. 그리고, 정전압화 수단으로서는, 제너 다이오드에 한정되지 않고, 바이폴라(bipolar) 다이오드, MOS 다이오드 등이라도 된다.

도 10은 네거티브 전원 발생 회로(22)의 제2 변형예를 나타낸 회로도이며, 도면 중, 도 6과 동등 부분에는 동일 부호를 붙여 나타내고 있다. 상기 제2 변형예에 관한 네거티브 전원 발생 회로(22)에서는, 인버터(31),(32)로서 각각 CMOS 인버터를 사용한 회로 구성으로 되어 있다. 이 회로 구성의 경우에도, 구체적인 회로 동작은 도 6의 경우와 동일하다.

도 11은 네거티브 전원 발생 회로(22)의 제3 변형예를 나타낸 회로도이며, 도면 중, 도 10과 동등 부분에는 동일한 부호를 붙여 나타내고 있다. 상기 제3 변형예에 관한 네거티브 전원 발생 회로(22)에서는, 인버터(31),(32)로서 각각 CMOS 인버터를 사용하는 동시에, 콘덴서(33),(34)를 NMOS 트랜지스터(Qn32),(Qn33)에서 형성한 회로 구성으로 되어 있다.

상기 회로 구성에 있어서, 콘텐서(33)의 입력단(노드a)의 전위는, 콘텐서(33)의 출력단(노드b)의 전위보다도 반드시 높기 때문에, NMOS 트랜지스터(Qn32)는 채널이 항상 형성되는 도면의 방향에서 접속된다. 콘텐서(34) 측에 대해서도, 노드a,b'의 전위 관계는 동일하므로, NMOS 트랜지스터(Qn33)의 접속도 NMOS 트랜지스터(Qn32)의 경우와 동일하다. 콘텐서(33),(34)를 디프레션 MOS 트랜지스터로 형성하는 것도 가능하다.

그리고, 이상 설명한 제1 구체예(도 6) 및 그 변형예(도 8, 도10, 도 11)에서는, 정상 클록 및 역상 클록의 클램프를 상대 측의 클록, 즉 역상 클록 및 정상 클록에 따라 행하는 구성으로 하였으나, 정상 클록 및 역상 클록의 클램프를 자체 클록에 따라 행하도록 하는 것도 가능하다. 이를 제2 구체예로서 다음에 설명한다.

도 12는 클램프 회로(35),(36) 및 샘플링 스위치(37)의 제2 구체예를 나타낸 회로도이며, 도면 중, 도 5와 등등한 부분에는 동일 부호를 붙여 나타내고 있다.

클램프 회로(35)는 콘텐서(33)의 출력단(노드b)과 그라운드 사이에 접속되고, 그 게이트가 콘텐서(33)의 입력단(노드a)에 접속된 NMOS 트랜지스터(Qn34)에 의해 구성되어 있다. 클램프 회로(36)는 콘텐서(34)의 출력단(노드b')과 그라운드 사이에 접속되고, 그 게이트가 콘텐서(34)의 입력단(노드a')에 접속된 NMOS 트랜지스터(Qn35)에 의해 구성되어 있다. 샘플링 스위치(37)는 노드(b')와 회로 출력 단자(38) 사이에 접속되고, 그 게이트가 노드(b)에 접속된 NMOS 트랜지스터(Qn36)에 의해 구성되어 있다.

이와 같이, 정상 클록 및 역상 클록의 클램프를 자체의 클록에 따라 행하도록 하여도, 상대 측의 클록에 따라 클램프를 행하는 제1 구체예의 경우와 마찬가지로, 클램프 회로(35)의 클램프 출력으로서, -vdd~0V의 진폭을 갖는 입력 클록에 대하여 역상의 클록을 얻을 수 있고, 클램프 회로(36)의 클램프 출력으로서, -vdd~0V의 진폭을 갖는 입력 클록에 대하여 정상의 클록을 얻을 수 있다.

도 13은 클램프 회로(35),(36) 및 샘플링 스위치(37)의 제3 구체예를 나타낸 회로도이며, 도면 중, 도 12와 동등 부분에는 동일 부호를 붙여 나타내고 있다.

클램프 회로(35)는 콘텐서(33)의 출력단(노드b)과 그라운드 사이에 접속되고, 그 게이트가 콘텐서(33)의 입력단(노드a)에 접속된 NMOS 트랜지스터(Qn34)에 의해 구성되어 있다. 클램프 회로(36)는 콘텐서(34)의 출력단(노드b')과 그라운드 사이에 직렬로 접속된 PMOS 트랜지스터(Qp33) 및 NMOS 트랜지스터(Qn35)로 이루어지고, PMOS 트랜지스터(Qp33)의 게이트가 노드b에 NMOS 트랜지스터(Qn35)의 게이트가 노드a'에 각각 접속된 구성으로 되어 있다.

상기 제3 구체예의 회로 구성의 경우에는, NMOS 트랜지스터(Qn35)의 게이트에, 노드b와 역극성의 펠스(클록)가 인가되게 된다. 이로써, 노드b'의 "H" 측의 레벨을 충분히 낮은 임피던스로 클램프할 수 있게 된다.

이상 설명한 제2, 제3 구체예에 있어서도, 제1 구체예의 경우와 마찬가지로, 회로 출력 단자(38)와 그라운드 사이에 제너레이터를 접속하거나, 인버터(31), (32)를 CMOS 인버터로 구성하거나, 콘텐서(33),(34)를 MOS 커판시터로 구성기도 하는 변형예의 적용이 가능하다.

그리고, 상기 실시 형태에 있어서는, 본 발명에 관한 네거티브 전원 발생 회로(22)를, 수평 드라이버(19) 및 수직 드라이버(20)를 함께 LCD 패널(21) 상에 유효 화소 영역(12)과 일체 형성(on-chip)한 구동 회로 일체형 액정 표시 장치에 탑재하는 경우를 예에 택하여 설명하였으나, 이에 한정되지 않고, 수평 드라이버(19)를 오프 칩(off-chip)으로 하고, 수직 드라이버(20)를 온 칩(on-chip)으로 한 구동 회로 일체형 액정 표시 장치에도 동일하게 적용 가능하다.

또, 네거티브 전원 발생 회로(22)에서 발생한 네거티브 전원 전압을 수직 드라이버(20)에 공급하는 적용예에 대하여 설명하였으나, 이 적용예에 한정되지 않고, 구동 회로 일체형 액정 표시 장치 내의 네거티브 전원을 필요로 하는 다른 회로에 공급하는 경우에도 동일하게 적용 가능하다. 그 외의 적용예에 대하여 다음에 설명한다.

도 14는 다른 적용예를 나타낸 액티브 매트릭스형 액정 표시 장치의 구성의 일례를 나타낸 블록도이며, 도면 중, 도 1과 동등 부분에는 동일 부호를 붙여 나타내고 있다. 본 적용예에 관한 구동 회로 일체형 액정 표시 장치에 있어서, 수평 드라이버(19)는 수평 시프터(191), 샘플링&제1 래치 회로(192), 제2 래치 회로(193), 레벨 시프터(194) 및 DA(디지털 아날로그) 컨버터(195)에 의해 구성되어 있다.

상기 수평 드라이버(19)에 있어서, 수평 시프트 레지스터(191)에는, 수평 전송 펄스로서 수평 스타트 펄스 HST 및 수평 클록 HCK가 부여된다. 그러면, 수평 시프트 레지스터(191)는, 수평 스타트 펄스 HST에 응답하여 수평 클록 HCK의 주기로 각 단으로부터 순차 시프트 펄스를 출력함으로써 수평 주사를 행한다. 샘플링&제1 래치 회로(192)는, 수평 시프트 레지스터(191)로부터 출력되는 시프트 펄스에 응답하여 디지털 데이터를 순차 샘플링하고, 또한 샘플링한 데이터를 유효 화소 영역(12)의 각 소스 라인(컬럼 라인)마다 래치한다.

제2 래치 회로(193)는, 샘플링&제1 래치 회로(192)에서 래치된 각 소스 라인에 대응하는 래치 데이터를, 1H(H는 수평 주사 기간) 주기로 부여되는 래치 신호에 응답하여 1H마다 재(再)래치한다. 레벨 시프터(194)는, 제2 래치 회로(193)에서 재(再)래치된 래치 데이터에 대하여, 그 신호 레벨을 소정 레벨로 레벨 시프트(레벨 변환)하여 DA 컨버터(195)에 공급한다.

DA 컨버터(195)는, 레벨 시프터(194)에서 레벨 시프트된 디지털 데이터를, 유효 화소 영역(12)의 각 소스 라인마다 아날로그 신호로 변환하고, 이 아날로그 신호를 대응하는 소스 라인에 공급한다. 상기 DA 컨버터(195)로서는, 레벨 시프터(194)에서 레벨 시프트된 데이터를 받아 계조수분(階調數分)의 기준 전압으로부터 목적으로 하는 기준 전압을 선택하여 대응하는 소스 라인으로 출력하는 이른바 기준 전압 선택형 DA 컨버터가 사용된다.

상기 구성의 액정 표시 장치에 있어서, 공통 전압 VCOM(도 1을 참조)을 1H마다 반전시키는 VCOM 반전 구동을 이용하는 경우를 생각한다. 이 VCOM 반전 구동을 이용한 액정 표시 장치에 있어서, 예를 들면 0V~5V의 레벨 범위의 기준 전압을 선택하는 DA 컨버터(195)에서는, 기준 전압을 선택하기 위한 아날로그 스위치로서 MOS 트랜지스터를 사용한 경우에, 선택되는 기준 전압의 다이나믹 레인지지를 확보하기 위해서는, PMOS 트랜지스터의 스레시홀드치를 Vthp, NMOS 트랜지스터의 스레시홀드치를 Vthn으로 하면, 선택 데이터 신호의 "L" 레벨 측은 0V-Vthp 이하가 아니면 안되고, "H" 레벨 측은 5V+Vthn 이상이 아니면 안된다.

이와 같이, 선택 데이터 신호의 진폭을 기준 전압의 레벨 범위에 대하여 PMOS 트랜지스터의 스레시홀드치 Vthp 만큼 낮게, NMOS 트랜지스터의 스레시홀드치 Vthn 만큼 높은 레벨 범위(상기의 예에서는, 0V-Vthp~5V+Vthn) 이상으로 설정할 필요가 있기 때문에, DA 컨버터(195)의 전단에 레벨 시프터(194)가 배치되어 있는 것이다. 그리고, 이 레벨 시프터(194)는 상기의 이유로부터 네거티브 전원을 필요로 한다.

그래서, 본 적용예에서는, 도 14에 나타낸 바와 같이, LCD 패널(21) 내에 네거티브 전원 발생 회로(22)를 내장하고, 이 네거티브 전원 발생 회로(22)에서 발생된 네거티브 전원 전압을 레벨 시프터(194)에 공급하도록 한다. 이와 같이, 네거티브 전원 발생 회로(22)를 내장함으로써, 네거티브 전원 발생 회로(22)를 LCD 패널(21)의 외부에 설치할 필요가 없기 때문에, 그 만큼 세트 설계의 부담을 경감할 수 있게 된다.

그리고, 상기 각 적용예에서는, 구동 회로 일체형 액정 표시 장치에 적용한 경우를 예로 택하여 설명하였으나, 구동 회로 일체형 액정 표시 장치에 대한 적용뿐 아니라, 네거티브 전원 전압을 필요로 하는 장치 전부에 적용 가능하다.

도 15는 본 발명의 제2 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 구성예를 나타낸 블록도이다.

도 15에 있어서, 화소(51)가 2차원 매트릭스형으로 배치되어 유효 화소 영역(52)을 구성하고 있다. 이 유효 화소 영역(52)에 있어서, 화소(51)는 박막 트랜지스터(53)와, 이 박막 트랜지스터(53)의 드레인 전극에 화소 전극이 접속된 액정 셀(54)과, 박막 트랜지스터(53)의 드레인 전극에 한 쪽의 전극이 접속된 보조 용량(55)으로 구성되어 있다.

상기 화소 구조에 있어서, 각 화소(51)의 박막 트랜지스터(53)는, 그 게이트 전극이 게이트 라인(스캔 라인)(56)에 접속되고, 또한 그 소스 전극이 소스 라인(신호 라인)(57)에 접속되어 있다. 또, 액정 셀(54)의 대향 전극 및 보조 용량(55)의 다른 쪽의 전극은, 공통 전압 VCOM이 부여되는 공통 라인(58)에 접속되어 있다.

유효 화소 영역(52)의 예를 들면 상측에는 수평 드라이버(59)가 배치되고, 또 예를 들면 좌측에는 수직 드라이버(스캔 드라이버)(60)가 배치되어 있다. 수평 드라이버(59)는 수평 클록 HCK 등의 다이나믹 신호에 따라 동작하고, 입력 비디오 신호(Video Sig.)에 따라 각 화소(51)에 대한 데이터의 기입을 점 순차로 행한다. 수직 드라이버(60)는 수직 클록 VCK 등의 다이나믹 신호에 따라 동작하고, 각 화소(51)를 행 단위로 순차 구동한다.

수평 드라이버(59) 및 수직 드라이버(60)는, 폴리실리콘 박막 트랜지스터를 사용하여 유효 화소 영역(52)과 함께 LCD 패널(61) 상에 일체 형성되어 있다. 이로써, 수평 드라이버(59)나 수직 드라이버(60)를 포함하는 구동 회로가 유효 화소 영역(52)과 함께 LCD 패널(61) 상에 일체 형성된 구동 회로 일체형 액정 표시 장치가 구성된다. 본 실시 형태에서는 또한, LCD 패널(61) 상에 포지티브 전원 발생 회로(62)가 폴리실리콘 박막 트랜지스터를 사용하여 일체 형성되어 있다.

상기 포지티브 전원 발생 회로(62)는 발생하는 포지티브 전원 전압을 구동 회로, 예를 들면 드라이버(60)에 제공하기 위해 내장된 것이며, 수직 드라이버(60)에 입력되는 수직 클록 VCK보다도 빠른(주파수가 높은) 클록, 예를 들면 수평 드라이버(59)에 입력되는 수평 클록 HCK을 입력으로 하고, 상기 수평 클록 HCK에 따라 포지티브 전원 전압을 발생하고, 이를 수직 드라이버(60)의 출력단에 있어서의 제2 포지티브 라인에 제공한다. 포지티브 전원 발생 회로(62)의 입력 클록으로서는, 수평 드라이버(59)에 입력되는 다이나믹 클록에 한정되지 않고, 포지티브 전원용에 별도 공급되는 클록을 사용하도록 해도 된다.

도 16은 제2 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 수직 드라이버(60)를 구성하는 시프트 레지스터의 구성의 일례를 나타낸 블록도이며, 시프트 레지스터에 있는 전송단 및 그 출력단의 구성을 나타내고 있다.

도 16에 있어서, n단째의 전송단(레지스터)(63)은, 제2 포지티브 전원 vdd1과 네거티브 전원 vss(본 예에서는, 그라운드)을 구동 전압으로 하고, 전단 n-1으로부터 부여되는 시프트 펄스 Vn-1를 시프트하여 얻어지는 시프트 펄스 Vn를 차단 n+1에 부여하는 동시에, 이에 동기하여 서로 역상인 스캔 펄스 va,vax를 출력한다. 상기 스캔 펄스 va,vax의 진폭은 도 17의 파형도 (a)로부터 명백한 바와 같이, vss~vdd1이다.

스캔 펄스 va,vax는 레벨 시프트 회로(64)에 공급된다. 이 레벨 시프트 회로(64)는, 네거티브 전원 vss과 전술한 포지티브 전원 전압 발생 회로(62)에서 발생된 제2 포지티브 vdd2( $vdd1 < vdd2$ )를 구동 전압으로 하고, 도 17의 파형도 (b)에 나타낸 바와 같이, vss~vdd1의 진폭의 스캔 펄스 va,vax를 vss~vdd2의 진폭의 스캔 펄스 vb로 레벨 시프트(레벨 변환)한다. 이 스캔 펄스 vb는, 제2 포지티브 전원 vdd2과 네거티브 전원 vss에서 작동하는 버퍼(65)를 통하여 유효 화소 영역(52) (도 15를 참조)의 n행째의 게이트 라인(스캔 라인)(56)을 구동한다.

레벨 시프트 회로(64)로서는, 도 4에 나타낸 회로 구성, 즉 CMOS 래치 셀 및 CMOS 인버터를 가지는 회로 구성의 것이 사용된다. 단, 도 4에 있어서, 제2 네거티브 전원 vss2이 네거티브 전원 vss에, 포지티브 전원 vdd이 제2 포지티브 전원 vdd2으로 각각 치환되는 것으로 한다.

전술한 바와 같이, 구동 회로 일체형 액정 표시 장치에 있어서, 포지티브 전원 발생 회로(62)를 LCD 패널(61) 상에 내장하고, 이 포지티브 전원 발생 회로(62)에서 발생한 포지티브 전원 전압을 수직 드라이버(60)에 공급하도록 하였으므로, LCD 패널(61)의 외부에 포지티브 전원 발생 회로를 설치할 필요가 없기 때문에, 세트 설계의 부담을 경감할 수 있게 된다.

또, LCD 패널(61)의 전원 전압을 높이지 않아도, 게이트 라인(56)에 인가하는 스캔 펄스(게이트 선택 펄스)의 진폭을 크게 할 수 있으므로, 박막 트랜지스터(53)로서 특성이 나쁜 트랜지스터를 사용한 경우라도, 그 트랜지스터의 게이트·소스 사이에 충분히 큰 전압을 부여할 수 있기 때문에, 박막 트랜지스터(53)를 확실하게 온(on)시킬 수 있다.

이로써, 점 순차 주사 방식의 액정 표시 장치에 있어서, LCD 패널(61)의 좌측과 우측에서 기입 시간이 다르다고 하더라도, 게이트 라인(56)에 진폭이 큰 스캔 펄스가 인가됨에 따라, 기입 시간이 짧은 패널의 우측의 화소에서도 박막 트랜지스터(53)가 확실하게 온으로 되기 때문에, 화소에의 기입이 충분히 행해진다. 따라서, 기입 시간의 상이에 따라서 LCD 패널(61)의 좌측과 우측에서 희도 차가 발생하는 것을 회피할 수 있다.

도 18은 포지티브 전원 발생 회로(62)의 구성예를 나타낸 블록도이다. 본 구성예에 관한 포지티브 전원 발생 회로(62)는 입력 클록을 반전하고, 또한 반전하는 인버터(71),(72)와, 이들 인버터(71),(72)의 각 반전 출력의 직류 성분을 커트하는 콘덴서(73),(74)와, 이들 콘덴서(73),(74)의 출력을 양극 기준 전위 레벨(본 예에서는, 전원 전압 레벨 vdd)에서 클램프하는 클램프 회로(75),(76)와, 클램프 회로(75)의 클램프 출력에 따라 클램프 회로(76)의 클램프 출력을 샘플링하는 샘플링 스위치(77)를 가지고, 회로 출력 단자(78)로부터 포지티브 전원 전압 2vdd을 제2 포지티브 전원 vdd2로서 도출하는 구성으로 되어 있다.

다음에 상기 구성의 포지티브 전원 발생 회로(62)의 회로 동작에 대하여 설명한다.

상기 포지티브 전원 발생 회로(62)에는, OV~vdd의 진폭을 갖는 클록, 예를 들면 수평 드라이브(59)(도 15를 참조)에 입력되는 수평 클록 HCK이 입력된다. 이 입력 클록은 인버터(71)에서 반전되고, 그 후 인버터(72)에서 다시 반전된다. 이들 인버터(71),(72)의 각 반전 클록, 즉 입력 클록에 대하여 역상의 클록 및 정상의 클록은, 콘덴서(73),(74)를 통과함으로써 직류 성분이 커트된다.

그리고, 콘덴서(73),(74)를 경유한 각 클록은, 클램프 회로(75),(76)에 있어서 각각 "L" 레벨 측이 전원 전압 vdd에서 클램프된다. 이로써, 클램프 회로(75),(76)의 각 클램프 출력은, 도면 중의 과정으로부터도 명백한 바와 같이, vdd~2 vdd의 진폭을 가지고 또한 서로 역상의 관계로 된다. 그리고, 샘플링 스위치(77)가 클램프 회로(75)의 클램프 출력의 "L" 레벨, 즉 vdd에서 온 상태로 됨으로써, 클램프 회로(76)의 클램프 출력의 "H" 레벨, 즉 2vdd를 출력한다. 이것이 포지티브 전원 전압 2vdd로서 회로 출력 단자(78)로부터 도출된다.

도 19는 클램프 회로(75),(76) 및 샘플링 스위치(77)의 제1 구체예를 나타낸 회로도이다. 그리고, 도면 중, 도 18과 동등 부분에는 동일한 부호를 붙여 나타내고 있다.

클램프 회로(75)는 콘덴서(73)의 출력단과 전원(vdd) 사이에 접속되고, 그 게이트가 콘덴서(74)의 출력단에 접속된 NMOS 트랜ジ스터(Qn71)에 의해 구성되어 있다. 클램프 회로(76)는 콘덴서(74)의 출력단과 전원(vdd) 사이에 접속되고, 그 게이트 콘덴서(73)의 출력단에 접속된 NMOS 트랜ジ스터(Qn72)에 의해 구성되어 있다. 샘플링 스위치(77)는, 콘덴서(74)의 출력단과 회로 출력 단자(78) 사이에 접속되고, 그 게이트가 콘덴서(73)의 출력단에 접속된 PMOS 트랜ジ스터(Qp71)에 의해 구성되어 있다.

다음에, 상기 구성의 클램프 회로(75),(76) 및 샘플링 스위치(77)의 회로 동작에 대하여 설명한다.

먼저, 입력 클록에 대하여 정상의 클록이 "H" 레벨일 때, 이 정상 클록이 콘덴서(74)에서 직류 커트됨으로써, 콘덴서(74)의 출력단(이하, 노드B라고 함)의 전위가 약간 플러스 측으로 치우친다. 이로써, NMOS 트랜ジ스터(Qn71)가 턴온한다. 그러면, NMOS 트랜ジ스터(Qn71)는 콘덴서(73)의 출력단(이하, 노드A라고 함)의 전위를 전원 vdd 측으로 끌기 시작한다.

노드A의 전위가 전원 vdd 측으로 끌리면, NMOS 트랜ジ스터(Qn72)도 턴온한다. 그러면, NMOS 트랜ジ스터(Qn72)는 노드B의 전위를 플러스 측으로 끌기 시작하여 노드B의 전위를 더욱 상승시킨다. 노드B의 전위가 상승하면, 노드A의 전위가 더욱 전원 vdd 측으로 접근해 온다. 상기 동작을 반복하여, 즉 포지티브 피드백에 의해, 노드A의 "L" 레벨(OV)이 전원 전압 레벨 vdd에서 클램프된다. 이로써, 클램프 회로(75)의 클램프 출력은 vdd~2vdd의 진폭을 갖는 입력 클록에 대하여 역상의 클록으로 된다.

한편, 입력 클록에 대하여 역상의 클록이 "L" 레벨일 때, 이 역상 클록이 콘덴서(73)에서 직류 커트됨으로써, 노드A의 전위가 약간 플러스 측으로 치우친다. 이로써, NMOS 트랜ジ스터(Qn72)가 턴온한다. 그러면, NMOS 트랜ジ스터(Qn72)는 노드B의 전위를 전원 vdd 측으로 끌기 시작한다.

노드B의 전위가 전원 vdd 측으로 끌리면, NMOS 트랜ジ스터(Qn71)도 턴온한다. 그러면, NMOS 트랜ジ스터(Qn71)는 노드A의 전위를 플러스 측으로 끌기 시작하여 노드A의 전위를 더욱 높인다. 노드A의 전위가 높아지면, 노드B의 전위가 더욱 전원 vdd 측으로 접근해 온다. 상기 포지티브 피드백에 의해, 노드B의 "L" 레벨이 전원 전압 레벨 vdd에서 클램프된다. 이로써, 클램프 회로(76)의 클램프 출력은, vdd~2vdd의 진폭을 갖는 입력 클록에 대하여 정상의 클록으로 된다.

그리고, 노드A의 전위가 "L" 레벨, 즉 vdd일 때에는, PMOS 트랜ジ스터(Qp71)가 온 상태로 되기 때문에, 노드A의 클램프 출력과 역상의 노드B의 클램프 출력, 즉 "H" 레벨 2vdd이 출력된다. 또, 노드A의 전위가 "H" 레벨, 즉 2vdd일 때에는, PMOS 트랜ジ스터(Qp71)가 온 상태로 되기 때문에, 상기 2vdd가 그대로 출력된다.

이와 같이, 클램프 회로(75),(76)가 상대 측의 입력 클록에 따라 클램프 동작을 행하는 구성으로 함으로써 포지티브 피드백이 걸리기 때문에, 기준 전위 레벨(본 예에서는, 포지티브 전원 전압 레벨 vdd)에서 확실하게 클램프되고, 그 기준 전위 레벨의 2배의 전원 전압 2vdd를 발생할 수 있다.

도 20은 포지티브 전원 발생 회로(62)의 제1 변형예를 나타낸 회로도이며, 도면 중, 도 19와 동등 부분에는 동일 부호를 붙여 나타내고 있다. 상기 제1 변형예에 있어서는, 회로 출력 단자(78)와 전원 vdd 사이에, 정전압화 수단, 예를 들면 제너 다이오드(79)를 접속한 구성으로 되어 있다. 상기 제1 변형예에 관한 포지티브 전원 발생 회로(62)를 구동 회로 일체형 액정 표시 장치에 탑재하는 경우에는, 도 21에 나타낸 바와 같이, 제너 다이오드(79)는 LCD 패널(51)의 외부에 장착되게 된다.

이와 같이, 회로 출력 단자(78)와 전원 vdd 사이에 제너 다이오드(79)를 접속함으로써, 포지티브 전원 전압 2vdd의 전압치가 제너 다이오드(79)의 제너 전압으로 결정되므로, 그 제너 전압을 선정함으로써 소정 전압치의 포지티브 전원 전압 2vdd을 용이하고 또한 안정되게 얻을 수 있게 되는 정전압화 수단으로서는, 제너 다이오드에 한정되지 않고, 바이폴라 다이오드, MOS 다이오드 등이라도 된다.

그리고, 포지티브 전원 발생 회로(62)의 다른 변형예로서는, 도 10 및 도 11에 나타낸 네거티브 전원 발생 회로(22)와 동일한 구성의 변형예를 생각할 수 있다. 그리고, 클램프 회로(75),(76) 및 샘플링 스위치(77)로서도, 도 12 및 도 13에 나타낸 회로 구성은 생각할 수 있다. 이 경우, 클램프 회로(75),(76) 및 샘플링 스위치(77)를 구성하는 각 MOS 트랜지스터로서는, 클램프 회로(35),(36) 및 샘플링 스위치(37)와 역(逆)도전형의 트랜지스터가 사용되고, 또한 그라운드가 전원 vdd으로 치환되게 된다.

그리고, 상기 실시 형태에 있어서는, 본 발명에 관한 포지티브 전원 발생 회로(62)를, 수평 드라이버(59) 및 수직 드라이버(60)를 함께 LCD 패널(61) 상에 유효 화소 영역(52)과 일체 형성(on-chip)한 구동 회로 일체형 액정 표시 장치에 탑재하는 경우를 예로 택하여 설명하였으나, 이에 한정되지 않고, 수평 드라이버(59)를 오프 칩으로 하고, 수직 드라이버(60)를 온 칩으로 한 구동 회로 일체형 액정 표시 장치에도 동일하게 적용 가능하다.

또, 포지티브 전원 발생 회로(62)에서 발생한 포지티브 전원 전압을 수직 드라이버(60)에 공급하는 적용예에 대하여 설명하였으나, 이 적용예에 한정되지 않고, 구동 회로 일체형 액정 표시 장치 내의 포지티브 전원을 필요로 하는 다른 회로에 공급하는 경우에도 동일하게 적용 가능하다. 그 외의 적용예에 대하여 다음에 설명한다.

도 22는 다른 적용예를 나타낸 액티브 매트릭스형 액정 표시 장치의 구성의 일례를 나타낸 블록도이며, 도면 중, 도 15와 동등 부분에는 동일 부호를 붙여 나타내고 있다.

본 적용예에 관한 구동 회로 일체형 액정 표시 장치에 있어서, 수평 드라이버(59)는, 수평 시프트 레지스터(591), 샘플링&제1 래치 회로(592), 제2 래치회로 (593), 레벨 시프터(594) 및 DA 컨버터(595)에 의해 구성되어 있다. 상기 수평 드라이버(59)에 있어서, 각 회로부(591~595)는, 도 14의 각 회로부(191~195)와 동일한 기능을 가지고 있다. 그 상세한 설명은 중복되므로 생략하기로 한다.

상기 구성의 액정 표시 장치에 있어서, 공통 전압 VCOM(도 15를 참조)을 1H마다 반전시키는 VCOM 반전 구동을 사용하는 경우를 생각한다. 이 VCOM 반전 구동을 사용한 액정 표시 장치에 있어서, 예를 들면 0V~5V의 레벨 범위의 기준 전압을 선택하는 DA 컨버터(595)에서는, 기준 전압을 선택하기 위한 아날로그 스위치로서 MOS 트랜지스터를 사용한 경우에, 선택되는 기준 전압의 다이나믹 레인지를 확보하기 위해서는, PMOS 트랜지스터의 스레시홀드치를 Vthp, NMOS 트랜지스터의 스레시홀드치를 Vthn으로 하면, 선택 데이터 신호의 "L" 레벨 측은 0V-Vthp 이하가 아니면 안되고, "H" 레벨 측은 5V+Vthn 이상이 아니면 안된다.

이와 같이, 선택 데이터 신호의 진폭을 기준 전압의 레벨 범위에 대하여 PMOS 트랜지스터의 스레시홀드치 Vthp 만큼 낮게, NMOS 트랜지스터의 스레시홀드치 Vthn 만큼 높은 레벨 범위(상기의 예에서는, 0V-Vthp~5V+Vthn) 이상으로 설정할 필요가 있으므로, DA 컨버터(595)의 전단에 레벨 시프터(594)가 배치되어 있는 것이다. 그리고, 이 레벨 시프터(594)는 상기의 이유로부터 포지티브 전원을 필요로 한다.

그래서, 본 적용예에서는, 도 22에 나타낸 바와 같이, LCD 패널(61) 내에 포지티브 전원 발생 회로(62)를 내장하고, 이 포지티브 전원 발생 회로(62)에서 발생된 포지티브 전원 전압을 레벨 시프터(594)에 공급하도록 한다. 이와 같이, 포지티브 전원 발생 회로(62)를 내장함으로써, 포지티브 전원 발생 회로(62)를 LCD 패널(61)의 외부에 설치할 필요가 없기 때문에, 그 만큼 세트 설계의 부담을 경감할 수 있게 된다.

그리고, 상기 각 적용예에서는, 구동 회로 일체형 액정 표시 장치에 적용한 경우를 예로 택하여 설명하였으나, 구동 회로 일체형 액정 표시 장치에 대한 적용 뿐 아니라, 포지티브 전원 전압을 필요로 하는 장치 전부에 적용 가능하다.

또, 제1 실시 형태에서는 네거티브 전원 발생 회로(22)를 내장한 경우를, 또 제2 실시 형태에서는 포지티브 전원 발생 회로(62)를 내장한 경우를 각각 예로 취하여 설명하였으나, 네거티브 전원 발생 회로(22) 및 포지티브 전원 발생 회로(62)를 함께 내장한 구성을 취하는 것도 가능하다.

## 발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 구동 회로 일체형의 액정 표시 장치에 있어서, 전원 발생 회로를 LCD 패널 상에 내장하고, 이 전원 발생 회로에서 발생한 전원 전압을 구동 회로에 공급하도록 함으로써, LCD 패널 외부에 전원 발생 회로를 설치할 필요가 없기 때문에, 세트 설계의 부담을 경감할 수 있게 된다. 그리고, 네거티브 전원 전압을 발생하는 네거티브 전원 발생 회로를 내장한 액정 표시 장치에 있어서는, 패널 전원 전압을 높이지 않고, 입력 신호의 다이나믹 레인지를 확대할 수 있고, 또한 양호한 화질(특히 콘트라스트)을 얻는 것이 가능해 진다.

또, 포지티브 전원 전압을 발생하는 포지티브 전원 발생 회로를 내장한 액정 표시 장치에 있어서는, LCD 패널의 전원 전압을 올리지 않아도 게이트 선택 펄스의 진폭을 크게 할 수 있으므로, 짧은 시간으로도 화소에의 기입을 충분히 행할 수 있기 때문에, 점 순차 주사 방식일 때, LCD 패널의 좌측과 우측에서 기입 시간이 다르다고 하더라도 휘도 차가 발생하지 않고, 양호한 화질을 얻을 수 있다.

## 도면의 간단한 설명

도 1은 본 발명의 제1 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 구성예를 나타낸 블록도.

도 2는 제1 실시 형태에 관한 수직 드라이버를 구성하는 시프트 레지스터의 구성예를 나타낸 블록도.

도 3은 레벨 시프트 회로의 전후에 있어서의 스캔 펄스의 파형도.

도 4는 레벨 시프트 회로의 회로 구성의 일례를 나타낸 회로도.

도 5는 네거티브 전원 발생 회로의 구성예를 나타낸 블록도.

도 6은 네거티브 전원 발생 회로를 구성하는 클램프 회로 및 샘플링 스위치의 제1 구체예를 나타낸 회로도.

도 7은 시뮬레이션 결과를 나타낸 파형도.

도 8은 네거티브 전원 발생 회로의 제1 변형예를 나타낸 회로도.

도 9는 제1 변형예에 관한 네거티브 전원 발생 회로를 탑재한 액정 표시 장치의 구성예를 나타낸 블록도.

도 10은 네거티브 전원 발생 회로의 제2 변형예를 나타낸 회로도.

도 11은 네거티브 전원 발생 회로의 제3 변형예를 나타낸 회로도.

도 12는 클램프 회로 및 샘플링 스위치의 제2 구체예를 나타낸 회로도.

도 13은 클램프 회로 및 샘플링 스위치의 제3 구체예를 나타낸 회로도.

도 14는 제1 실시 형태에 관한 네거티브 전원 발생 회로를 탑재한 액티브 매트릭스형 액정 표시 장치의 구성예를 나타낸 블록도.

도 15는 본 발명의 제2 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 구성예를 나타낸 블록도.

도 16은 제2 실시 형태에 관한 수직 드라이버를 구성하는 시프트 레지스터의 구성예를 나타낸 블록도.

도 17은 레벨 시프트 회로의 전후에 있어서의 스캔 펄스의 파형도.

도 18은 포지티브 전원 발생 회로의 구성예를 나타낸 블록도.

도 19는 포지티브 전원 발생 회로를 구성하는 클램프 회로 및 샘플링 스위치의 구체예를 나타낸 회로도.

도 20은 포지티브 전원 발생 회로의 변형 예를 나타낸 회로도.

도 21은 변형 예에 관한 포지티브 전원 발생 회로를 탑재한 액정 표시 장치의 구성 예를 나타낸 블록도.

도 22는 제2 실시 형태에 관한 포지티브 전원 발생 회로를 탑재한 액티브 매트릭스형 액정 표시 장치의 구성 예를 나타낸 블록도.

도 23은 액정 표시 장치의 구동 전압과 비디오 신호의 진폭의 관계(A) 및 입력 비디오 신호와 콘트라스트의 관계(B)를 나타낸 도면.

도 24는 화소의 등가 회로도.

도 25는 리크성 휘점이 생기는 개념을 설명하는 파형도.

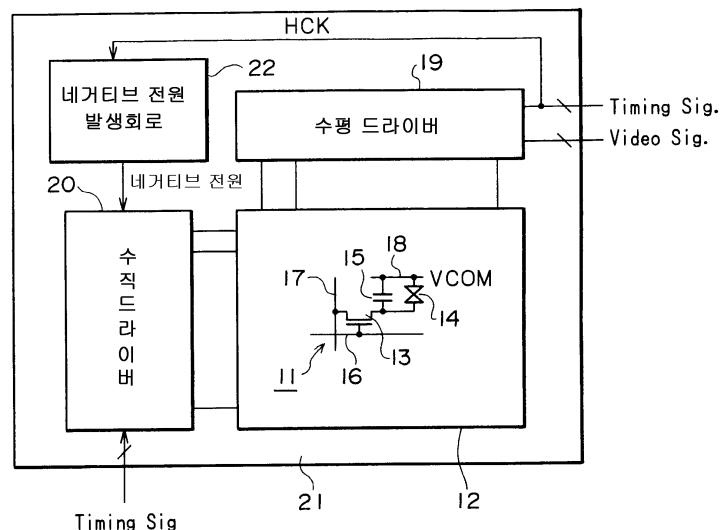
도 26은 화소 트랜지스터의 특성 예를 나타낸 도면.

[도면의 주요 부분에 대한 부호의 설명]

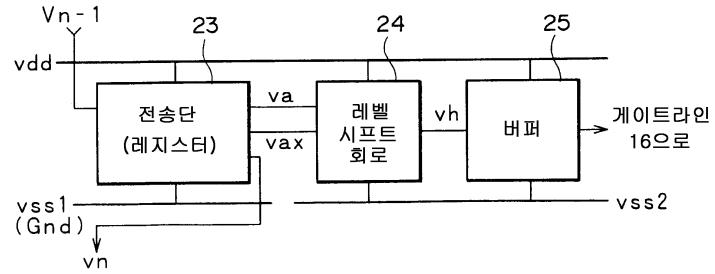
11,51 ; 화소, 52 ; 유효 화소 영역, 13,53 ; TFT(박막 트랜지스터), 14,54 ; 액정 셀, 16,56 ; 게이트 라인(스캔 라인), 17,57 ; 소스 라인, 19,59 ; 수평 드라이버, 20,60 ; 수직 드라이버, 21,71 ; LCD 패널, 22 ; 네거티브 전원 발생 회로, 24,64 ; 레벨 시프트 회로, 35,36,75,76 ; 클램프 회로, 37,77 ; 샘플링 스위치, 39,79 ; 제너레이터, 62 ; 포지티브 전원 발생 회로.

**도면**

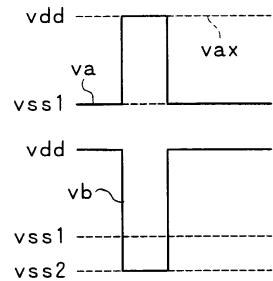
도면1



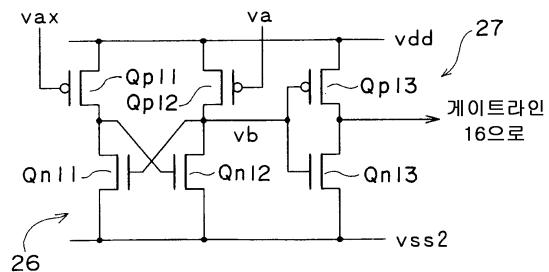
도면2



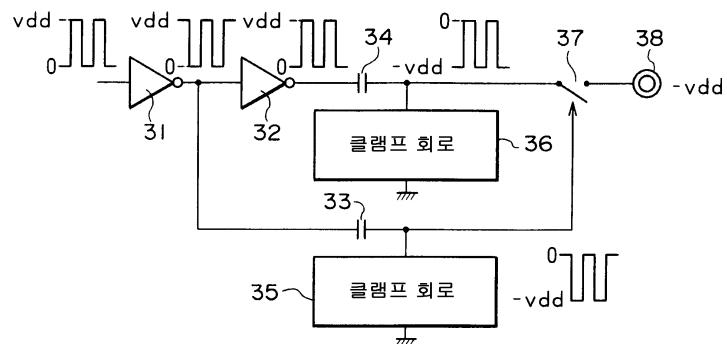
도면3



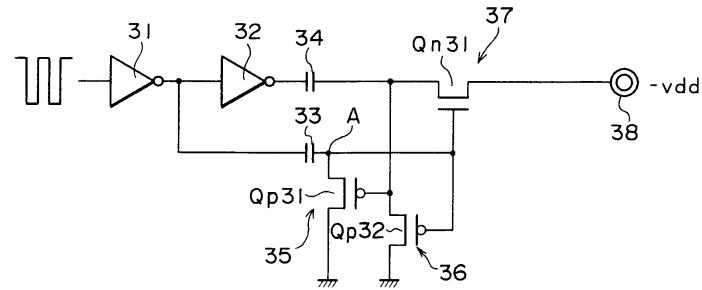
도면4



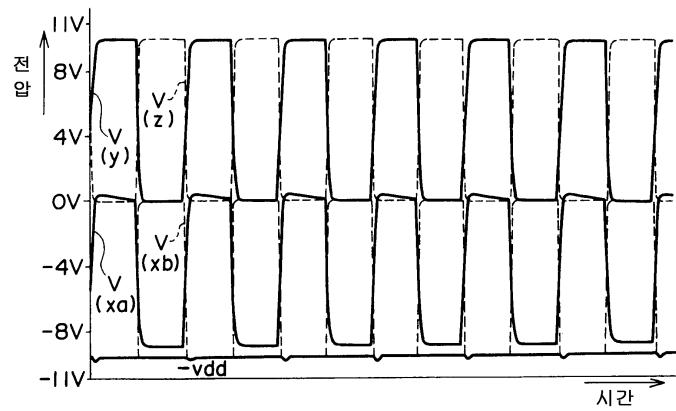
도면5



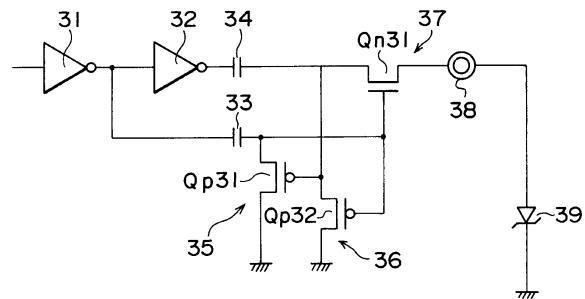
도면6



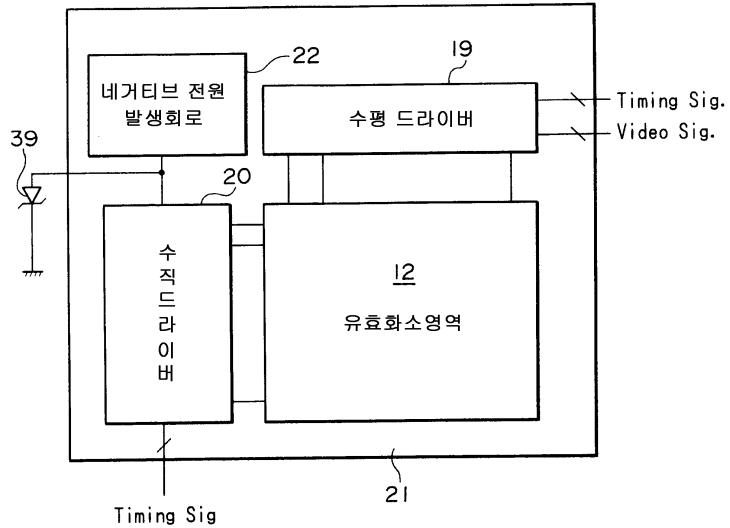
도면7



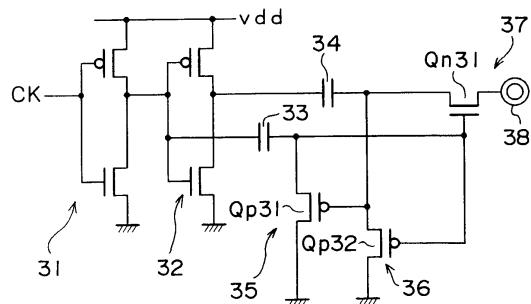
도면8



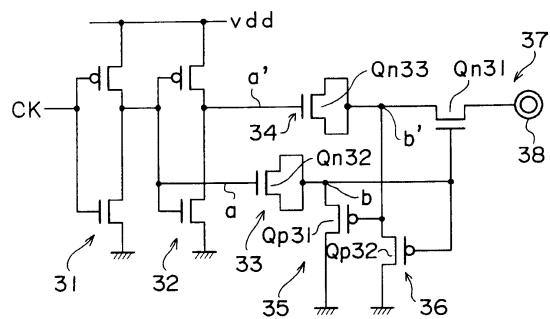
도면9



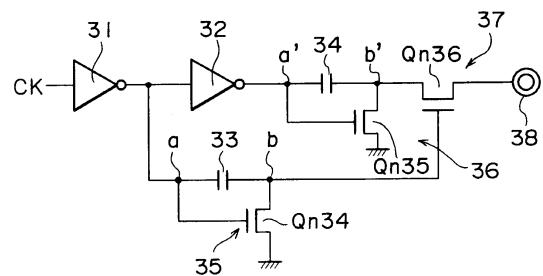
도면10



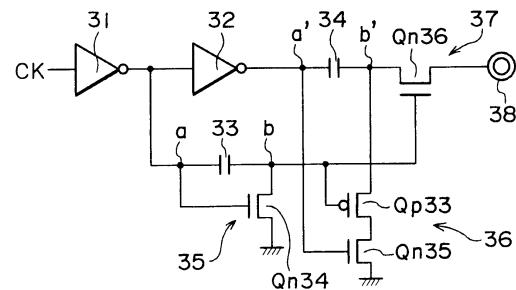
도면11



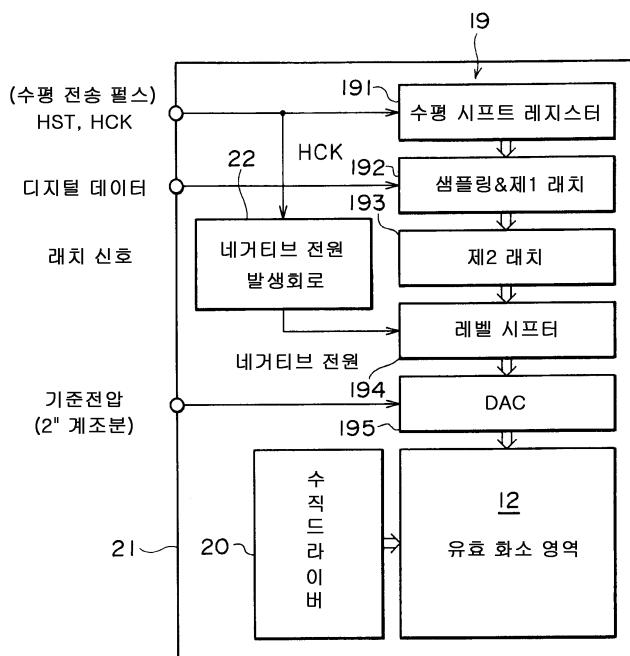
도면12



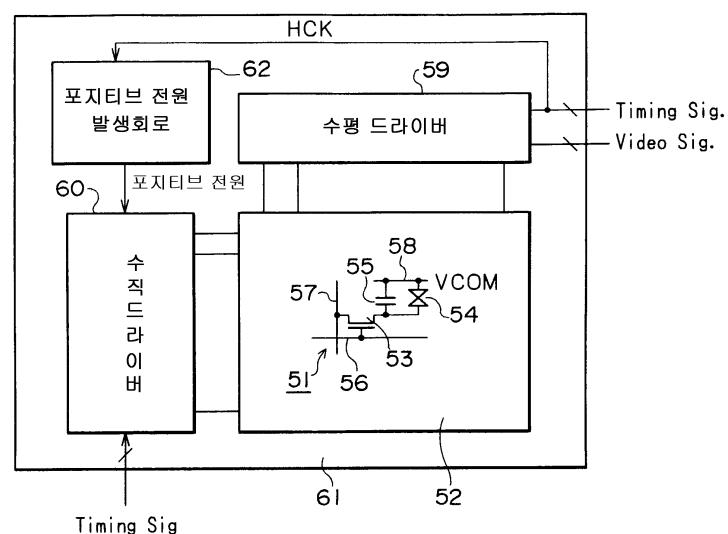
도면13



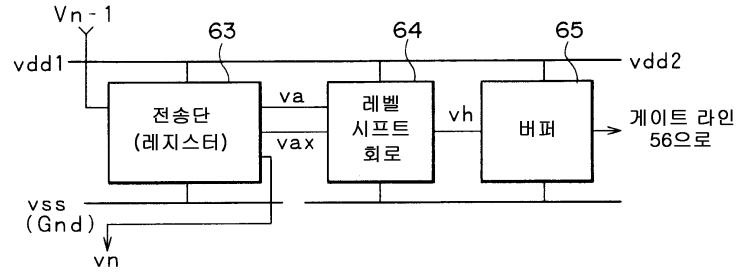
도면14



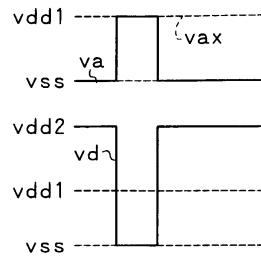
도면15



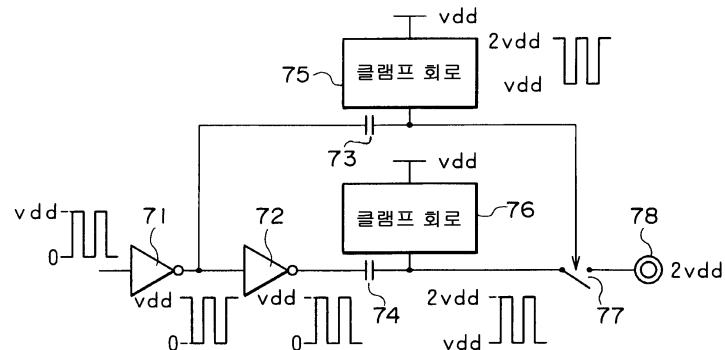
도면16



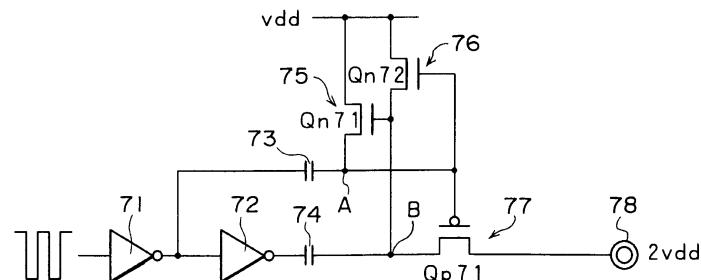
도면17



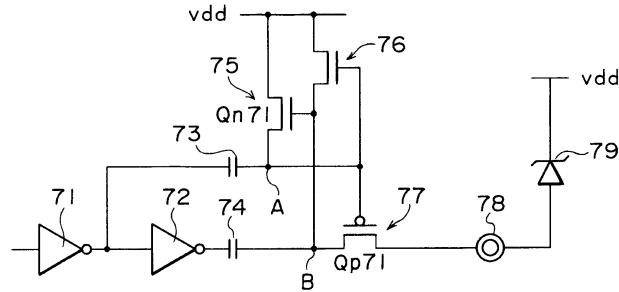
도면18



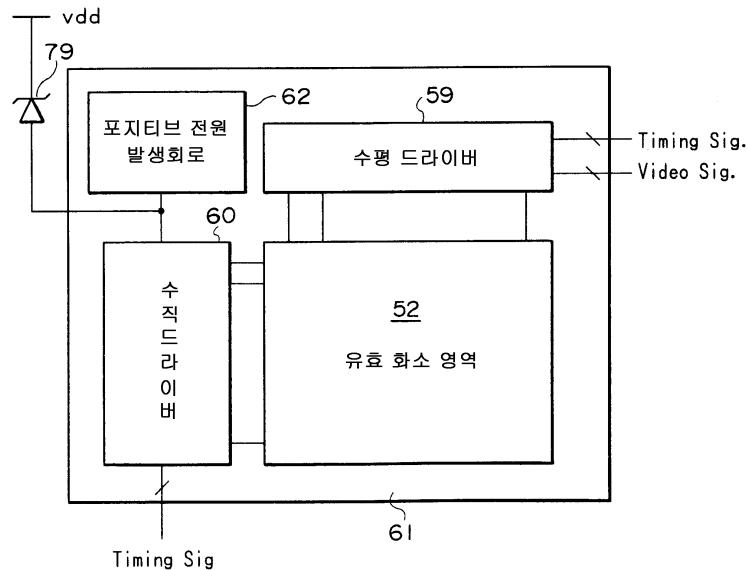
도면19



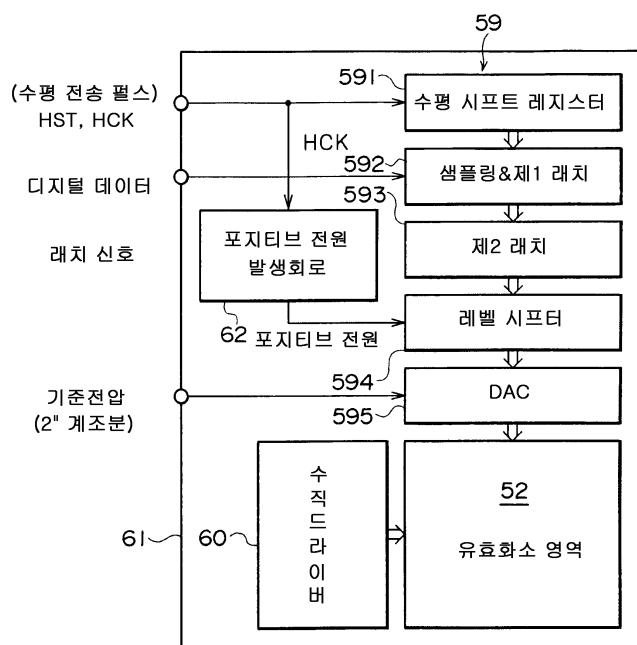
도면20



도면21

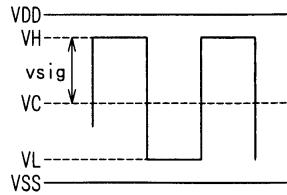


도면22

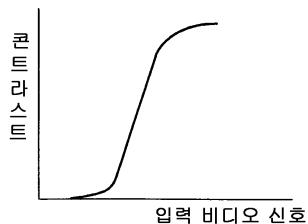


도면23

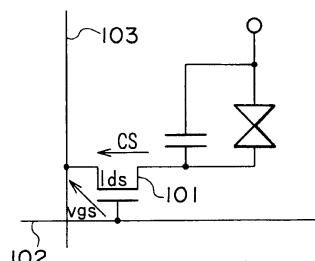
(A)



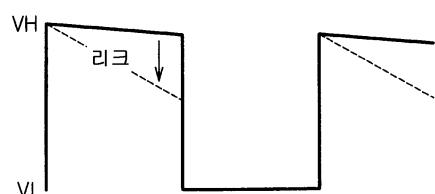
(B)



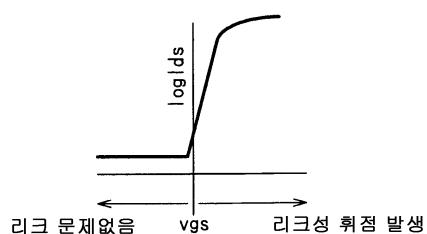
도면24



도면25



도면26



专利名称(译)	电源产生电路，其产生方法和液晶显示装置		
公开(公告)号	<a href="#">KR100648139B1</a>	公开(公告)日	2006-11-24
申请号	KR1020000007589	申请日	2000-02-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	MAEKAWA TOSHIKAZU 마에카와 도시카즈 NAKAJIMA YOSHIHARU 나카지마 요시하루 MORITA SHINTAROU 모리타 신타로		
发明人	마에카와 도시카즈 나카지마 요시하루 모리타 신타로		
IPC分类号	G09G3/36 G02F1/133 G05F3/20 G09G3/20 G09G5/00 H02M3/07		
CPC分类号	H02M3/07 G09G3/3674 G09G2330/02 G09G2310/0289 G09G3/3696		
代理人(译)	您是我的专利和法律公司 KIM , JAE MAN		
优先权	1999367235 1999-12-24 JP 1999039413 1999-02-18 JP		
其他公开文献	KR1020000058088A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明的目的在于提供一种发电电路，其中，当将负极或正极发电电路安装在LCD面板外部时，在设计中不会产生负担。生成方法和液晶显示器。对于驱动电路集成型液晶显示器，它在LCD面板上具有正或负发电电路。正电压或负电压提供给垂直驱动电路。发电电路，电源产生方法和液晶显示器。

