

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ G02F 1/136 (2006.01)		(45) 공고일자	2006년01월20일
		(11) 등록번호	10-0543061
		(24) 등록일자	2006년01월06일
(21) 출원번호	10-2001-0030702	(65) 공개번호	10-2002-0091898
(22) 출원일자	2001년06월01일	(43) 공개일자	2002년12월11일

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	양준영 경기도부천시원미구심곡1동409-10
(74) 대리인	특허법인네이트

심사관 : 임동재

(54) 구동회로부 일체형 액정표시장치용 어레이 기판의 제조방법

요약

본 발명에서는 SLS 결정화 기술에 의한 단결정 실리콘을 반도체 소자로 하는 박막트랜지스터 제조 공정중 게이트 전극의 패터닝 공정에서, 상기 게이트 전극이 PR패턴과 대응하는 위치보다 내부로 일정면적 과다식각되는 현상을 이용하여, 상기 게이트 전극의 마스크 공정에 사용된 PR패턴을 그대로 이온도핑 공정용 마스크로 이용하여 이온도핑 공정이 단순화된 구동회로부 일체형 액정표시장치용 박막트랜지스터 제조방법을 제공하므로써, 소자 성능, 균일도, 신뢰성이 향상을 꾀할 수 있으며, 이온도핑 공정에 소요되는 마스크 수를 절감하여, 공정수 및 공정시간을 줄여 생산수율이 향상된 액정표시장치를 제공할 수 있다.

대표도

도 10a

명세서

도면의 간단한 설명

도 1은 일반적인 구동회로부 일체형 액정표시장치의 개략도.

도 2a 및 2b는 상기 도 1의 화소부 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터의 단면을 각각 도시한 단면도.

도 3은 상기 도 2a 및 2b에 따른 탑 게이트형 박막트랜지스터의 제조공정을 공정흐름도.

도 4a 내지 4c와 도 5a 내지 5c는 상기 도 3의 ST 1 내지 4에 해당하는 제조 공정을 제조 단계별로 각각 도시한 단면도.

도 6 및 7a 내지 7c는 각각 레이저 에너지 밀도별 비정질 실리콘의 결정화 곡선 그래프 및 상기 그래프의 각 영역대별 실리콘 결정화 메커니즘(mechanism)에 대한 단면을 도시한 단면도.

도 8a 내지 8c는 SLS 결정화 기술에 따른 단결정 실리콘의 제조공정에 대한 제조 단계별 평면도.

도 9a 내지 9c 및 도 10a 내지 10c는 본 발명의 제 1 실시예에 따른 화소부 박막트랜지스터 및 화소부 CMOS구조 박막트랜지스터의 상기 도 3의 ST1 내지 ST4에 해당하는 공정에 대해서 제조 단계별로 각각 도시한 단면도.

도 11a 내지 11d 및 12a 내지 12d는 본 발명의 제 2 실시예에 따른 화소부 박막트랜지스터부 및 구동회로부 CMOS구조 박막트랜지스터부의 상기 도 3의 ST1 내지 ST4에 해당하는 제조 공정을 제조 단계별로 각각 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 투명기관 108 : 버퍼층

112a, 113a : 활성화층 112b, 113b : n형 오믹콘택층

114 : 게이트 절연막 예비패턴 120a, 120b : 게이트 전극

122 : 제 1 PR패턴

Xa : 구동회로부 n형 박막트랜지스터부

Xb : 구동회로부 p형 박막트랜지스터부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 구동회로부 일체형 액정표시장치용 박막트랜지스터의 제조방법에 관한 것이다.

최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술집약적이며 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.

상기 액정표시장치는 박막트랜지스터(Thin Film Transistor; TFT)를 포함하는 어레이 기관과 컬러 필터(color filter) 기관 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 영상효과를 얻는 비발광 소자에 의한 화상표시장치를 뜻한다.

현재에는, 상기 박막트랜지스터와 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

상기 박막트랜지스터 소자로써는 수소화된 비정질 실리콘(amorphous-Silicon:H; 이하 비정질 실리콘(a-Si)이라 약칭함)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기관을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가시 준 안정상태로 변화되어 박막트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있다. 특히 비정질 실리콘은 빛조사에 의해 특성이 저하되는 문제점이 있고, 표시화소 구동 소자의 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{ cm}^2/\text{V}\cdot\text{s}$)과 신뢰성 저하로 인해 구동회로에 쓰기 어렵다.

즉, 비정질 실리콘 박막트랜지스터 기판은 TCP(Tape Carrier Package) 구동 IC(Integrated Circuit)를 이용하여 절연기판과 PCB(Printed Circuit Board)를 연결하며, 구동 IC 및 실장비용이 원가에 많은 부분을 차지한다.

더욱이, 액정표시장치용 액정패널의 해상도가 높아지면, 박막트랜지스터 기판의 게이트 배선 및 데이터 배선을 상기 TCP와 연결하는 기판 외부의 패드 피치(Pitch)가 짧아져 TCP 본딩 자체가 어려워진다.

그러나, 다결정 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있어, 이 다결정 실리콘으로 기판에 직접 구동회로를 만들면 구동 IC 비용도 줄일 수 있고 실장도 간단해진다.

도 1은 일반적인 구동회로부 일체형 액정표시장치의 개략도이다.

도시한 바와 같이, 동일 기판(2) 상에 구동회로부(3)와 화소부(4)가 구성되어 있다.

상기 화소부(4)는 기판(2)의 중앙부에 위치하고, 이 화소부(4)의 좌측 및 상부에는 각각 게이트 및 데이터 구동회로부(3a, 3b)가 위치하고 있다.

상기 화소부(4)에는 상기 게이트 구동회로부(3a)와 연결된 다수 개의 게이트 배선(6)과 상기 데이터 구동회로부(3b)와 연결된 다수 개의 데이터 배선(8)이 교차하는 영역으로 정의되는 화소 영역 상에 화소 전극(10)이 형성되어 있고, 상기 화소 전극(10)과 연결되어 박막트랜지스터(T)가 형성되어 있다.

상기 게이트 및 데이터 구동회로부(3a, 3b)는 각각 게이트 및 데이터 배선(6, 8)을 통해 화소 전극(10)에 주사 신호 및 데이터 신호를 공급하기 위한 장치이다.

그리고, 상기 게이트 및 데이터 구동회로부(3a, 3b)는 외부신호 입력단(12)과 연결되어 있어, 이 외부신호 입력단(12)을 통하여 들어온 외부신호를 조절하여 상기 화소 전극(10)에 출력하는 역할을 한다.

상기 게이트 및 데이터 구동회로부(3a, 3b)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(complementary metal-oxide semiconductor)구조 박막트랜지스터(미도시)를 채용하고 있다.

상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막트랜지스터에 사용되는 반도체 기술의 일종으로서, 음전기로 충전된 여분의 전자들(n형 반도체) 또는 양전기로 충전된 캐리어(p형 반도체)를 이용하여 하나의 전도체를 형성하여, 상기 두 종류의 반도체들의 효과적인 전기제어에 의해 전류 게이트를 이루기 위해 상호 보완적인 방법으로 사용된다.

이하, 상기 화소부 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터에 대해서 확대도면을 참조하여 상세히 설명한다.

도 2a 및 2b는 상기 도 1의 화소부 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터의 단면을 각각 도시한 단면도로서, 상기 화소부 및 구동회로부 모두 반도체층 상부에 게이트 전극이 위치하는 탑게이트형 박막트랜지스터에 관한 것이다.

도 2a의 화소부 박막트랜지스터부(I)에는, 투명기판(1) 상부에 버퍼층(14)이 기판 전면에 걸쳐 형성되어 있고, 이 상부에는 반도체층(16)이 형성되어 있고, 이 반도체층(16) 상의 중앙부에는 게이트 절연막(18), 게이트 전극(20)이 차례대로 적층되어 있고, 이 게이트 전극(20) 상부에는, 제 1, 2 활성화층 콘택홀(22a, 22b)을 포함하는 층간절연막(24; interlayer)이 형성되어 있으며, 이 제 1, 2 활성화층 콘택홀(22a, 22b)과 각각 연결되며, 상기 게이트 전극(20)과 일정간격 오버랩되는 위치에 소스 및 드레인 전극(26, 28)이 서로 일정간격 이격되어 형성되어 있으며, 이 소스 및 드레인 전극(26, 28) 상부에는 드레인 콘택홀(30)을 포함하는 보호층(32)이 형성되어 있고, 이 보호층(32) 상부에는 상기 드레인 콘택홀(30)을 통해 드레인 전극(28)과 연결되어 화소 전극(34)이 형성되어 있다.

상기 반도체층(16)은 게이트 절연막(18)과 대응되는 영역은 활성화층(16a)을 이루고, 상기 소스 및 드레인 전극(26, 28)과 접촉되는 부분은 n^+ 도핑처리된 n형 오믹콘택층(16c)을 이루며, 상기 활성화층(16a)과 n형 오믹콘택층(16c) 사이의 드레인 전극(28)과 게이트 전극(20)간의 정션(junction)부분에는 LDD(Lightly Doped Drain)층(16b)이 위치한다.

상기 LDD층(16b)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로, 낮은 농도로 도핑처리하여 누설전류의 증가를 막고 온상태의 전류의 손실을 막는 역할을 한다.

도 2b에서, 상기 구동회로부의 CMOS구조 박막트랜지스터는 n형 반도체층(40)을 포함하는 박막트랜지스터(II)와 p형 반도체층(42)을 포함하는 박막트랜지스터(III)로 구성되며, 설명의 편의상 동일한 소자에 대해서는 II, III 순서대로 부호를 함께 기재한다.

도시한 바와 같이, 버퍼층(14)이 형성된 투명기관(1) 상에는 n형 반도체층(40)과 p형 반도체층(42)이 서로 일정간격 이격되어 형성되어 있고, n형 및 p형 반도체층(40, 42) 상부에는 각각 게이트 절연막(44a, 44b) 및 게이트 전극(46a, 46b)이 형성되어 있고, 이 게이트 전극(46a, 46b) 상부에는 기관 전면에 걸쳐 반도체층 콘택홀(47a, 47b, 47c, 47d)을 포함하는 층간절연막(24)이 형성되어 있고, 이 층간절연막(24) 상부에는 반도체층 콘택홀(47a, 47b, 47c, 47d)을 통해 각각 n형 및 p형 반도체층(40, 42)과 연결되어 각각 소스 및 드레인 전극((50a, 52a), (50b, 52b))이 형성되어 있고, 이 소스 및 드레인 전극((50a, 52a), (50b, 52b)) 상부에는 기관 전면에 걸쳐 보호층(32)이 형성되어 있다.

상기 n형 반도체층(40)은 상기 도 2a의 반도체층(16)과 같이 게이트 절연막(44a)과 접촉하는 영역을 활성화층(40a)으로 하고, 이 소스 및 드레인 전극(50a, 52a)과 접촉하는 영역을 포함하여 n형 오믹콘택층(40c)으로 하며, 그 사이 영역을 LDD층(40b)으로 구성하며, 상기 p형 반도체층(42)은 양전기로 충전된 캐리어를 이용하는 방식이므로, n형 박막트랜지스터(III)보다 캐리어의 열화 및 누설전류의 영향이 크지 않으므로, 별도의 LDD층을 구성하지 않고, 상기 제 2 게이트 절연막(44b)과 접촉하는 영역을 활성화층(42a)으로 하고, 이 활성화층(42a)의 외곽영역을 p형 오믹콘택층(42b)으로 구성하여 이루어진다.

이하, 상기 화소부의 박막트랜지스터 및 구동회로부의 CMOS구조 박막트랜지스터의 제조공정에 대해서 설명한다.

도 3은 상기 도 2a 및 2b에 따른 탑 게이트형 박막트랜지스터의 제조공정을 공정흐름도에 대한 것으로, 상기 제조공정에서는 감광성 포토 레지스트(PR; photo resist)를 이용한 포토리소그래피(Photolithography) 공정(이하, 마스크 공정으로 약칭함)이 수반된다.

도시한 바와 같이, ST1은 절연기관을 준비하는 단계이다.

이 단계에서는 투명기관을 준비하고, 이 투명기관 상에 약 3000Å 두께의 버퍼층(buffer layer)을 형성하는 단계이다. 이 버퍼층을 이루는 물질로는 실리콘 질화막(SiNx)나 실리콘 산화막(SiO₂)와 같은 무기절연막이 주로 이용된다.

ST2는 활성화층(active layer)을 형성하는 단계이다.

이 단계는, 상기 버퍼층이 형성된 기관 상에 약 550Å 두께로 비정질 실리콘(a-Si)을 증착하고, 탈수소화(dehydrogenation) 과정을 거친 후, 레이저 결정화 단계를 거쳐 다결정 실리콘을 형성하고, 이 다결정 실리콘을 이용하여 제 1 마스크 공정에 의해 활성화층으로 형성하는 단계이다.

ST3는 게이트 전극 및 게이트 절연막을 형성하는 단계이다.

이 단계에서는, 상기 활성화층이 형성된 기관 상에, 약 800Å의 실리콘 질화막, 2000Å의 몰리브덴(Mo)을 연속해서 증착한 후, 제 2 마스크 공정을 통해 게이트 전극 및 게이트 절연막을 형성하는 단계이다.

ST4는 n형 반도체층을 완성하는 단계이다.

이 단계에서는, 상기 게이트 전극 및 게이트 절연막이 형성된 기관 상에 n⁻ 도핑처리를 하여 LDD층을 형성한 후, 제 3 마스크 공정을 통해 n⁺ 도핑을 처리된 n형 오믹콘택층을 형성하는 단계이다.

ST5는 p형 반도체층을 완성하는 단계이다.

상기 n형 오믹콘택층이 형성된 기관 상에, 제 4 마스크 공정을 통해 p⁺ 도핑처리된 p형 오믹콘택층을 형성하는 단계이다.

ST6은 증간절연막을 형성하는 단계이다.

상기 p형 오믹콘택층이 형성된 기판 상에, 약 7000Å의 실리콘 질화막 또는 실리콘 산화막과 같은 무기절연막을 증착한 후, 제 5 마스크 공정에 의해 반도체층 콘택홀을 가지는 증간절연막을 형성하는 단계이다.

ST7은 소스 및 드레인 전극을 형성하는 단계이다.

이 단계에서는, 상기 증간절연막이 형성된 기판 상에, 약 500Å의 몰리브덴과, 약 3000Å의 알루미늄 네오뎀(AlNd)을 차례대로 증착한 후, 제 6 마스크 공정에 의해 일괄 에칭하여, 상기 반도체층 콘택홀을 통해 오믹콘택층과 연결되는 소스 및 드레인 전극을 형성하는 단계이다.

ST8은 보호층을 형성하는 단계이다.

이 단계에서는, 상기 소스 및 드레인 전극이 형성된 기판 상에, 약 4000Å의 실리콘 질화막을 증착하고, 이 실리콘 질화막의 수소화 열처리과정을 거친 후, 제 7 마스크 공정에 의해 드레인 콘택홀을 가지는 보호층을 형성하는 단계이다.

상기 수소화 열처리 과정은 어닐링 단계를 포함하여 실리콘 질화막에 포함된 수소를 저면을 몰아주기 위한 공정으로서, 일반적으로 380℃에서 질소(N₂)가스를 이용하여 1회 실시된다.

ST9는 화소 전극을 형성하는 단계이다.

이 단계에서는, 화소부 박막트랜지스터부에 해당하는 공정으로서, 상기 보호층이 형성된 기판 상에 약 400Å두께의 ITO(indium Tin Oxide)를 증착한 후, 제 8 마스크 공정에 의해 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 화소 전극을 형성하는 단계이다.

이하, 상기 도 3의 ST3, 4의 n형 및 p형 반도체의 제조 공정을 도면을 참조하여 설명한다.

도 4a 내지 4c와 도 5a 내지 5c는 화소부 박막트랜지스터부(I) 및 구동회로부 n형 및 p형 박막트랜지스터부(II, III)에서의 제조 공정을 제조 단계별로 각각 도시한 단면도이다.

도 4a 및 5a에서는, 상기 도 3의 ST1 내지 ST3 단계를 거친 기판 상에 n⁻ 도핑처리를 하는 단계이다.

이때, I, II 영역별 게이트 전극(20, 46a, 46b)을 마스크로 하여, 상기 활성화층(16a, 40a, 42a)의 외부로 노출된 영역을 n⁻ 도핑처리한다.

이 단계에서의, n⁻ 도핑과정은 낮은 도즈량의 이온주입에 의해 도핑농도를 낮추어 추후 공정에서 드레인 전극(미도시)에 의한 누설전류를 감소시키는 역할을 한다.

도 4b 및 5b에서는, 상기 n⁻도핑처리된 기판 상에, 별도의 마스크 공정에 의해 n⁺ 도핑처리를 하는 단계이다.

이 단계에서는, I, II 영역에서는, 각각의 게이트 전극(20, 46a) 및 이 게이트 전극(20, 46a)의 주변에 위치하는 n-도핑영역까지 포함하는 영역을 덮도록 제 1 PR(21)을 각각 도포하고, III영역에서는 게이트 전극(46b) 및 n⁻ 도핑된 영역(V)을 모두 덮도록 상기 제 1 PR(21)보다 넓은 면적을 가지는 제 2 PR(47)을 형성하고, n⁺ 도핑처리를 하여, 외부로 노출된 n⁻ 도핑영역이, n⁻보다 높은 도핑농도를 가지는 n⁺ 이온에 의해 도핑처리되어 I 및 II영역 상에 각각 n형 오믹콘택층(16c, 40c)을 형성하는 단계이다.

이 단계를 통해서, 상기 I, II 영역에서의 오믹콘택층(16c, 40c)과 활성화층(16a, 40a) 사이의 n⁻ 도핑된 영역은 각각 LDD층(16b, 40b)을 이루게 된다.

이 단계에서는, 상기 n형 오믹콘택층(16c, 40c)을 형성한 후, PR을 스트립하는 단계를 더욱 포함한다.

도 4c 및 5c는, 전술한 구동회로부 p형 박막트랜지스터용 p^+ 오믹콘택층을 형성하기 위해 p^+ 도핑처리하는 단계이다.

상기 단계에서는, 상기 I, II영역에는 각각의 게이트 전극(20, 46a) 및 오믹콘택층(16c, 40c)을 덮는 영역에 PR(49)을 형성하고, III영역의 n^- 도핑영역(V)은 외부로 노출되게 하여, p^+ 도핑처리를 한 후, p^+ 도핑처리된 p형 오믹콘택층(42c)을 형성하는 단계이다.

즉, 이와 같은 종래의 박막트랜지스터 제조공정에서는, 이온 도핑공정을 위해 2~3 마스크 공정이 요구됐었다.

상기 마스크 공정은 PR 코팅(photo resist coating), 노광(exposure), 현상(develop)을 포함하는 공정이므로, 마스크 공정이 추가될수록 제조비용 및 공정시간이 증가하게 되어 생산수율이 떨어지게 되고, 마스크 수가 증가될 수록 박막트랜지스터 소자에 결함을 발생시킬 확률이 높아지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여, 본 발명에서는 반도체층의 도핑과정에 소요되는 마스크 수를 절감하여 공정수 및 공정시간을 단축하여 생산수율이 향상된 액정표시장치를 제공하는 것을 목적으로 한다.

또한, 본 발명에서는 상기 반도체층을 이루는 물질로 SLS(sequential lateral solidification) 결정화 기술에 의한 단결정 실리콘을 이용함을 특징으로 한다.

종래의 구동회로부 일체형 액정표시장치용 반도체층으로는 높은 이동도를 가지는 다결정 실리콘이 주로 이용되었으나, 이 다결정 실리콘의 다수 개의 결정립계는 전류흐름의 장애요소로 작용하여 신뢰성 있는 박막트랜지스터 소자를 제공하기 어렵고, 다수 개의 결정립내에서는 전자간의 충돌에 의한 충돌전류 및 열화에 의해 절연막이 파괴되어 제품불량을 초래하는 문제점을 가지고 있었다.

이러한 문제점을 개선하기 위하여, 실리콘 결정립이 액상 실리콘과 고상 실리콘의 경계면에서, 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 SLS 결정화 기술에 의해 단결정 실리콘을 형성하는 기술(Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956~957, 1997)이 제안되었다.

상기 SLS 결정화 기술에서는, 레이저 에너지 크기와 레이저 빔의 조사범위 및 그 이동거리(translation distance)를 적절하여 조절하여, 실리콘 결정립을 소정의 길이만큼 측면성장시킴으로써, 비정질 실리콘을 단결정 수준으로 결정화시킬 수 있다.

이하, 레이저 에너지 밀도별 비정질 실리콘의 결정화 곡선그래프 및 상기 SLS 결정화 기술에 의한 단결정 실리콘의 제조공정에 대해서 도면을 참조하여 설명한다.

도 6 및 7a 내지 7c는 각각 레이저 에너지 밀도별 비정질 실리콘의 결정화 곡선 그래프 및 상기 그래프의 각 영역대별 실리콘 결정화 메커니즘(mechanism)에 대한 단면을 도시한 단면도를 도시한 것으로, 상기 도 7a 내지 7c의 단면도에 따른 기판은, 투명기판(100) 상에 버퍼층(102), 비정질 실리콘층(104)이 차례대로 적층된 구조를 갖는다.

도 6에서, 제 1 영역은 부분 용융 영역(partial melting regime)으로서, 이 영역에 해당하는 에너지 밀도 범위는 상기 비정질 실리콘층(104)의 증착두께를 약 500Å으로 하였을 경우, 300mJ/cm² 이하로서, 이 에너지 밀도에 의하면, 상기 비정질 실리콘층(104)의 표면만이 용융된 후, 어닐링(annealing) 과정에서 화살표 방향으로 작은 결정립(G)이 형성된다(도 7a 참조).

제 2 영역은 완전 용융 근접 영역(near-complete melting regime)으로서, 상기 버퍼층(102)과 근접한 영역까지 비정질 실리콘층(104)을 용융시킬 수 있는 에너지 밀도영역으로서, 이 비정질 실리콘층(104)과 버퍼층(102) 사이의 계면에 밀집되어 존재하는 씨드(103)의 작용에 의해 화살표 방향으로 조대한 결정립(G')이 형성되나, 상기 씨드(103)의 분포밀도가 일정하지 않아, 균일한 결정립을 수득하기는 어렵다(도 7b 참조).

제 3 영역은 완전 용융 영역(complete melting regime)으로 $370\text{mJ}/\text{cm}^2$ 이상의 에너지 밀도 영역대로서, 이 영역에서는 비정질 실리콘층(104) 전부를 용융시킨 후, 어닐링 공정 중에 균일한 결정핵생성(105 ; homogeneous nucleation)이 이루어져, 이 결정핵(105)에 의해 미세한(fine) 결정립(G'')이 형성된다(도 7c 참조).

상기 레이저 에너지 밀도별 실리콘의 결정화 특성에 의해, 다결정 실리콘 제조공정은, 부분용융 및 완전 용융 근접 영역에서의 에너지 밀도를 가지는 레이저를 비정질 실리콘층 상에 조사한 후, 어닐링 단계를 통해 이 비정질 실리콘층의 두께방향으로 결정립을 성장시키는 과정을 포함한다.

이하, 단결정 실리콘의 레이저 결정화 메카니즘에 대해서 설명한다.

도 8a 내지 8c는 SLS 결정화 기술에 따른 단결정 실리콘의 제조공정에 대한 제조 단계별 평면도이다.

도 8a에서는, 비정질 실리콘(104)층 상에 완전용융 영역대의 에너지 밀도를 가지는 레이저를 조사하여 비정질 실리콘층(104)을 완전용융시킨 후, 이 레이저 조사영역(A)의 상, 하 경계면에 존재하는 씨드(107)를, 이 씨드간에 표시된 화살표 방향으로 측면성장시켜 제 1 결정립(106a)을 형성하는 단계이다.

도면으로 제시하지는 않았지만, 상기 경계면상에 씨드(107)가 존재하는 것은, 레이저 빔이 소정의 슬릿(slits)을 통과하여 기판 상에 사각형상으로 조사되기 때문에, 상기 A영역의 경계면에는 A영역보다 낮은 에너지 밀도의 영향으로 씨드(107)가 존재하게 되는 것이다.

도 8b에서는, 상기 제 1 결정립(106a)을 측면성장시키는 단계로서, 상기 제 1 결정립(106a)의 성장방향으로 이 제 1 결정립의 끝단에서 상기 도 8a와 동일한 에너지 밀도를 가지는 레이저를 조사하여, 영역 B에서 비정질 실리콘층(104)을 완전용융시킨 후, 어닐링 단계를 거쳐 상기 제 1 결정립(106a)을 거대한 씨드로 하여, 이 제 1 결정립(106a)의 연속적인 측면 성장에 의해 제 2 결정립(106b)을 형성하는 단계이다.

도 8c에서는, 상기 도 8b와 같은 방식에 의해 제 2 결정립(106b)을 연속성장시켜 제 3 결정립(106c)을 형성하는 단계로서, 용융단계에서의 영역 C는 상기 제 2 결정립(106b)의 성장방향으로 이 제 2 결정립(106b)의 끝단에서 상기 도 8a 및 8b와 동일한 에너지 밀도를 가지는 레이저를 조사하여 결정립을 일정한 방향으로 측면성장을 하는 단계이다.

즉, 이러한 단결정 실리콘의 결정립 성장방향은, 추후 공정에서 활성화층의 채널방향과 일치하게 형성하여, 전기적 특성이 향상된 박막트랜지스터를 제공할 수 있게 된다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 하나의 특징에서는 구동회로부와 화소부를 동일 기판에 형성하는 구동회로부 일체형 액정표시장치용 구동회로부의 n형 박막트랜지스터와 p형 박막트랜지스터를 가지는 CMOS(complementary metal-oxide semiconductor)구조 박막트랜지스터 및 화소부 박막트랜지스터의 제조방법에 있어서, 절연기판을 준비하는 단계와; 상기 절연기판 상에, 완전용융 영역(complete melting regime) 에너지 밀도를 이용하여 형성된 단결정 실리콘(single crystal silicon)으로 이루어진 화소부 박막트랜지스터용 활성화층(active layer)과, 구동회로부 n형 및 p형 박막트랜지스터용 활성층을 형성하는 단계와; 상기 활성화층이 형성된 기판 상에, 게이트 절연막 물질 및 게이트 금속을 순차적으로 적층하고, 상기 게이트 금속 상부에 PR(photo resist)를 도포한 후, 하나의 마스크 공정으로 상기 활성화층보다 내부에 위치하는 게이트 절연막 예비패턴과, 상기 게이트 절연막 예비패턴보다 일정간격 내부에 위치하는 게이트 전극과, 상기 게이트 절연막 예비패턴과 대응하는 위치에 제 1 PR패턴을 차례대로 형성하는 단계와; 상기 제 1 PR패턴이 형성된 기판 상에, 제 1 도즈(dose)량의 이온 주입에 의해 n^+ 도핑처리하여 상기 활성화층의 일부를 n형 오믹콘택층(ohmic contact layer)으로 형성하는 단계와; 상기 n형 오믹콘택층이 형성된 기판 상에, 상기 제 1 PR패턴의 상기 게이트 전극과 단차지는 부분을 애싱(ashing)처리하여 제 2 PR패턴으로 형성하고, 상기 게이트 절연막 예비패턴을 식각하여 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막이 형성된 기판 상에, 상기 제 1 도즈량보다 낮은 값을 가지는 제 2 도즈량의 이온 주입에 의해 n^- 도핑처리하여 상기 제 1 PR패턴에 의해 차단되었던, 상기 제 1 PR패턴과 게이트 전극 사이구간의 활성화층을 LDD(Lightly Doped Drain)층으로 형성하는 단계와; 상기 LDD층이 형성된 기판 상에, 상기 화소부 박막트랜지스터 영역 및 구동회로부 n형 박막트랜지스터 영역을 차단하는 제 2 PR패턴을 형성하고, 상기 제 1 도즈량보다 높은 제 3 도즈량의 이온주입에 의해 p^+ 도핑처리하여 상기 p형 박막트랜지스터부의 n형 오믹콘택층 및 LDD층을 p형 오믹콘택층으로 형성하는 단계를 포함하는 구동회로부 일체형 액정표시장치용 박막트랜지스터의 제조방법을 제공한다.

본 발명의 또 다른 특징에서는, 구동회로부와 화소부를 동일 기판에 형성하는 구동회로부 일체형 액정표시장치용 구동회로부의 n형 박막트랜지스터와 p형 박막트랜지스터를 가지는 CMOS(complementary metal-oxide semiconductor)구조 박막트랜지스터 및 화소부 박막트랜지스터의 제조방법에 있어서, 절연기판을 준비하는 단계와; 상기 절연기판 상에, 완전 용융 영역(complete melting regime) 에너지 밀도를 이용하여 형성된 단결정 실리콘(single crystal silicon)으로 이루어진 화소부 박막트랜지스터용 활성화층(active layer)과, 구동회로부 n형 및 p형 박막트랜지스터용 활성화층을 형성하는 단계와; 상기 활성화층이 형성된 기판 상에, 게이트 절연막 물질 및 게이트 금속을 순차적으로 적층하고, 상기 게이트 금속 상부에 PR(photo resist)를 도포한 후, 하나의 마스크 공정으로 상기 활성화층보다 내부에 위치하는 게이트 전극과 상기 활성화층과 게이트 전극 사이 영역과 대응하게 위치하는 제 1 PR패턴을 형성하는 단계와; 상기 제 1 PR패턴이 형성된 기판 상에, 제 1 도즈(dose)량의 이온주입에 의해 n^+ 도핑처리하여 상기 활성화층의 일부를 n형 오믹콘택층(ohmic contact layer)으로 형성하는 단계와; 상기 제 1 PR패턴을 스트립(strip)하고, 상기 제 1 도즈량보다 낮은 값을 가지는 제 2 도즈량의 이온주입에 의해 n^- 도핑처리하여, 상기 제 1 PR패턴에 의해 차단되었던, 상기 제 1 PR패턴과 게이트 전극 사이구간의 활성화층을 LDD(Lightly Doped Drain)층으로 형성하는 단계와; 상기 게이트 절연막 물질을 식각하여 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막이 형성된 기판 상에, 상기 화소부 박막트랜지스터 영역 및 구동회로부 n형 박막트랜지스터 영역을 차단하는 제 2 PR패턴을 형성하고, 상기 제 1 도즈량보다 높은 제 3 도즈량의 이온주입에 의해 p^+ 도핑처리하여, 상기 p형 박막트랜지스터부의 n형 오믹콘택층 및 LDD층을 p형 오믹콘택층을 형성하는 단계를 포함하는 구동회로부 일체형 액정표시장치용 박막트랜지스터의 제조방법을 제공한다.

상기 제 1, 2, 3 도즈량은 각각 $1E15/cm^2$, $1E13/cm^2$, $3E15/cm^2$ 으로 하는 것을 특징으로 하며, 상기 p형 오믹콘택층을 형성하는 단계 이후에는 층간절연막, 소스 및 드레인 전극, 보호층, 화소 전극을 순차적으로 형성하는 단계를 더욱 포함한다.

이하, 이와 같은 SLS 결정화 기술에 의한 단결정 실리콘을 반도체층으로 하는 구동회로부 일체형 액정표시장치의 도핑공정에서 대해서 설명한다.

참고로, 본 발명에서는 상기 도 3에 따른 탑 게이트형 박막트랜지스터 제조공정을 적용할 수 있으며, 상기 박막트랜지스터의 반도체층을 이루는 물질로는 SLS 결정화 기술에 의한 단결정 실리콘으로 한다.

<제 1 실시예>

본 발명에 따른 제 1 실시예에 의한 탑게이트형 박막트랜지스터의 제조공정에 있어서, 게이트 전극의 패터닝 공정에서, 게이트 전극이 PR패턴과 대응하는 위치보다 내부로 일정면적 과다식각되는 현상을 이용하여, 상기 게이트 전극의 마스크 공정에 사용된 PR패턴을 그대로 이온도핑 공정에 이용하므로써, 이온도핑 공정에 소요되는 마스크 수를 줄이는 것을 특징으로 한다.

이때, 상기 게이트 전극의 하부에 위치하는 게이트 절연막은 상기 PR패턴과 대응되는 위치에 형성한 후, 추후 공정에서 게이트 전극과 대응되게 식각하는 공정이 이어진다.

그리고, 본 발명에 따른 이온도핑공정은 기존과 달리 n^+ , n^- , p^+ 도핑공정순으로 진행된다.

도 9a 내지 9c 및 도 10a 내지 10c는 본 발명의 제 1 실시예에 따른 화소부 박막트랜지스터 및 화소부 CMOS구조 박막트랜지스터의 상기 도 3의 ST1 내지 4에 해당하는 공정에 대해서 제조 단계별로 각각 도시한 단면도로서, 설명의 편의상 각각 박막트랜지스터를 이루는 소자에 별도의 순번기재를 생략하고, 각 소자에 대한 부호를 화소부 박막트랜지스터부(IX), 구동회로부 n형 박막트랜지스터부(Xa), 구동회로부 p형 박막트랜지스터부(Xb) 순서대로 함께 기재한다.

도 9a 내지 10a에서, 투명기판(100) 상의 기판 전면에 걸쳐 버퍼층(108)을 형성하고, 이 버퍼층(108) 상부에 IX, Xa, Xb 순서대로 각각 활성화층(110a, 112a, 113a)을 형성한다.

상기 활성화층(110a, 112a, 113a)을 이루는 물질은 상기 도 8a 내지 8c에 따른 SLS 결정화 기술에 따른 단결정 실리콘을 특징으로 한다.

각각의 활성화층(110a, 112a, 113a) 상부에는 게이트 절연막 예비패턴(114), 게이트 전극(118, 120a, 120b)을 차례대로 형성하는데, 이때 게이트 절연막 예비패턴(114)은 활성화층보다는 내부에 위치하고 게이트 전극(118, 120a, 120b)보다는 외부로 일정면적 넓게 형성한다.

그리고, 이 게이트 전극(118, 120a, 120b) 상부에는 각각 상기 게이트 절연막 예비패턴(114)과 대응하는 위치에 제 1 PR패턴(122)을 각각 형성한다.

상기 제 1 PR패턴(122)은 상기 게이트 전극(118, 120a, 120b)의 마스크 공정에 따른 PR을 그대로 이용하는 것이다.

도면으로 제시하지는 않았지만, 상기 게이트 전극(118, 120a, 120b)의 마스크 공정은 게이트 전극물질을 증착하는 단계와, 이 게이트 전극물질 상부에 PR을 도포하는 단계와, 상기 PR을 노광(exposure), 현상(develop)하여 제 1 PR패턴(122)을 형성하는 단계와, 상기 제 1 PR패턴(122)에 따라 게이트 전극물질을 식각하는 단계를 포함하는데, 상기 게이트 전극물질을 식각하는 단계에서, 게이트 전극물질이 식각되는 방향은 이방성을 가지므로, 실질적인 게이트 전극(118, 120a, 120b)패턴은 양 옆으로 어느 정도 과다식각되어, 상기 제 1 PR패턴보다 내부에 위치하게 된다.

기존에는 이렇게 게이트 전극과 단차를 형성하는 PR패턴의 단차진 부분을 에칭(ashing)한 다음, n^- 도핑 공정을 진행했었다.

그러나, 본 발명에서는 이러한 에칭공정을 거치지 않고, 제 1 PR패턴(122)과 게이트 전극(118, 120a, 120b)간의 단차를 이용하여, n^+ 도핑공정을 n^- 도핑공정보다 선행하므로써, 마스크 공정수를 줄이고자 하는 것이다.

상기 제 1 PR패턴(122)이 형성된 기판 상에, 일정한 도즈량에 의한 이온 주입에 의해 n^+ 도핑처리를 한 후, 이 제 1 PR패턴(122)으로 차단되지 않고, 활성화층(110a, 112a, 113a)의 외부로 노출된 영역은 n^+ 도핑처리된 n 형 오믹콘택층(110b, 112b, 113b)으로 형성된다.

이 단계에서의 도즈량은 $1E15/cm^2$ 으로 하는 것이 바람직하다.

도 9b 및 10b에서는, 상기 n 형 오믹콘택층(110b, 112b, 113b)이 형성된 기판 상에 n^- 도핑처리를 하는 단계이다.

이 단계에서는, 상기 n 형 오믹콘택층(110b, 112b, 113b)이 형성된 기판 상에, 상기 제 1 PR패턴(도 9a 및 10a의 122) 및 게이트 절연막 예비패턴(도 9a 및 10a의 114)을 상기 게이트 전극(118, 120a, 120b)과 대응되는 폭을 갖도록 각각 에칭(ashing) 및 식각하는 단계를 거쳐 제 2 PR패턴(124) 및 게이트 절연막(126)을 각각 형성한 후에 진행함을 특징으로 한다.

즉, 이 단계에서는 별도의 마스크 추가없이 상기 에칭처리된 제 2 PR패턴(124)를 n^- 도핑공정용 마스크로 사용함을 특징으로 한다.

다음, 상기 에칭 및 식각공정을 거친 후, 게이트 절연막(126), 게이트 전극(118, 120a, 120b), 제 2 PR패턴(124)이 형성된 기판 상에, 상기 n^+ 도핑공정에서보다 낮은 도즈량에 의한 이온 주입에 의해 n^- 도핑처리를 한 후, 상기 활성화층(110a, 112a, 113a)과 n 형 오믹콘택층(110b, 112b, 113b) 사이의 영역을 n^- 도핑처리된 LDD층(110c, 112c, 113c)층으로 형성한다.

이 단계에서의 도즈량은 $1E13/cm^2$ 으로 하는 것이 바람직하다.

상기 LDD층(110c, 112c, 113c)을 형성한 후에는, 상기 제 2 PR패턴(124)을 스트립(strip)하는 공정이 이어진다.

도 9c 및 10c에서는, 상기 LDD층(110c, 112c, 113c)이 형성된 기판 상에, p^+ 도핑용 PR패턴(126)을 형성한 후, 상기 n^+ 공정에서보다 높은 도즈량에 의한 이온 주입에 의해 p^+ 도핑처리를 하여 p 형 박막트랜지스터(Xb) 상에 p 형 오믹콘택층(113d)을 형성하는 단계이다.

이 단계에서는, 상기 p^+ 도핑용 PR패턴(126)은 Xb영역을 제외한 IX, Xa 영역을 완전히 블로킹(blocking)하는 영역에 도포처리한다.

상기 p^+ 도핑용 PR패턴(126)이 형성된 기판 상에 상기 n^+ 도핑 공정보다 도즈량을 높여 p^+ 도핑처리를 한 후, p형 오믹콘택층(113d)을 형성하는 단계이다.

이 단계에서의 도즈량은 $3E15/cm^2$ 으로 하는 것이 바람직하다.

이 단계에서, 상기 Xb영역에서의 n형 오믹콘택층(도 9b 및 113b) 및 LDD층(도 9b 및 10b의 113c)은 보다 높은 도즈량에 의해 도핑되는 상기 p^+ 도핑처리에 의해 p형 오믹콘택층(113d)으로 바뀐다.

즉, 이와 같이 본 발명의 제 1 실시예에 따른 n^+ , n^- , p^+ 도핑공정에서는 게이트 전극용 PR패턴을 n^+ , n^- 도핑공정용 PR패턴으로 이용하므로써, 기존의 공정보다 마스크 수를 절감할 수 있어 공정효율을 높여 제품수율이 향상된 액정표시장치를 제공할 수 있다.

<제 2 실시예>

본 발명에 따른 제 2 실시예에서는, 상기 제 1 실시예와 게이트 전극용 PR패턴을 이온도핑 공정에 이용하는 원리는 동일하게 적용하나, 처음 이온도핑 공정에서는 상기 게이트 절연막 물질을 기판 전면에 걸쳐 형성된 상태로 진행하고, 그 다음 이온도핑 공정 후에 게이트 절연막으로 형성하는 것을 특징으로 한다.

그리고, 상기 제 2 실시예에서도 상기 이온도핑공정은 n^+ , n^- , p^+ 도핑공정 순으로 진행된다.

이하, 본 발명에 따른 제 2 실시예를 도면을 참조하여 상세히 설명한다.

도 11a 내지 11d 및 12a 내지 12d는 본 발명의 제 2 실시예에 따른 화소부 박막트랜지스터부 및 구동회로부 CMOS구조 박막트랜지스터부의 상기 도 3의 ST1 내지 4에 해당하는 제조 공정을 제조 단계별로 각각 도시한 단면도이다.

도 11a 및 12a에서는, 투명기판(200) 전면에 걸쳐 버퍼층(202)을 형성하는 단계와, 상기 버퍼층(202) 상부에 XI, XIIa, XIIb 영역별로 활성화층(204a, 206a, 208a)을 형성하는 단계와, 이 활성화층(204a, 206a, 208a) 상부에 기판 전면에 걸쳐 게이트 절연막 예비패턴(210)을 형성하고, 이 게이트 절연막 예비패턴(210) 상부에는 각각 게이트 전극(212, 214a, 214b)과 제 1 PR패턴(216)이 차례대로 형성하는데, 이 제 1 PR패턴(216)은 상기 활성화층(204a, 206a, 208a)과 상기 게이트 전극(212, 214a, 214b) 사이 영역과 대응되는 위치에 형성한다.

상기 제 1 PR패턴(216)과 게이트 전극(212, 214a, 214b)간에 단차가 형성되는 것은 상기 도 9a 내지 10a에서 상술한 방식이 적용된다.

상기 제 1 PR패턴(216)이 형성된 기판 상에 n^+ 도핑공정을 진행하여, 상기 제 1 PR패턴(216)에 의해 차단되지 않은 각각의 활성화층(204a, 206a, 208a)은 n^+ 도핑처리된 n형 오믹콘택층(204b, 206b, 208b)이 형성된다.

상기 활성화층(204a, 206a, 208a)을 이루는 물질은 상기 도 9a 내지 10a와 동일한 SLS결정화 기술에 따른 단결정 실리콘으로 하고, 상기 게이트 절연막 예비패턴(210)은 실리콘 질화막이나 실리콘 산화막과 같은 무기 절연막으로 하는 것을 특징으로 한다.

이 단계에서는 상기 9a 내지 10a에 따른 n^+ 도핑공정과 달리 게이트 절연막예비패턴(210)을 상기 제 1 PR패턴(216)과 대응되게 형성하는 것이 아니라, 기판 전면에 걸쳐 증착된 상태에서 n^+ 도핑처리 함을 특징으로 한다.

즉, n^+ 도핑 공정원리는 활성화층(204a, 206a, 208a)의 4족 실리콘 원자에 5족 원소를 결합시켜 과잉 전자를 형성하는 과정인데, 이 과정에서 상기 게이트 절연막과 같은 절연물질은 상기 n^+ 도핑공정에 참여하지 않으므로, 상기 게이트 절연막 예비패턴(210)이 증착된 상태에서 상기 n^+ 도핑공정을 진행해도 무방한 것이다.

이 n 형 오믹콘택층(204b, 206b, 208b)을 형성한 후에는, 제 1 PR패턴(216)을 스트립하는 공정이 이어진다.

도 11b 및 12b에서는, 상기 제 1 PR패턴을 스트립한 상태의 기판 상에 n^- 도핑공정을 진행하는 단계이다.

상기 n^- 도핑영역은 상기 게이트 전극(212, 214a, 214b)의 외부에 위치하는 활성화층(204a, 206a, 208a) 영역에서 이루어지고, 이 n^- 도핑처리된 영역은 각각 LDD층(204c, 206c, 208c)을 이루게 된다.

즉, n^- 도핑농도는 n^+ 에 비해 낮기 때문에, 상기 도 11a 및 12a를 통해 형성된 n 형 오믹콘택층(204b, 206b, 208b)은 그대로 유지되고, 그 외 활성화층(204a, 206a, 208a)만이 n^- 도핑처리된다.

도 11c 및 12c에서는, 상기 LDD층(204c, 206c, 208c)이 형성된 기판에서, 상기 게이트 절연막 예비패턴(도 11a 및 12a의 210)을 건식식각 처리를 하여 게이트 절연막(216)을 형성하는 단계이다.

이 단계를 통해 상기 XI 및 XIIa영역에서는 각각 활성화층(204a, 206a), n 형 오믹콘택층(204b, 206b), LDD층(204c, 206c)으로 이루어진 화소부 n 형 반도체층(204) 및 구동회로부 n 형 반도체층(206)을 완성하게 된다.

도 11d 및 12d에서는 상기 도 9c 및 10c와 동일한 방법에 의해 p^+ 도핑공정용 PR패턴(218)을 상기 XI 및 XIIa영역을 덮도록 도포한 후, p^+ 도핑처리하여 XIIb 영역에 p 형 오믹콘택층(208d)을 형성하는 단계이다.

이 단계에서는 XIIb 영역에 활성화층(208a), p 형 오믹콘택층(208d)으로 이루어지는 구동회로부 p 형 반도체층(208)을 완성하는 단계이다.

상기 본 발명의 제 2 실시예에서의 각 이온도핑공정별 도즈량은 상기 제 1 실시예에 따른 각 공정별 도즈량을 적용할 수 있다.

이후 박막트랜지스터 제조공정은 상기 도 3의 ST5 내지 ST9의 공정을 적용할 수 있다.

그러나, 본 발명은 상기 실시예로 한정하지 않고, 본 발명의 취지에 벗어나지 않는 한도내에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

이와 같이, 본 발명에 따른 화소부 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터에서는 SLS 결정화 기술에 의한 단결정 실리콘으로 이루어진 활성화층을 도핑처리하는 공정에서, 게이트 전극의 마스크 공정에 따른 PR패턴을 n^+ , n^- 도핑공정에 마스크로 이용하므로써, 다음과 같은 장점을 가진다.

첫째, 상기 SLS 결정화 기술에 의한 단결정 실리콘을 반도체층으로 형성하므로써, 소자 성능, 균일도, 신뢰성이 향상을 꾀할 수 있어, 구동회로 완전 일체형 액정표시장치용 소자에 적용할 수 있다.

둘째, 도핑공정에 소요되는 마스크 수를 절감하여, 공정수 및 공정시간을 줄여 생산수율이 향상된 액정표시장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

기관 상에 제 1, 2 반도체층을 형성하는 단계와;

상기 제 1, 2 반도체층에 절연물질을 증착하는 단계와;

상기 절연물질 상에 금속을 증착하는 단계와;

상기 금속 상부의 상기 제 1, 2 반도체층에 대응되는 영역에 제 1 포토레지스 패턴을 형성하는 단계와;

상기 금속을 식각하여 상기 제 1 포토레지스트 패턴보다 좁은 폭의 제 1, 2 게이트 전극을 각각 형성하는 단계와;

상기 절연 물질을 식각하여, 실질적으로 상기 제 1 포토레지스트 패턴과 동일한 폭을 가지는 제 1, 2 절연 패턴을 각각 형성하는 단계와;

상기 제 1 포토레지스트 패턴을 제 1 도핑 마스크로 이용하여 n^+ 이온 도핑하는 단계와;

상기 제 1 포토레지스트 패턴이 축소된 제 1 포토레지스트 패턴이 되고, 상기 축소된 제 1 포토레지스트 패턴은 실질적으로 상기 제 1, 2 게이트 전극과 동일한 폭을 갖도록, 상기 제 1 포토레지스트 패턴을 에칭(ashing)처리하는 단계와;

상기 축소된 제 1 포토레지스트 패턴을 식각 마스크로 이용하여, 상기 제 1, 2 절연패턴을 식각하는 단계와;

상기 축소된 제 1 포토레지스트 패턴을 제 2 도핑 마스크로 이용하여 n^- 이온 도핑하는 단계와;

상기 축소된 제 1 포토레지스트 패턴을 제거하는 단계와;

상기 제 1 게이트 전극과 상기 제 1 반도체층을 덮는 영역에 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 2 포토레지스트 패턴과 제 2 게이트 전극을 제 3 도핑 마스크로 이용하여 p^+ 이온도핑하는 단계와;

상기 제 2 포토레지스트 패턴을 제거하는 단계

를 포함하는 구동회로부 일체형 어레이 기관의 제조 방법.

청구항 2.

기관 상에 제 1, 2 반도체층을 형성하는 단계와;

상기 제 1, 2 반도체층 상에 절연물질을 증착하는 단계와;

상기 절연 물질 상에 금속을 증착하는 단계와;

상기 금속 상부의 상기 제 1, 2 반도체층에 대응되는 영역에 제 1 포토레지스 패턴을 형성하는 단계와;

상기 금속을 식각하여 상기 제 1 포토레지스트 패턴보다 좁은 폭의 제 1, 2 게이트 전극을 각각 형성하는 단계와;

상기 제 1 포토레지스트 패턴을 제 1 도핑 마스크로 이용하여 n^+ 이온 도핑하는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계와;

상기 제 1, 2 게이트 전극을 제 2 도핑 마스크로 이용하여 n^- 이온 도핑하는 단계와;

상기 제 1 게이트 전극과 상기 제 1 반도체층을 덮는 영역에 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 2 포토레지스트 패턴과 제 2 게이트 전극을 제 3 도핑 마스크로 이용하여 p+ 이온도핑하는 단계와;
 상기 제 2 포토레지스트 패턴을 제거하는 단계
 를 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 3.

제 1 항에 있어서,
 상기 p+ 이온 도즈량은, 상기 n+ 이온 도즈량보다 큰 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 4.

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,
 상기 p+ 이온도핑 단계 이후에는 소스 및 드레인 전극, 화소 전극을 차례대로 형성하는 단계를 더욱 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 5.

제 1 항에 있어서,
 상기 p+ 이온의 도즈량은 $3 \times 10^{15}/\text{cm}^2$ 인 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 6.

제 5 항에 있어서,
 상기 n+ 이온의 도즈량은 $1 \times 10^{15}/\text{cm}^2$ 인 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 7.

제 6 항에 있어서,
 상기 n- 이온의 도즈량은 $10^{13}/\text{cm}^2$ 인 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 8.

제 1 항에 있어서,
 상기 제 1 반도체층은, 액티브층과, n+ 소스 및 드레인 영역과, 상기 액티브층과 n+ 소스 및 드레인 영역 사이에 LDD(lightly doped drain) 영역을 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 9.

제 1 항에 있어서,

상기 제 1 반도체층은, 액티브층과, n+ 소스 및 드레인 영역과, 상기 도핑 공정 후 액티브층과 n+ 소스 및 드레인 영역 사이에 LDD(lightly doped drain) 영역을 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 10.

제 1 항에 있어서,

상기 제 2 반도체층은 액티브층, 상기 도핑 후 p+ 소스 및 드레인 영역을 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 11.

제 1 항에 있어서,

상기 제 1, 2 반도체층은 SLS 결정질 실리콘으로 만들어지는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 12.

제 2 항에 있어서,

상기 p+ 이온 도즈량은, 상기 n+ 이온 도즈량보다 큰 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 13.

제 12 항에 있어서,

상기 p+ 이온의 도즈량은 $3 \times 10^{15}/\text{cm}^2$ 인 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 14.

제 13 항에 있어서,

상기 n+ 이온의 도즈량은 $1 \times 10^{15}/\text{cm}^2$ 인 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 15.

제 14 항에 있어서,

n- 이온의 도즈량은 $10^{13}/\text{cm}^2$ 인 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 16.

제 2 항에 있어서,

상기 제 1 반도체층은 액티브층, n+ 소스 및 드레인 영역, 그리고, 상기 액티브층과 n+ 소스 영역 사이에 있는 LDD 영역을 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 17.

제 2 항에 있어서,

상기 제 1 반도체층은 액티브층, n+ 소스 및 드레인 영역, 그리고, 상기 도핑 후 액티브층과 n+ 드레인 영역 사이에 있는 LDD 영역을 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 18.

제 2 항에 있어서,

상기 제 2 반도체층은 액티브층과, 상기 도핑 후 p+ 소스 및 드레인 영역을 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 19.

제 2 항에 있어서,

상기 게이트 전극을 식각 마스크로 이용하여 상기 절연 물질을 식각하는 단계를 더 포함하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 20.

제 19 항에 있어서,

상기 절연 물질은 건식 식각(dry etching) 방법을 이용하여 식각되는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 21.

제 2 항에 있어서,

상기 제 1, 2 반도체층은 SLS 결정질 실리콘으로 형성되는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 22.

제 1 항에 있어서,

상기 축소된 제 1 포토레지스트 패턴을 제거하는 단계는, 상기 n- 이온 도핑 후에 이루어지는 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

청구항 23.

제 1 항에 있어서,

상기 제 2 포토레지스트 패턴을 제거하는 단계는, 상기 p+ 이온 도핑 후에 이루어지는 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

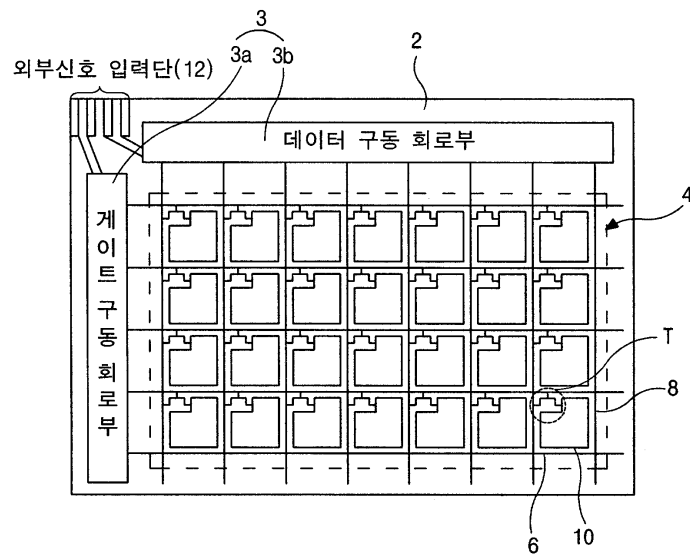
청구항 24.

제 2 항에 있어서,

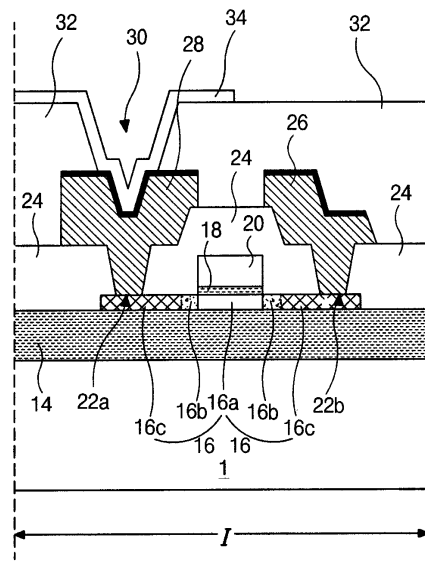
상기 제 2 포토레지스트 패턴을 제거하는 단계는, 상기 p+ 이온 도핑 후에 이루어지는 것을 특징으로 하는 구동회로부 일체형 어레이 기판의 제조 방법.

도면

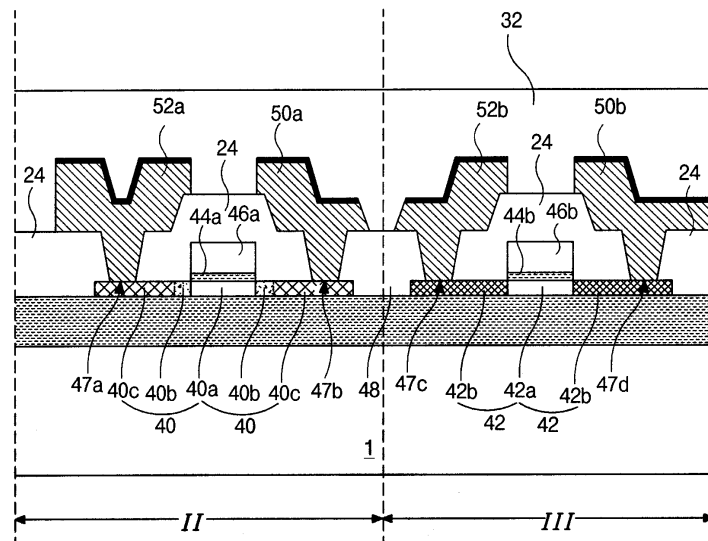
도면1



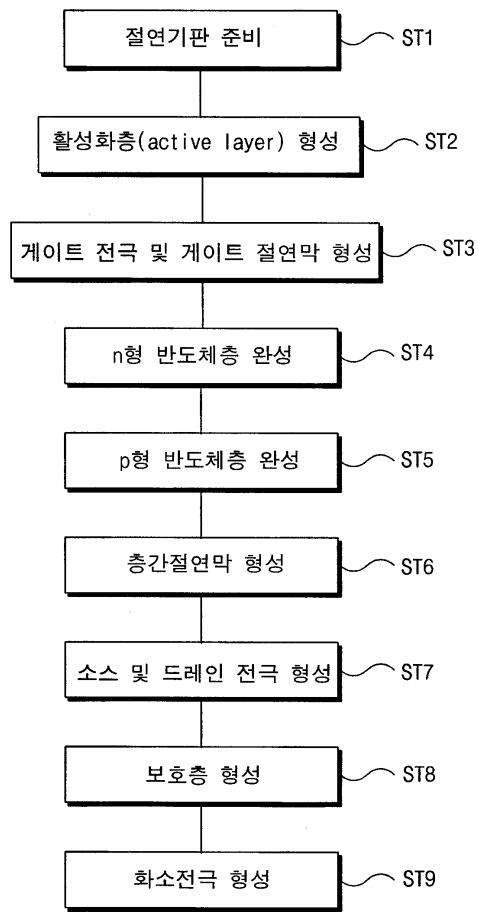
도면2a



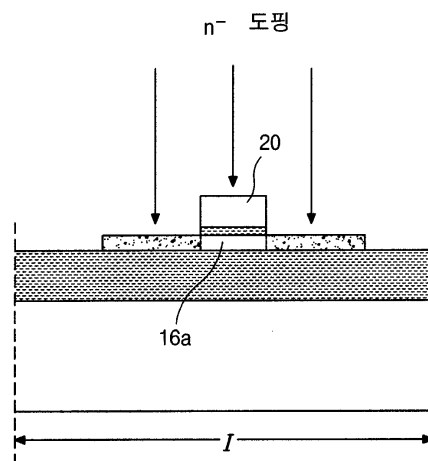
도면2b



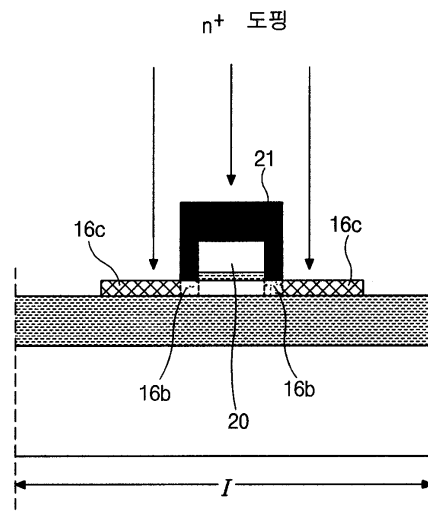
도면3



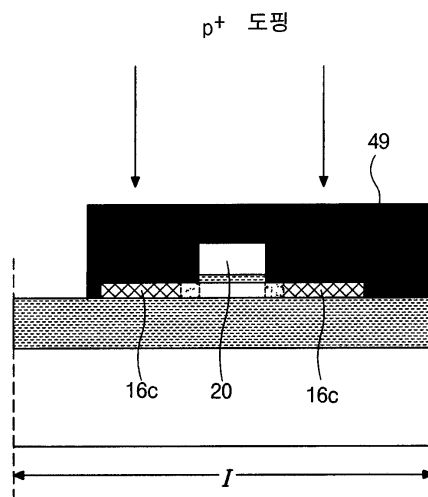
도면4a



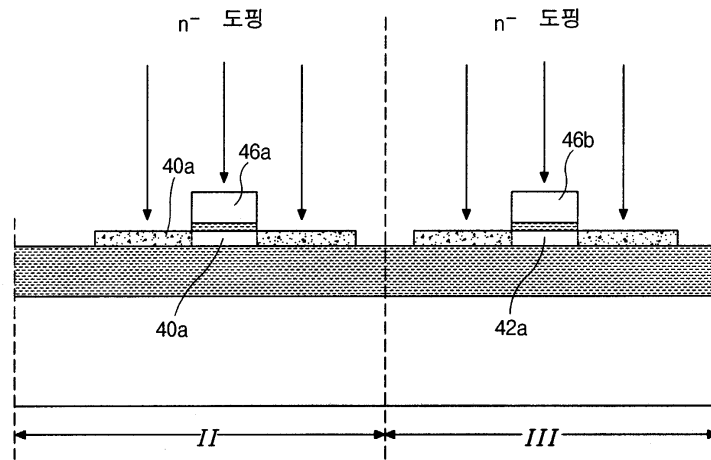
도면4b



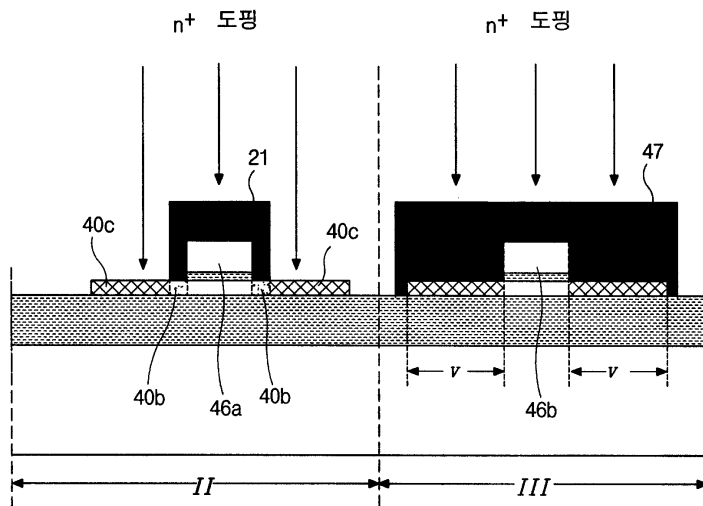
도면4c



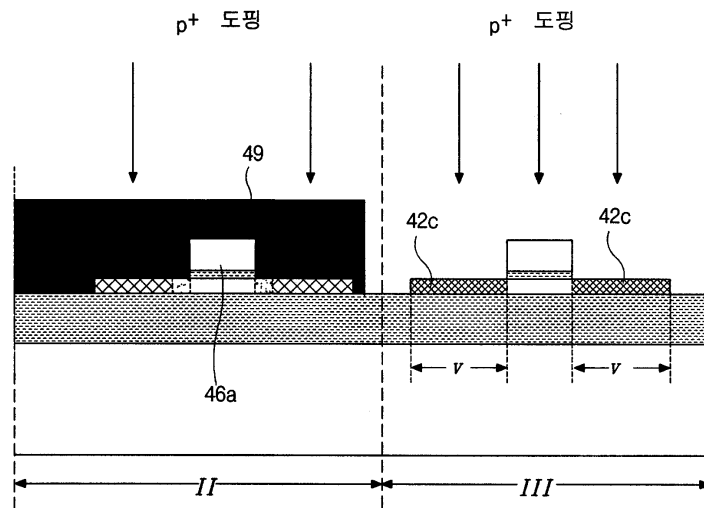
도면5a



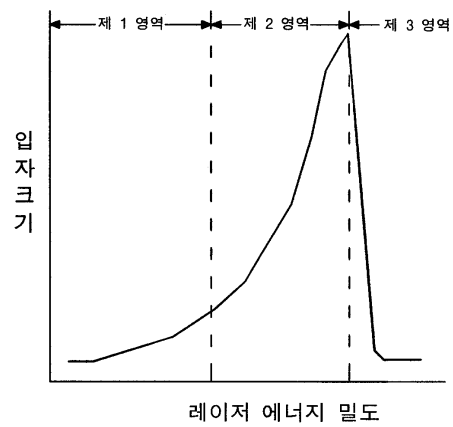
도면5b



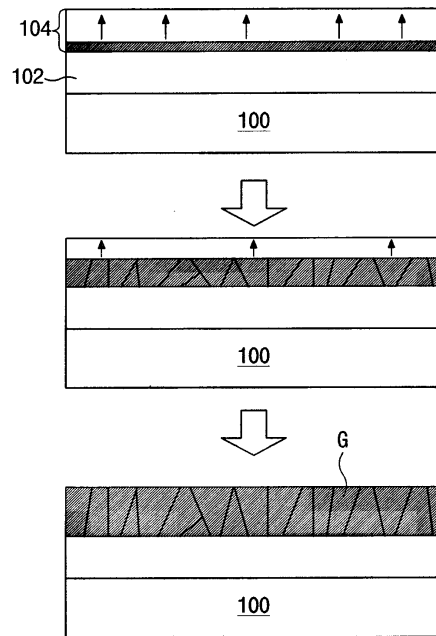
도면5c



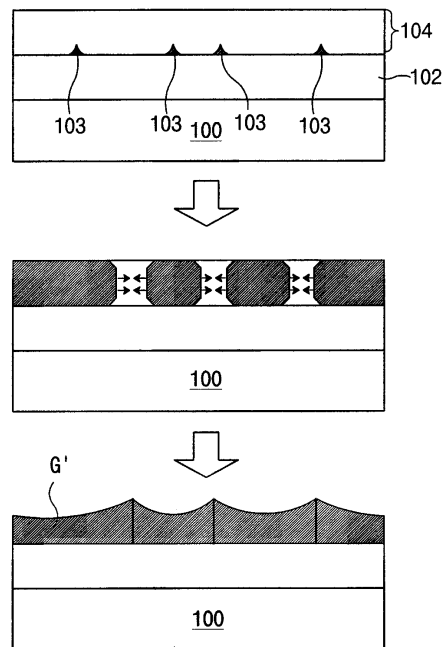
도면6



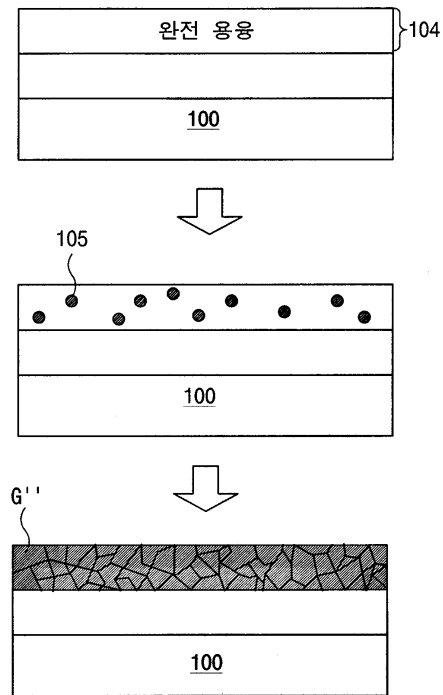
도면7a



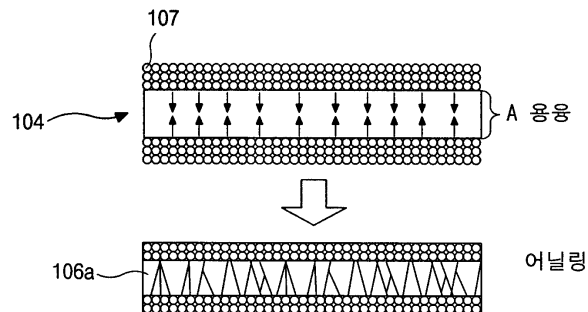
도면7b



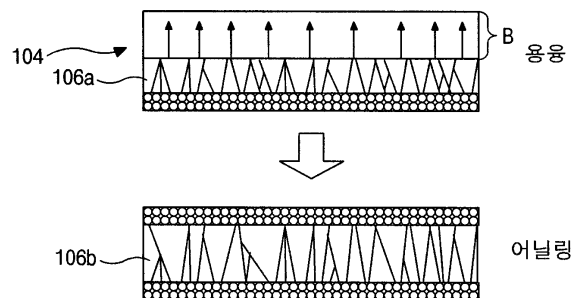
도면7c



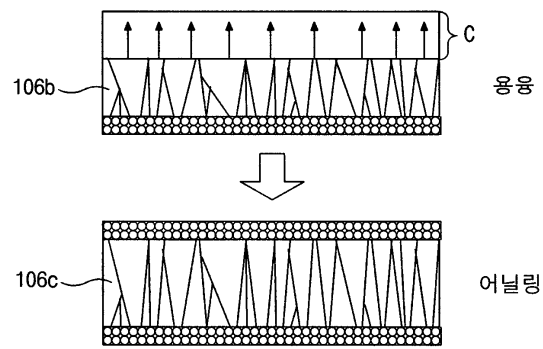
도면8a



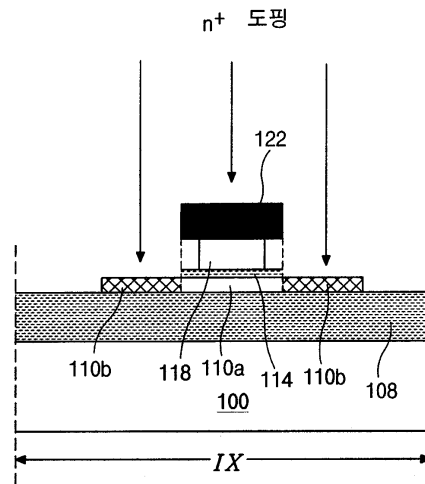
도면8b



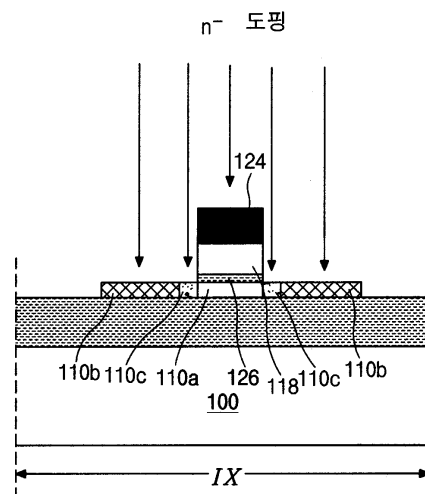
도면8c



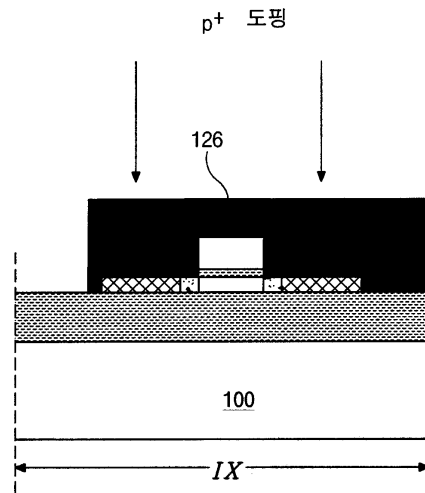
도면9a



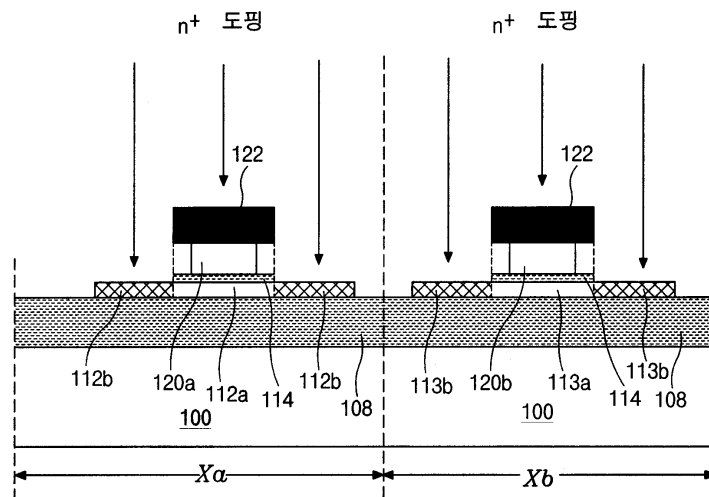
도면9b



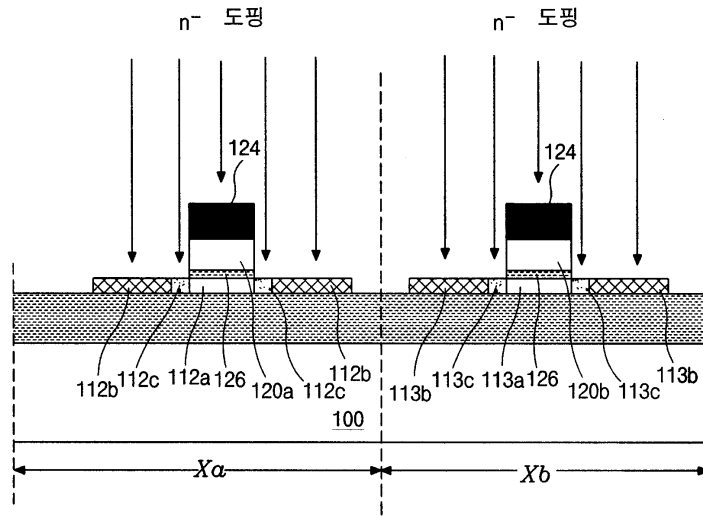
도면9c



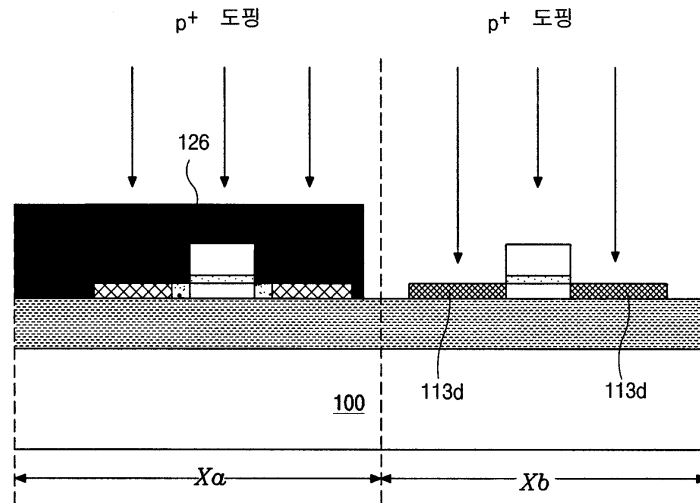
도면10a



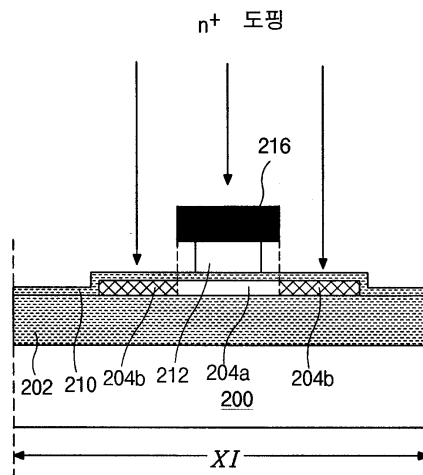
도면10b



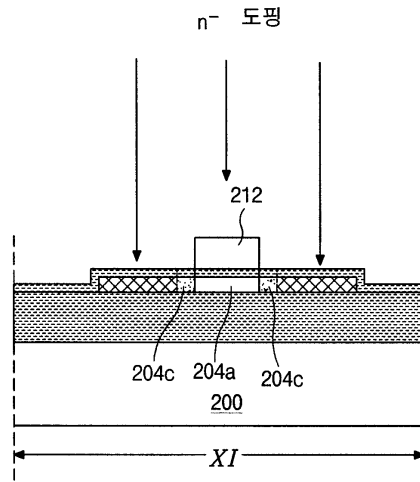
도면10c



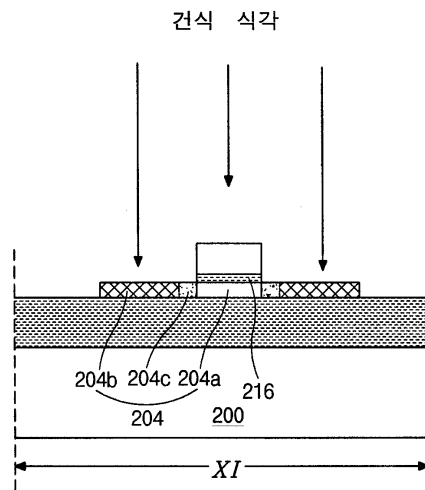
도면11a



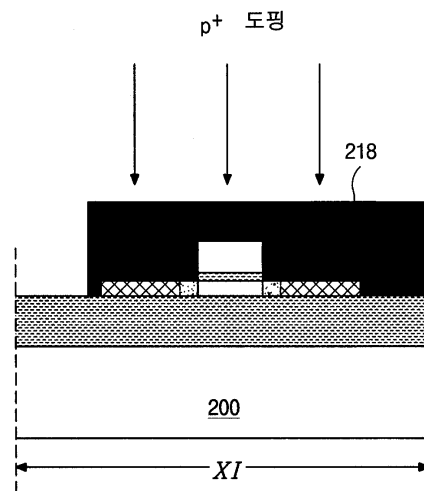
도면11b



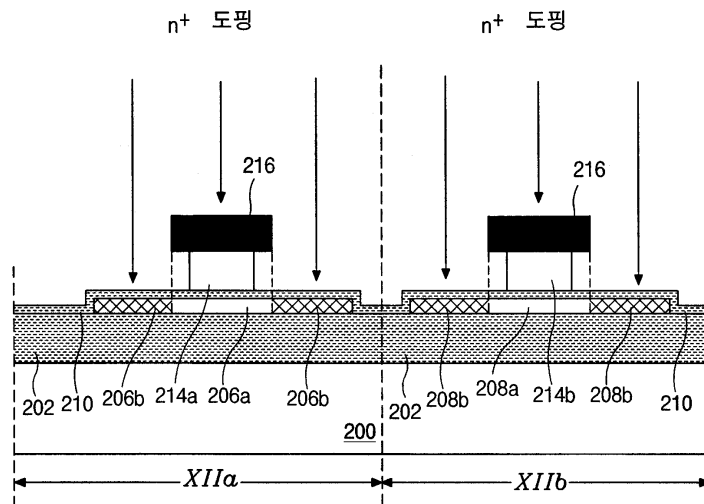
도면11c



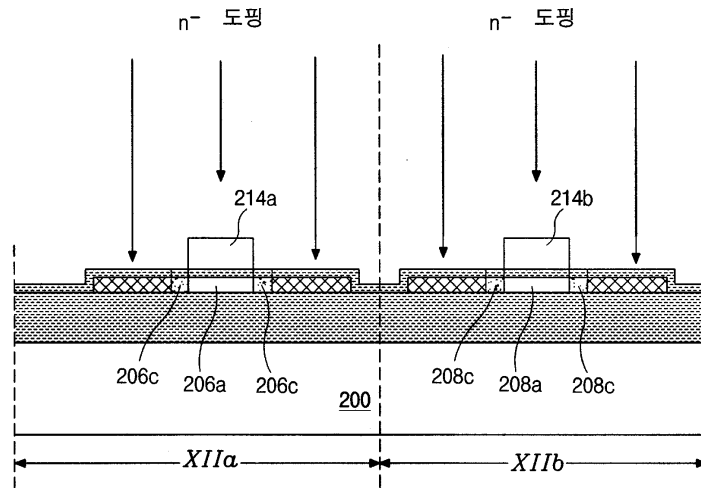
도면11d



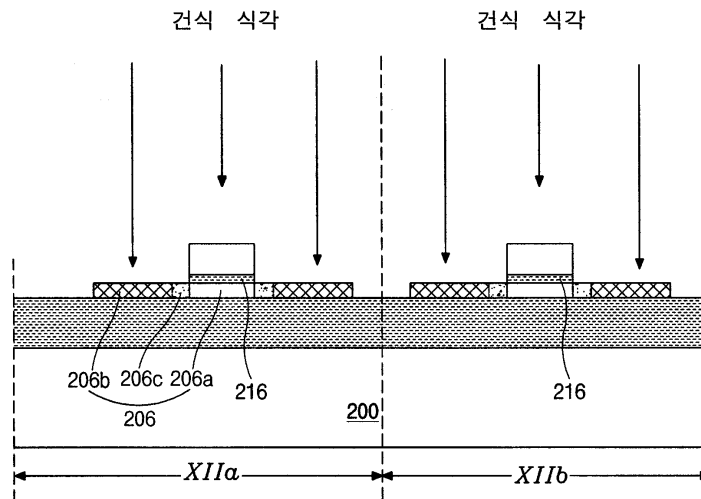
도면12a



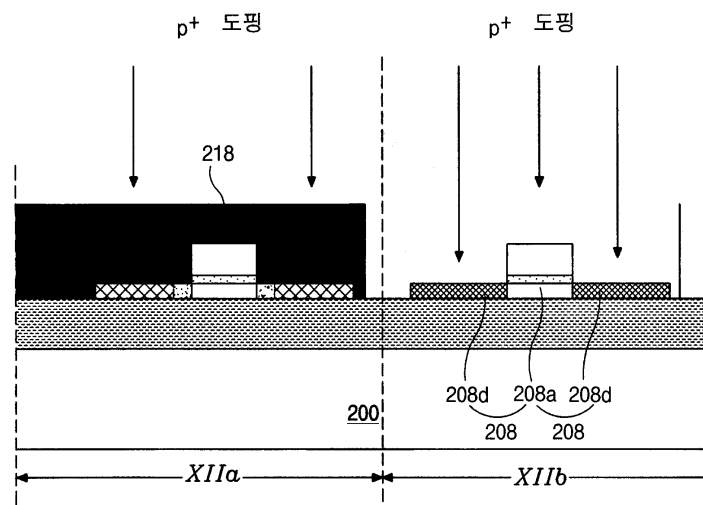
도면12b



도면12c



도면12d



专利名称(译)	具有驱动电路的集成液晶显示器阵列基板的制造方法		
公开(公告)号	KR100543061B1	公开(公告)日	2006-01-20
申请号	KR1020010030702	申请日	2001-06-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOONYOUNG		
发明人	YANG,JOONYOUNG		
IPC分类号	G02F1/136 H01L21/28 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/786		
CPC分类号	H01L21/28123 H01L29/78621 H01L27/1214 H01L27/12 H01L29/6653 H01L29/66772 H01L27/1288 H01L27/127 H01L27/1274		
其他公开文献	KR1020020091898A		
外部链接	Espacenet		

摘要(译)

在本发明中，在通过SLS结晶技术制造使用单晶硅作为半导体元件的薄膜晶体管的过程中，在对应于PR图案的位置内的某个区域上蚀刻栅电极的现象，通过提供一种制造用于与驱动电路单元集成的液晶显示器的薄膜晶体管的方法来改善均匀性和可靠性，其中通过使用用于掩蔽栅电极的PR图案作为用于离子掺杂工艺的掩模来简化离子掺杂工艺。可以提供一种液晶显示装置，其中减少了离子掺杂工艺所需的掩模数量，减少了工艺步骤的数量和工艺时间，并且提高了产量。图10a

