(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G09G 3/36

(45) 공고일자 2004년05월22일
(11) 등록번호 10-0432290
(24) 등록일자 2004년05월10일

(21) 출원번호 10-2001-0045113
(22) 출원일자 2001년07월26일

(65) 공개번호 10-2002-0013714
(43) 공개일자 2002년02월21일

(30) 우선권주장 JP-P-2000-00231392 2000년07월27일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 닛따히로유끼
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내

후루하시쯔또무
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내

기무라마꼬또
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내

고시히로부미
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내

마에다다께시
일본가나가와껭요꼬하마시도쯔까꾸요시다쪼292반지히타치가조조호시스템내

(74) 대리인 장수길
구영창

심사관 : 정경덕

(54) 표시 구동 디바이스 및 표시 장치

요약

데이터 드라이버에 계조 제어 레지스터를 설치하고, 입력된 기준 전압으로부터 기준 전압을 데이터 드라이버 내부에서 생성하여 계조 제어 레지스터의 설정에 따라 기준 전압을 선택함으로써, 계조 전압을 제어한다. 또한, 상기 계조 제어 레지스터는 액정 컨트롤러로부터 표시 데이터를 전송하는 데이터 버스를 이용하여 설정 가능하게 하고, 화상 데이터에 대응하여 액정 컨트롤러로부터 계조 제어를 행한다.

대표도

도 1

색인어

액정 패널, 계조 전압, 휘도, 콘트라스트

명세서

도면의 간단한 설명

도 1은 본 발명을 적용한 액정 표시 장치의 일 실시예의 블록도.
도 2는 도트 반전 구동을 나타내는 도면.
도 3은 도트 반전 구동의 타이밍도.
도 4는 액정 디스플레이의 구동 타이밍을 나타내는 도면.
도 5는 계조 전압 생성 회로의 구성도.
도 6은 계조 전압 생성 회로의 구성도.
도 7은 계조 전압 생성 회로의 구성도.
도 8은 계조 전압 생성 회로의 구성도.
도 9는 계조 제어 레지스터의 사양을 나타내는 도면.
도 10은 데이터 버스의 비트 할당을 나타내는 도면.
도 11은 계조 제어 레지스터의 구성도.
도 12는 계조 제어 레지스터의 설정 타이밍도.
도 13은 막대 그래프 신장 제어를 나타내는 도면.
도 14는 막대 그래프 신장 제어를 나타내는 도면.
도 15는 막대 그래프 신장 제어를 나타내는 도면.
도 16은 감마 곡선 제어를 나타내는 도면.
도 17은 감마 곡선 제어를 나타내는 도면.
도 18은 이퀄라이즈 제어를 나타내는 도면.
도 19는 액정 컨트롤러의 구성도.
도 20은 액정 컨트롤러의 구성도.
도 21은 본 발명을 적용한 액정 표시 장치의 일 실시예의 블록도.
도 22는 도트 반전 구동을 나타내는 도면.
도 23은 도트 반전 구동의 타이밍도.
도 24는 액정 디스플레이의 구동 타이밍을 나타내는 도면.
도 25는 계조 전압 생성 회로의 구성도.
도 26은 계조 전압 생성 회로의 구성도.
도 27은 계조 전압 생성 회로의 구성도.
도 28은 계조 전압 생성 회로의 구성도.
도 29는 액정 컨트롤러의 구성도.
도 30은 본 발명을 적용한 액정 표시 장치의 일 실시예의 블록도.
도 31은 데이터 드라이버의 라이트 액세스 타이밍을 나타내는 도면.
도 32는 데이터 드라이버의 리드 액세스 타이밍을 나타내는 도면.
도 33은 계조 전압 생성 회로의 구성도.
도 34는 계조 전압 생성 회로의 구성도.
도 35는 계조 전압 생성 회로의 구성도.
도 36은 계조 제어 레지스터의 사양을 나타내는 도면.
〈도면의 주요 부분에 대한 부호의 설명〉
1 : 액정 컨트롤러
7-1 7-8 : 데이터 드라이버
8 : 전원 회로
9 : 주사 드라이버
10 : 액정 패널
11 : 레지스터 제어 회로
13 : 레지스터
14 : 레지스터 출력 신호
15 : 계조 전압 생성 회로
19 : 교류화 신호
20 : 시프트 레지스터
22, 24 : 데이터 래치 회로
23, 25 : 출력 데이터
26 : 계조 전압 선택 회로
27 : 선택 계조 전압
28 : 출력 버퍼 회로
29-1 29-8 : 계조 구동 전압

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 패널을 제어하기 위한 액정 구동 장치 및 표시 데이터를 표시하기 위한 액정 표시 장치에 대한 것이다.

종래의 기술로서, 특개평11-337909호 공보에 기재되어 있는 액정 표시 장치에서는 계조 전압 발생 회로에 미리 복수의 계조 특성이 설정되어 있으며, 사용자가 조작 가능한 스위치나 액정 표시 장치를 디스플레이 모니터로서 사용하는 컴퓨터로부터의 선택 신호 등에 따라 사용하는 계조 특성이 선택된다. 특히 컴퓨터의 표시 모드의 전환에 연동하여 계조 특성을 자동적으로 전환한다.

그러나, 특개평11-337909호 공보에 나타내고 있는 액정 표시 장치에서는 동화상 프레임마다 또는 영상 신(scene)마다 계조 특성을 제어하는 것까지는 개시되어 있지 않다. 예를 들면, 동화상에서는 프레임마다 또는 영상 신마다 사용자가 계조 특성을 설정하게 되어 사용자의 부담이 과대하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 계조의 붕괴를 없애고, 고화질 표시를 실현하는 액정 표시 장치를 제공하는 데 있다.

본 발명의 다른 목적은 프레임이나 영상 신에 따라 고화질 표시를 실현하는 액정 표시 장치를 제공하는 데 있다.

본 발명의 다른 목적은 입력되는 영상 신호가 텔레비전 방송이나 DVD 등의 동화상 표시, OA 용도의 텍스트 표시의 각각에 대응한 계조 특성을 실현하는 액정 표시 장치를 제공하는 데 있다.

본 발명의 다른 목적은 단자 수를 증가하지 않고, 계조의 붕괴를 없애고, 프레임마다 또는 영상 신마다 계조 특성의 제어를 행하기 위한 계조 특성의 설정을 행하는 액정 표시 장치를 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 액정 구동 디바이스는 표시 데이터의 휘도 분포에 따라 전원 회로에 의해 생성된 복수 레벨의 기준 전압으로부터 복수 레벨의 계조 전압을 생성하는 계조 전압 생성 회로와, 상기 표시 데이터에 따라 상기 복수 레벨의 계조 전압으로부터 상기 액정 패널로 출력하기 위한 계조 전압을 선택하는 계조 전압 선택 회로를 포함한다.

또는 본 발명의 액정 구동 디바이스는 미리 설정된 표시 데이터와 계조 전압의 대응 관계에 기초하여 전원 회로에 의해 생성된 복수 레벨의 기준 전압으로부터 복수 레벨의 계조 전압을 생성하는 계조 전압 생성 회로와, 상기 표시 데이터에 따라 상기 복수 레벨의 계조 전압으로부터 상기 액정 패널로 출력하기 위한 계조 전압을 선택하는 계조 전압 선택 회로를 포함한다.

또는 본 발명의 액정 표시 장치는 액정 패널과, 표시 데이터의 휘도 분포에 따라 전원 회로에 의해 생성된 기준 전압으로부터 계조 전압을 생성하여 상기 액정 패널로 출력하기 위한 데이터 드라이버 회로와, 상기 계조 전압이 출력되는 라인을 선택하기 위한 주사 드라이버 회로와, 표시 제어 신호와 표시 데이터에 기초하여 상기 데이터 드라이버 회로 및 상기 주사 드라이버 회로를 구동하는 컨트롤러 회로 를 포함한다.

또는 본 발명의 액정 표시 장치는 액정 패널과, 표시 데이터와 계조 전압의 대응 관계를 유지하는 레지스터 회로와, 상기 표시 데이터와 계조 전압의 대응 관계에 기초하여 전원 회로에 의해 생성된 기준 전압으로부터 계조 전압을 생성하여 상기 액정 패널로 출력하기 위한 데이터 드라이버 회로와, 상기 계조 전압이 출력되는 라인을 선택하기 위한 주사 드라이버 회로와, 표시 제어 신호와 표시 데이터에 기초하여 상기 데이터 드라이버 회로 및 상기 주사 드라이버 회로를 구동하는 컨트롤러 회로를 포함한다.

〈실시예〉

본 발명의 액정 표시 장치에서는 복수의 매트릭스형으로 배열된 화소부를 갖는 액정 패널과, 액정 패널에 액정 계조 전압을 출력하는 데이터 드라이버 회로와, 시스템 장치로부터 공급되는 표시 제어 신호 및 2^N (N은 양의 정수) 계조를 나타내는 표시 데이터를 그 데이터 드라이버 회로와 그 주사 드라이버 회로를 구동하기 위한 액정 제어 신호 및 액정 표시 데이터로 변환하는 액정 제어 회로와, 데이터 드라이버에 복수 레벨의 기준 전압을 공급하는 전원 회로를 갖고 있으며, 상기 데이터 드라이버 회로는 액정 표시 데이터와 액정 계조 전압의 대응 관계를 유지하는 계조 제어 레지스터 회로와, 전원 회로로부터 공급되는 복수의 기준 전압으로부터 2^N 레벨의 전압을 생성하고, 계조 제어 레지스터 회로에 보유된 상기 액정 표시 데이터와 상기 액정 계조 전압의 대응 관계에 기초하여 생성된 2^N 레벨의 전압으로부터 계 조 생성 기준 전압을 선택한다.

즉, 외부로부터 입력되는 표시 데이터의 휘도 분포 등을 액정 표시 데이터와 액정 계조 전압의 대응 관계로 하고, 이에 기초하여 데이터 드라이버가 계조 전압을 생성하기 위한 기준이 되는 계조 생성 기준 전압을 결정하고, 이에 기초하여 계조 전압을 생성한다.

또한, 외부로부터 입력되는 표시 데이터의 휘도 분포 등의 액정 표시 데이터와 액정 계조 전압의 대응 관계는 각 프레

임마다 변화하기 때문에, 각 프레임마다 이 대응 관계를 갱신하고, 휘도 분포의 기원이 되는 표시 데이터를 이에 따라 결정된 계조 생성 기준 전압에 기초하여 계조 전압으로 변환해서 액정 패널에 인가하는 구성으로 하였다.
또한, 상기 계조 제어 레지스터는 액정 컨트롤러로부터 표시 데이터를 전송하는 데이터 버스를 이용하여 설정 가능하게 하고, 화상 데이터에 대응하여 액정 컨트롤러로부터 계조 제어를 행한다.
본 발명의 제1 실시예에 대하여 도 1 내지 도 20을 이용하여 설명한다.
도 1은 본 발명을 적용한 액정 패널 구동 회로의 구성도로서, 1280×RGB× 1024의 액정 패널을 RGB 각 256계조, 16384000색 표시를 행하는 경우의 액정 디스플레이의 구성을 나타낸다. 참조 번호(100)는 시스템 장치로부터 전송된 표시 신호군, 참조 번호(1)는 표시 신호군(100)을 액정 드라이버의 동기 신호 및 표시 데이터로 변환하는 액정 컨트롤러, 참조 번호(2)는 데이터 동기 클럭, 참조 번호(3)는 유효 데이터 스타트 신호, 참조 번호(4)는 데이터 수평 동기 신호, 참조 번호(5)는 표시 데이터, 참조 번호(6)는 주사 드라이버 제어 신호군, 참조 번호(7-1 내지 7-8)는 256계조, 출력 수 480개의 데이터 드라이버로서, 참조 번호(7-1 내지 7-8)의 8개로 액정 패널을 구동한다. 참조 번호(8)는 전원 회로로 액정을 구동하는 계조 전압의 양극성 기준 전압(17), 음극성 기준 전압(18)을 생성하고, 참조 번호(9)는 액정을 주사하는 주사 드라이버, 참조 번호(10)는 해상도 1280×RGB×1024의 액정 패널이다.
또한, 참조 번호(11)는 레지스터 제어 회로, 참조 번호(12)는 레지스터(13)를 제어하는 레지스터 제어 신호군, 참조 번호(14)는 레지스터 출력 신호로 계조 전압 생성 회로(15)를 제어한다. 또, 레지스터(13)는 액정 표시 데이터와 액정 계조 전압의 대응 관계를 유지한다. 대응 관계에 대해서는 도 13 등을 이용하여 후술한다. 참조 번호(16)는 계조 전압 생성 회로(15)로 생성한 양극성, 음극성 각각 256계조의 계조 전압 신호군, 참조 번호(19)는 교류의 극성을 제어하는 교류화 신호이다. 또한, 참조 번호(20)는 시프트 레지스터, 참조 번호(22)는 시프트 레지스터(20)로 생성한 시프트 클럭(21)에 의해 표시 데이터(5)를 순차 래치하는 데이터 래치 회로, 참조 번호(24)는 데이터 래치 회로(22)의 출력 데이터(23)를 데이터 수평 동기 신호(4)로 모든 출력을 동시에 래치하는 데이터 래치 회로, 참조 번호(26)는 데이터 래치 회로(24)의 출력 데이터(25)와 교류화 신호(19)에 기초하여 계조 전압 신호군(16)으로부터 계조 전압을 선택하는 계조 전압 선택 회로, 참조 번호 (28)는 계조 전압 선택 회로(26)로 선택한 선택 계조 전압(27)을 버퍼 회로로 버퍼하여 출력하는 출력 버퍼 회로, 참조 번호(29-1 내지 29-8)는 1280×RGB×1024의 액정 패널(10)을 구동하는 계조 구동 전압, 참조 번호(30)는 주사 전압이다.
도 2, 도 3은 도트 반전 구동의 액정 패널의 교류 극성을 나타내는 도면, 도 4는 액정 디스플레이의 구동 타이밍을 나타내는 도면, 도 5는 계조 전압 생성 회로의 구성도, 도 6, 도 7, 도 8은 계조 전압 생성 회로의 선택 회로의 구성도이다. 도 9는 계조 제어 레지스터의 사양을 나타내는 도면, 도 10은 데이터 버스의 구성을 나타내는 도, 도 11은 레지스터 제어 회로, 계조 제어 레지스터의 구성도, 도 12는 계조 제어 레지스터의 기입 타이밍을 나타내는 도면, 도 13 내지 도 18은 계조 제어의 내용을 나타내는 도면, 도 19, 도 20은 액정 컨트롤러의 구성도이다.
도 2에 도시한 바와 같이 본 실시예는 인접한 화소가 상호 교류 극성이 역이 되는 도트 반전 구동을 행하기 때문에, 도 3에 도시한 바와 같이 인접한 데이터 드라이버의 출력 단자는 상호 역이 된다.
다음으로, 이들 표시 동작에 대하여 설명한다. 도 1에 있어서 액정 컨트롤러(1)는 도시하지 않은 퍼스널 컴퓨터 등의 시스템 장치로부터 표시 신호군(100)을 수취하여, 액정을 구동하는 데이터 드라이버(7-1 내지 7-8), 주사 드라이버(9)의 타이밍으로 신호를 변환한다. 액정 컨트롤러(1)에서는 2 ^{N} 계조(N은 양의 정수, RGB 256계조) 표시를 행하기 때문에, RGB 각 N비트(8비트)를 2화소 병렬로 하여 직렬로 48비트의 데이터 버스를 이용하여 표시 데이터를 전송하고, 데이터 드라이버 (7-1 내지 7-8)에서는 데이터 수신 클럭(2)으로 순차 RGB 2화소씩 표시 데이터를 수신한다. 이 데이터 수신 타이밍을 도 1, 도 4를 이용하여 설명한다. 데이터 수신 클 럭(2)에 동기하여 전송되는 표시 데이터(5)는 표시 데이터가 유효하게 되는 타이밍으로 액정 컨트롤러(1)가 유효 데이터 스타트 신호(3)를 출력하고, 1단째 데이터 드라이버(7-1)가 표시 데이터의 수신을 개시한다. 데이터 드라이버(7-1)는 RGB 2화소씩 표시 데이터를 수신하고, 80클럭으로 480 출력분의 표시 데이터 수신을 완료한다. 데이터 드라이버(7-1)는 자단(自段)의 표시 데이터 수신이 끝나면, 다음 단의 데이터 드라이버(7-2)에 대하여 유효 데이터 스타트 신호(31-1)를 출력하고, 데이터 드라이버(7-2)가 표시 데이터 수신을 개시한다. 이후의 데이터 드라이버 (7-3 내지 7-8)도 동일한 동작을 반복함으로써, 1라인의 표시 데이터를 데이터 래치 회로 A22에 저장한다.
다음으로, 데이터 래치 회로 A22의 1라인의 표시 데이터를 전부 동시에 데이터 수평 동기 신호(4)로 데이터 래치 회로 B24에 래치하고, 각 출력의 표시 데이터, 교류화 신호(19)에 대응한 계조 전압(16)을 계조 전압 선택 회로(26)로 선택하고, 출력 버퍼 회로(28)로 버퍼하여 계조 구동 전압(29-1 내지 29-8)을 1라인 동시에 출력한다.
한편, 주사 드라이버(9)는 액정 컨트롤러(1)로 생성된 프레임 동기 신호 FLM의 타이밍으로 주사 수평 동기 신호 CL3에 동기하여 제1 라인 게이트선을 선택하고, 주사 수평 동기 신호 CL3에 동기하여 순차 제2 라인, 제3 라인 게이트선을 선택한다. 주사 수평 동기 신호 CL3의 1024클럭으로 순차 1024라인을 선택하고, 다음의 프레임 동기 신호 FLM이 유효하게 되면 제1 라인 게이트선을 선택한다. 이와 같이 프레임 주기로 1024라인을 선택하는 동작을 반복함으로써 선 순차 선택 동작 을 행하고, 데이터 드라이버(7-1 내지 7-8)에 의해 액정 패널(10)의 데이터선에 계조 구동 전압(29-1 내지 29-8)이 출력되어 표시 데이터에 대응한 표시를 실현한다.
다음으로, 계조 제어의 동작에 대하여 설명한다. 계조 전압(16)은 전원 회로(8)로 생성된 양극성 계조 기준 전압(17)의 V0 내지 V8의 9레벨, 음극성 계조 기준 전압(18)의 V9 내지 V17의 9레벨로부터 계조 전압 생성 회로(15)로 양극성 계조 전압 2 ^{N} (256) 레벨, 음극성 계조 2 ^{N} (256) 레벨이 생성된다. 도 5, 도 6, 도 7, 도 8은 계조 전압 생성 회로(15)의 내부 구성도로서, 참조 번호(201-1, 201-2)는 양극성과 음극성의 기준 전압 생성 회로, 참조 번호(202-1, 202-2)는 양극성, 음극성의 기준 전압(17, 18)으로부터 생성된 선택 기준 전압으로서, 양극성, 음극성 각각의 기준 전압 VS0 내지 VS255의 256레벨의 전압이 된다. 참조 번호(203-1, 203-2)는 기준 전압(202-1, 202-2)으로부터 각각 기준 전압을 선택하는 회로로서, 참조 번호 (204-1, 204-2)는 계조 생성 기준 전압, 참조 번호(205-1, 205-2)는 계

조 생성 기준 전압(204-1, 204-2)으로부터 액정 패널을 구동하는 각각 256계조(VG0 내지 VG 255)의 계조 전압(16)을 생성하는 계조 전압 생성 회로이다.

다음으로, 계조 전압 생성 동작에 대하여 각 회로의 동작을 설명한다. 기준 전압 생성 회로(201-1, 201-2)는 입력 기준 전압이 양극성(17), 음극성(18)과 다르지만 동일한 회로로서, 도 6에 도시한 바와 같이 V0과 V1 사이를 32분압하여 VS0 내지 VS31까지의 32레벨의 선택 기준 전압을 생성하고, V1과 V2 사이도 마찬가지로 하여 32분압하여 VS32 내지 VS63까지의 32레벨의 선택 기준 전압을 생성한다. V2 내지 V8의 기준 전압 사이를 마찬가지로 선택 기준 전압을 생성함으로써, VS0 내지 VS255의 256레벨의 선택 기준 전압(202-1)을 생성한다. 음극성의 기준 전압(18: V9 내지 V17)에 대하여도 마찬가지로 기준 전압 생성 회로(201-2)로 256레벨의 선택 기준 전압(202-2)을 생성한다. 선택 회로(203-1, 203-2)에서는 계조 전압 생성 회로(205-1, 205-2)로 계조 전압을 생성하기 위한 기준 전압을 선택 기준 전압 (202-1, 202-2) 중에서 선택하는 동작을 행한다.

도 6에 있어서 계조 전압 생성 회로(205)는 기준 전압 V1B 내지 V7B 사이를 분압하여 계조 전압을 생성한다. 계조 전압 VG0 내지 VG31의 32레벨은 기준 전압 V0과 선택 회로(203)로 선택한 계조 생성 기준 전압 V1B 사이를 32분압하여 생성한다. 계조 전압 VG32 내지 VG63의 32레벨은 선택 회로(203)로 선택한 계조 생성 기준 전압 V1B와 V2B 사이를 32분압하여 생성한다. 마찬가지로 하여, V2B 내지 V7B 사이를 분압함으로써 VG64 내지 VG223의 계조 전압을 생성한다. 계조 전압 VG224 내지 VG255의 32레벨은 선택 회로(203)로 선택한 계조 생성 기준 전압 V1B와 기준 전압 V8 사이를 32분압하여 생성한다. 계조 전압 생성 회로(205-2)라도 마찬가지로 하여 음극성의 계조 전압 VG0 내지 VG255를 생성한다. 따라서, 선택 회로(203-1, 203-2)로 계조 제어 신호(14)에 의해 계조 생성 기준 전압(204-1, 204-2)의 전압 선택을 제어함으로써 계조 전압을 제어할 수 있다.

도 6에 있어서 버퍼 증폭기(206)는 선택 전압을 버퍼하여, 계조 생성 기준 전압 V1B 내지 V7B를 계조 전압 생성 회로(205)에 접속한다. 예를 들면, 계조 생성 기준 전압 V1B는 선택 기준 전압 VS0, VS1 내지 VG63까지의 64레벨로부터 1레벨 을 선택함으로써 생성된다. 또한, 계조 생성 기준 전압 V2B는 선택 기준 전압 VS0, VS2 내지 VG126까지의 64레벨로부터 1레벨을 선택함으로써 생성된다. 마찬가지로, 계조 생성 기준 전압 V3B는 선택 기준 전압 VS32, VS34 내지 VG158까지의 64레벨로부터 1레벨을 선택함으로써 생성되고, 계조 생성 기준 전압 V4B는 선택 기준 전압 VS64, VS66 내지 VG190까지의 64레벨로부터 1레벨을 선택함으로써 생성되고, 계조 생성 기준 전압 V5B는 선택 기준 전압 VS98, VS100 내지 VG224까지의 64레벨로부터 1레벨을 선택함으로써 생성되고, 계조 생성 기준 전압 V6B는 선택 기준 전압 VS129, VS131 내지 VG255까지의 64레벨로부터 1레벨을 선택함으로써 생성되고, 계조 생성 기준 전압 V7B는 선택 기준 전압 VS192, VS193 내지 VG255까지의 64레벨로부터 1레벨을 선택함으로써 생성된다.

또한, 도 6의 참조 번호(207, 208)는 선택 회로로서, 기준 전압 V0, V8을 각각 선택하는 회로이며, 도 7, 도 8에 내부 구성도를 나타낸다. 도 7에 있어서 계조 전압 생성 회로(205)의 계조 전압 VG8, VG16, VG24, VG40, VG48, VG56에 B1 내지 B6이 접속되어 있으며, 선택 신호(14)에 의해 선택 스위치가 유효하게 된 분압 포인트에 기준 전압 V0이 접속된다. 도 8도 마찬가지로 계조 전압 생성 회로(205)의 계조 전압 VG200, VG208, VG216, VG232, VG240, VG48에 W6 내지 W1이 접속되어 있으며, 선택 신호(14)에 의해 선택 스위치가 유효하게 된 분압 포인트에 기준 전압 V8이 접속된다. 이 선택 회로(207, 208)에 의해 계조 전압 생성 회로(205)는 저계조 영역이 기준 전압 V0인 전압 레벨, 고계조 영역이 기준 전압 V8인 전압 레벨로 고정된다.

다음으로, 계조 제어 레지스터의 구성 및 동작에 대하여 설명한다. 계조 제어 레지스터(13)는 48비트의 데이터 버스 중 36비트를 이용하여 액정 컨트롤러(1)로부터 설정 데이터의 기입을 행한다. 도 9는 계조 제어 레지스터의 비트 구성, 도 10은 데이터 버스의 비트 구성을 나타낸다. 도 9에 도시한 바와 같이 계조 제어 레지스터는 6비트 레지스터 10개로 구성하고, NO.1 내지 NO.9의 B1 내지 B6, W1 내지 W6의 설정, V1B 내지 V7B의 설정을 행하는 레지스터와 NO.10의 제어 레지스터로 구성되어 있다. 도 10에 도시한 바와 같이 데이터 버스의 RGB 각 8비트 2화소의 RO[7:0], RE[7:0], GO[7:0], GE[7:0], BO[7:0], BE[7:0]의 48비트 중, RO [5:0], RE [5:0], GO[5:0], GE[5:0], BO[5:0], BE[5:0]의 36비트를 포트 0 내지 포트 5에 할당한다. 제어 레지스터는 포트 5에 할당하고, 다른 레지스터를 도 9에 도시한 포트 0 내지 포트 4에 할당하고, 제어 레지스터의 P0 내지 P4 비트로 각 계조 제어 레지스터의 기입이 유효한지 무효한지를 설정하여, RS 비트로 동일 포트에 할당된 계조 제어 레지스터의 선택을 행한다. 이러한 레지스터 구성에 의해 2회의 기입으로 모든 계조 제어 레지스터를 설정할 수 있다.

다음으로, 계조 제어 레지스터의 기입 동작 및 회로 구성에 대하여 설명한다. 도 11은 계조 제어 레지스터의 회로 구성도, 도 12는 기입 타이밍을 나타내는 도면이다. 데이터 버스는 표시 데이터의 전송을 행하기 때문에, 표시 데이터의 전송이 유효하지 않은 수평 귀선 기간의 데이터 수평 동기 신호(4)의 상승 엣지에서 데이터 수신을 행함으로써, 데이터 버스의 공유가 가능하며, 데이터 드라이버의 입력 단자 수가 증가하지 않아, 계조 제어 레지스터의 설정을 실현한다. 또한, 도 11에 도시한 바와 같이 포트 0 내지 포트 4에 할당된 데이터 버스 30비트를 각 9개의 계조 제어 레지스터에 접속하고, 포트 5의 제어 레지스터의 P0 내지 P4 비트와 RS 비트의 조건에 의해 유효하게 함으로써 계조 제어 레지스터의 기입을 실현할 수 있다.

이상과 같이 계조 제어 레지스터에 설정 데이터를 기입함으로써, 계조 전압 생성 회로의 계조 생성 기준 전압을 설정함으로써, 데이터 변환 제어와 같이 계조의 붕괴가 없는 계조 제어를 실현할 수 있다.

다음으로, 본 발명에 의해 실현하는 계조 제어에 대하여 도 13 내지 도 18을 이용하여 설명한다.

도 13은 막대 그래프 신장 제어를 행한 경우의 계조 제어를 나타내고 있다. 32계조마다 표시 화면의 0 내지 255계조 레벨의 휘도 분포를 조사하여 0 내지 31계조의 화소가 적다고 판정되는 경우, 0 내지 31계조의 콘트라스트를 저하시키고, 32 내지 255계조의 콘트라스트를 높게 함으로써, 화면 전체의 콘트라스트가 향상한다.

또한, 도 14에서는 32계조마다 표시 화면의 0 내지 255계조 레벨의 휘도 분포를 조사하여 224 내지 255계조의 화소가 적다고 판정되는 경우, 224 내지 255계조의 콘트라스트를 저하시키고, 0 내지 223계조의 콘트라스트를 높게 함으로써, 화면 전체의 콘트라스트가 향상한다.
또한, 도 15에서는 32계조마다 표시 화면의 0 내지 255계조 레벨의 휘도 분포를 조사하여 0 내지 31계조와 224 내지 255계조의 화소가 적다고 판정되는 경우, 0 내지 31계조와 224 내지 255계조의 콘트라스트를 저하시키고, 32 내지 223계조의 콘트라스트를 높게 함으로써, 화면 전체의 콘트라스트가 향상한다.
이와 같이 막대 그래프 신장 제어는 표시 화면의 화소의 휘도 분포를 조사하여 저계조 또는 고계조 영역의 화소가 적은 경우에는 화소가 적은 영역의 콘트라스트를 저하시키고, 화소가 다수있는 영역의 콘트라스트를 높게 함으로써, 화면 전체의 콘트라스트 향상을 실현한다. 또한, 휘도 분포는 1화면분의 화소를 대상으로 하여도 좋고, 1라인분의 화소를 대상으로 하여도 좋다.
본 실시예에서는 화면 전체의 콘트라스트를 향상시키기 위해서, 표시 데이터 자신의 계조 레벨을 변환하는 것이 아니라, 계조 전압을 생성하기 위한 계조 생성 기준 전압을 변환하고, 이에 기초하여 계조 전압을 생성하고 있다.
즉, 막대 그래프 신장 제어를 행하기 위해서 1프레임마다의 막대 그래프를 액정 표시 데이터와 액정 계조 전압의 대응 관계로서 레지스터(13)에 설정한다. 그리고, 계조 전압 생성 회로(16)에 있어서는 전원 회로(8)로부터 공급되는 기준 전압(17, 18)으로부터 256레벨의 기준 전압을 생성하고, 레지스터(13)에 기억된 대응 관계에 기초하여 전원 회로(8)로부터 공급되는 기준 전압(17, 18)으로 바뀌는 계조 생성 기준 전압을 결정한다. 구체적으로는 도 13의 경우에는 계조 32 내지 255까지를 선형으로 변화하도록 계조 생성 기준 전압 V1B 내지 V7B를 설정하게 된다. 예를 들면, 계조 0-31까지는 계조 전압을 0으로 할 필요가 있기 때문에, 계조 생성 기준 전압 V1B와 V2B는 모두 0으로 하고, 남은 V3B 내지 V7B에 의해 계조 0 내지 255까지 선형으로 변화하도록, V3B 내지 V7B에서는 균등하게 전압을 높아지게 설정하도록 계조 생성 기준 전압을 결정할 필요가 있다. 마찬가지로 도 14에 있어 서도, 계조 생성 전압의 결정을 223계조 내지 255계조 사이는 255계조에 대응하는 계조 전압을 얻고, 그 밖의 계조는 선형으로 변화하도록 계조 생성 기준 전압을 결정한다. 도 15에 있어서도 계조 생성 기준 전압의 결정은 도 15에 도시한 그래프와 같이 계조 전압이 얻어지도록 결정된다.
도 13 내지 도 15의 예에서는 32계조마다 휘도 분포를 조사하고 있지만, 16계조마다 또는 8계조마다 휘도 분포를 조사함으로써, 보다 정밀하게 막대 그래프 신장 제어가 가능해져서 고화질화를 실현할 수 있다.
또한, 막대 그래프 신장 제어는 본 실시예에서는 액정 컨트롤러(1)로 휘도 분포를 조사하고, 그 결과에 기초하여 계조 제어 레지스터 NO.1, NO.2의 B1 내지 B6, W1 내지 W6을 설정함으로써 8계조마다 저계조 영역 또는 고계조 영역의 전압을 V0(VG0), V8(VG255)로 고정할 수 있어서 용이하게 실현할 수 있다.
다음으로, 도 16, 도 17을 이용하는 감마 곡선 제어를 행한 경우의 계조 제어에 대하여 설명한다. 도 16은 감마 곡선이 γ=1.8의 곡선을 γ=2.2로 제어하는 계조 제어를 나타내고 있다. 일반적으로 감마 곡선의 감마 계수가 커지면 고계조 영역의 콘트라스트가 높아지고, 감마 계수가 작아지면 저계조 영역의 콘트라스트가 높아진다. 도 13, 도 14, 도 15에 도시한 휘도 분포에 기초하여 고계조 영역의 화소 분포가 많은 경우에는 감마 계수를 크게 하고, 반대로 저계조 영역의 화소 분포가 많은 경우에는 감마 계수가 작아지도록 계조 제어 레지스터를 설정한다. 또한, 감마 변환이 이루어져 있지 않은 표시 데이터에 대하여 역감마 변환을 행함으로써 고화질 표시를 실현한다. 도 16은 감마 계수 γ=1.8의 계조 곡선을 감마 계수 γ= 2.2로 변환하는 계조 제어의 예를 나타내고 있다. 또한 도 17은 감마 계수 γ=2.4의 계조 곡선을 감마 계수 γ=2.2로 변환하는 계조 제어의 예를 나타내고 있다.
이와 같이 감마 곡선 제어는 텔레비전 방송이나 DVD 등의 동화상 표시의 경우와 OA 용도의 텍스트나 문서 표시의 경우에 최적의 감마 곡선이 다른 경우에 감마 곡선을 제어함으로써 화면 전체의 콘트라스트 및 미관 향상을 실현한다.
또한, 감마 곡선 제어는 본 실시예에서는 액정 컨트롤러(1)로 입력되는 영상 신호가 텔레비전 방송이나 DVD 등의 동화상 표시인지, OA 용도의 텍스트나 문서 표시인지를 판정하고, 그 결과에 기초하여 계조 제어 레지스터 NO.3 내지 NO.9의 계조 제어 레지스터를 설정하여 계조 생성 기준 전압 V1B 내지 V7B를 설정함으로써, 감마 곡선의 계조 제어를 행하고 임의의 감마 곡선의 설정을 용이하게 실현할 수 있다.
다음으로, 도 18을 이용하여 이퀄라이즈 신장 제어에 대하여 설명한다.
도 18은 이퀄라이즈 신장 제어를 행한 경우의 계조 제어를 나타내고 있으며, 32계조마다 표시 화면의 0 내지 255계조 레벨의 휘도 분포를 조사하여 평균 화소 분포 수보다 많은 계조 영역의 콘트라스트를 높게 함으로써, 화면 전체의 콘트라스트가 향상한다. 계조 영역 32 내지 63의 화소 수는 평균 화소 수보다 많기 때문에, 계조 영역 32 내지 63의 콘트라스트를 높게 하고, 반대로 계조 영역 128 내지 159의 화소 수는 평균 화소 수보다 적기 때문에, 계조 영역 128 내지 159는 콘트라스트를 낮게 한다. 이와 같이 각 계조 영역의 화소 분포에 따라 콘트라스트를 높게 또 낮게 함으로써, 화면 전체의 콘트라스트 및 미관 향상을 실현한다.
이와 같이 이퀄라이즈 신장 제어는 표시 화면의 화소의 휘도 분포를 조사하여 화소가 적은 영역의 콘트라스트를 저하시키고, 화소가 많은 영역의 콘트라스트를 높게 함으로써, 화면 전체의 콘트라스트 향상을 실현한다.
또한, 이퀄라이즈 신장 제어는 본 실시예에서 액정 컨트롤러(1)로 휘도 분포를 조사하고, 그 결과에 기초하여 계조 제어 레지스터 NO.3 내지 NO.9의 계조 제어 레지스터를 설정하여 계조 생성 기준 전압 V1B 내지 V7B를 설정함으로써, 이퀄라이즈 신장 제어의 계조 제어를 행하고 계조 영역마다의 콘트라스트 제어의 설정을 용이하게 실현할 수 있다.
다음으로, 상기 계조 제어를 행하는 액정 컨트롤러의 구성에 대하여 도 19, 도 20을 이용하여 설명한다. 도 19에 도시한 참조 번호(301)는 액정 구동 제어 회로로서, 표시 신호군(100)으로부터 액정 패널 구동용 데이터 동기 클럭(2), 유효 데이터 스타트 신호(3), 데이터 수평 동기 신호(4), 교류화 신호(19)를 생성한다. 참조 번호(302)는 영상 해석 회로로서, 표시 신호군(100)의 표시 데이터의 휘도 분포(막대 그래프), 평균 휘도, 감마 곡선 등의 영상 정보를 해석하고, 해석 데이터를 계조 제어 판정 회로(303)로 출력한다. 계조 제어 판정 회로(303)에서는 영상의 해석 데이터에 기초하

여 계조 제어를 결정하고, 설정 데이터 생성 회로(304)로 데이터 드라이버(7-1 내지 7-8)의 계조 제어 레지스터에 설정하는 설정 데이터 (306)를 생성한다. 설정 데이터(306)와 표시 데이터(305)는 도 12에 도시한 타이밍으로 선택 신호(308)에 의해 선택 회로(307)로 전환함으로써, 데이터 버스를 공유할 수 있다.

본 실시예에서는 화면 전체의 콘트라스트를 향상시키기 때문에, 표시 데이터 자신의 계조 레벨을 변환하는 것이 아니라, 계조 전압을 생성하기 위한 계조 생성 기준 전압을 변환하고, 이에 기초하여 계조 전압을 생성하고 있다.

즉, 이퀄라이즈 신장 제어를 행하기 위해서, 1프레임마다의 표시 데이터를 복수의 휘도 영역마다 화소 수를 카운트하여 막대 그래프를 작성하고, 복수의 휘도 영역마다 카운트되는 화소 분포 수의 평균치와, 카운트되는 각 휘도 영역의 화소 분포 수와의 차분을 액정 표시 데이터와 액정 계조 전압의 대응 관계로서 레지스터 (13)에 설정한다. 그리고, 계조 전압 생성 회로(16)에 있어서는 전원 회로(8)로부터 공급되는 기준 전압(17, 18)으로부터 256레벨의 기준 전압을 생성하고, 레지스터(13)에 기억된 대응 관계에 기초하여 전원 회로(8)로부터 공급되는 기준 전압 (17, 18)으로 바뀌는 계조 생성 기준 전압을 결정한다. 이와 같이 액정 컨트롤러로 영상을 해석하여 데이터 드라이버의 계조 제어 레지스터의 설정을 변경함으로써, 동화상 프레임마다 또는 영상 신마다 계조 제어를 행할 수 있다.

도 20은 액정 컨트롤러 이외의 시스템 장치에서 영상의 해석을 행하여 계조 제어 신호를 액정 컨트롤러에 전송하고, 액정 컨트롤러로 계조 제어 레지스터의 설정 데이터 생성을 행하는 경우의 구성을 나타내고 있다. 도 20에 도시한 참조 번호(401)는 액정 구동 제어 회로로서, 표시 신호군(100)으로부터 액정 패널 구동용 데이터 동기 클럭(2), 유효 데이터 스타트 신호(3), 데이터 수평 동기 신호(4), 교류화 신호(19)를 생성한다. 참조 번호(400)는 퍼스널 컴퓨터 등의 시스템 장치로서, 표시하는 영상의 휘도 분포(막대 그래프), 평균 휘도, 감마 곡선 등의 해석 결 과나 사용자 설정 정보에 기초하여 계조 제어의 지시를 행하는 계조 제어 신호 (402)를 액정 컨트롤러(1)에 전송한다. 액정 컨트롤러(1)는 계조 제어 판정 회로 (403)에서 시스템 장치(400)로부터의 계조 제어 신호(402)의 지시에 따라 계조 제어를 결정하고, 설정 데이터 생성 회로(404)로 데이터 드라이버(7-1 내지 7-8)의 계조 제어 레지스터에 설정하는 설정 데이터(406)를 생성한다. 설정 데이터(406)와 표시 데이터(405)는 도 12에 도시한 타이밍으로 선택 신호(408)에 의해 선택 회로(407)로 전환함으로써, 데이터 버스를 공유할 수 있다. 이와 같이 시스템 장치로 영상을 해석하여 액정 컨트롤러로 데이터 드라이버의 계조 제어 레지스터의 설정을 변경함으로써, 동화상 프레임마다 또는 영상 신마다 계조 제어를 행할 수 있다.

또한, 본 실시예에서는 256계조 표시에 대응하여 기준 전압을 양극성, 음극성 각각 9개로 설정하였지만, 이에 한하는 것이 아니라, 양극성, 음극성 각각 5개로 설정한 경우도 마찬가지로 계조 제어를 실현할 수 있다. 또한, 계조 생성 기준 전압 V1B 내지 V7B를 32계조마다 설정하였지만, 이에 한하는 것이 아니라, 16계조마다 설정한 경우라도 마찬가지로 계조 제어를 실현할 수 있다.

다음으로, 본 발명의 제2 실시예에 대하여 도 9 내지 도 18, 도 21 내지 도 29를 이용하여 설명한다.

제2 실시예는 공통 반전 구동을 행하여, 64계조의 데이터 드라이버를 이용하여 FRC 제어에 의해 2^N (256) 계조 표시 실현하는 부분이 제1 실시예와 다르다.

도 21은 본 발명을 적용한 액정 패널 구동 회로의 구성도로서, 1280×RGB× 1024의 액정 패널을 FRC 제어에 의해 RGB 각 256계조, 1638400색 표시를 행하는 경우의 액정 디스플레이의 구성을 나타낸다. 참조 번호(100)는 시스템 장치로부터 전송된 표시 신호군, 참조 번호(101)는 표시 신호군(100)을 액정 드라이버의 동기 신호 및 표시 데이터로 변환하는 액정 컨트롤러, 참조 번호(102)는 데이터 동기 클럭, 참조 번호(103)는 유효 데이터 스타트 신호, 참조 번호(104)는 데이터 수평 동기 신호, 참조 번호(105)는 표시 데이터, 참조 번호(106)는 주사 드라이버 제어 신호군, 참조 번호(107-1 내지 107-8)는 64계조, 출력 수 480개의 데이터 드라이버로서, 참조 번호(107-1 내지 107-8)의 8개로 액정 패널을 구동한다. 참조 번호 (108)는 전원 회로로 액정을 구동하는 계조 전압의 양극성 기준 전압(131), 음극성 기준 전압(132), 양극성 공통 전압(141), 음극성 공통 전압(142)을 생성하고, 참조 번호(109)는 액정을 주사하는 주사 드라이버, 참조 번호(110)는 해상도 1280× RGB×1024의 액정 패널이다. 또한, 참조 번호(111)는 레지스터 제어 회로, 참조 번호 (112)는 레지스터(113)를 제어하는 레지스터 제어 신호군, 참조 번호(114)는 레지스터 출력 신호로 계조 전압 생성 회로(115)를 제어한다. 참조 번호(116)는 계조 전압 생성 회로(15)로 생성한 양극성 또는 음극성 각각 64계조의 계조 전압 신호군, 참조 번호(119)는 교류의 극성을 제어하는 교류화 신호이다. 참조 번호 (133)는 양극성 기준 전압(131), 음극성 기준 전압(132)을 교류화 신호(119)로 전환하는 전환 회로, 참조 번호(143)는 양극성 공통 전압(141), 음극성 공통 전압 (142)을 교류화 신호(119)로 전환하는 전환 회로이다. 또한, 참조 번호(120)는 시프트 레 지스터, 참조 번호(122)는 시프트 레지스터(120)로 생성한 시프트 클럭 (121)에 의해 표시 데이터(105)를 순차 래치하는 데이터 래치 회로, 참조 번호 (124)는 데이터 래치 회로(122)의 출력 데이터(123)를 데이터 수평 동기 신호(104)로 모든 출력을 동시에 래치하는 데이터 래치 회로, 참조 번호(126)는 데이터 래치 회로(124)의 출력 데이터(125)에 기초하여 계조 전압 신호군(116)으로부터 계조 전압을 선택하는 계조 전압 선택 회로, 참조 번호(128)는 계조 전압 선택 회로(126)로 선택한 선택 계조 전압(127)을 버퍼 회로로 버퍼하여 출력하는 출력 버퍼 회로, 참조 번호 (129-1 내지 129-8)는 1280×RGB×1024의 액정 패널(110)을 구동하는 계조 구동 전압, 참조 번호(130)는 주사 전압이다.

도 22, 도 23은 공통 반전 구동의 액정 패널의 교류 극성을 나타내는 도면, 도 24는 액정 디스플레이의 구동 타이밍을 나타내는 도면, 도 25는 계조 전압 생성 회로의 구성도, 도 26, 도 27, 도 28은 계조 전압 생성 회로의 선택 회로의 구성도이다. 도 29는 액정 컨트롤러의 구성도이다.

도 22에 도시한 바와 같이 본 실시예는, 동일 라인의 화소는 교류 극성이 동일하고, 인접한 라인의 화소가 상호 교류 극성이 역이 되는 공통 반전 구동을 행하기 때문에, 도 23에 도시한 바와 같이 인접한 라인의 교류 극성은 역이 되고, 이에 동기하여 액정의 대향 전극의 전압인 공통 전압(Vcom)을 반전함으로써 교류 구동을 행한다.

다음으로, 이들 표시 동작에 대하여 설명한다. 도 21에 있어서 액정 컨트롤러(101)는 도시하지 않은 퍼스널 컴퓨터 등의 시스템 장치로부터 RGB 각 8비트 256 계조, 1638400색 표시의 표시 신호군(100)을 수신하여, 액정을 구동하는 데이터 드라이버(107-1 내지 107-8) 및 주사 드라이버(109)의 타이밍으로 신호를 변환한다. 액정 컨트롤러(101)에서는 데이터 드라이버(7-1 내지 7-8)가 64계조의 전압을 생성하기 때문에, RGB 각 8비트를 FRC 제어한 6비트의 표시 데이터로 변환하여 256계조 표시를 행한다. FRC 제어는 다른 계조 전압을 프레임마다 인가함으로써, 그 중간의 계조를 표시하는 방식이다. 따라서, 액정 컨트롤러(101)는 전압에 의한 전압 계조 0 내지 63 사이에 3계조씩, 전압 계조 62와 63 사이는 FRC 제어에 의한 FRC 계조를 6계조로서, 256계조 표시를 행한다.

그리고, 액정 컨트롤러(101)에서는 RGB 각 6비트를 2화소 병렬로 하여 직렬로 36비트의 데이터 버스를 이용하여 표시 데이터를 전송하고, 데이터 드라이버 (107-1 내지 107-8)에서는 데이터 수신 클럭(102)으로 순차 RGB 2화소씩 표시 데이터를 수신한다.

이 데이터 수신 타이밍을 도 21, 도 24를 이용하여 설명한다. 데이터 수신 클럭(102)에 동기하여 전송되는 표시 데이터(105)는 표시 데이터가 유효하게 되는 타이밍으로 액정 컨트롤러(101)가 유효 데이터 스타트 신호(103)를 출력하고, 1단째 데이터 드라이버(107-1)가 표시 데이터의 수신을 개시한다. 데이터 드라이버 (107-1)는 RGB 2화소씩 표시 데이터를 수신하고, 80클럭으로 480 출력분의 표시 데이터의 수신을 완료한다. 데이터 드라이버(107-1)는 자단의 표시 데이터 수신이 끝나면, 다음 단의 데이터 드라이버(107-2)에 대하여 유효 데이터 스타트 신호 (134-1)를 출력하고, 데이터 드라이버(107-2)가 표시 데이터 수신을 개시한다. 이 후의 데이터 드라이버(107-3 내지 107-8)도 동일한 동작을 반복함으로써, 1라인의 표시 데이터를 데이터 래치 회로 A122에 입력한다.

다음으로, 데이터 래치 회로 A122의 1라인의 표시 데이터를 전부 동시에 데이터 수평 동기 신호(104)로 데이터 래치 회로 B124에 래치하고, 각 출력의 표시 데이터(125)에 대응한 계조 전압(116)을 계조 전압 선택 회로(126)로 선택하여, 출력 버퍼 회로(128)로 버퍼해서 계조 구동 전압(129-1 내지 129-8)을 1라인 동시에 출력한다.

한편, 주사 드라이버(109)는 액정 컨트롤러(101)로 생성된 프레임 동기 신호 FLM의 타이밍으로 주사 수평 동기 신호 CL3에 동기하여 제1 라인 게이트선을 선택하고, 주사 수평 동기 신호 CL3에 동기하여 순차 제2 라인, 제3 라인 게이트선을 선택한다. 주사 수평 동기 신호 CL3의 1024클럭으로 순차 1024라인을 선택하고, 다음의 프레임 동기 신호 FLM이 유효하게 되면, 제1 라인 게이트선을 선택한다. 이와 같이 프레임 주기로 1024라인을 선택하는 동작을 반복함으로써 선 순차 선택 동작을 행하고, 데이터 드라이버(107-1 내지 107-8)에 의해 액정 패널(110)의 데이터선에 계조 구동 전압(129-1 내지 129-8)이 출력되어 표시 데이터에 대응한 표시를 실현한다.

다음으로, 계조 제어의 동작에 대하여 설명한다. 계조 전압(116)은 전원 회로(108)로 생성한 양극성 기준 전압(131)과 음극성 기준 전압(132)을 전환 회로 (133)로 교류화 신호(119)로 전환하고, 기준 전압(117)으로서 V0 내지 V8의 9레벨을 계조 전압 생성 회로(115)에 입력한다.

이 때, 전환 회로(143)에서는 도 23에 도시한 바와 같이 양극성의 계조 전압이 인가되는 경우와 음극성의 계조 전압이 인가되는 경우에 대응하여, 교류화 신호 (119)로 공통 전압을 전환하고 액정 패널(110)의 공통 전극을 구동한다.

계조 전압 생성 회로(115)에서는 기준 전압(117)의 V0 내지 V8의 9레벨로부터 64레벨의 계조 전압(16)을 생성하지만, 기준 전압(117)이 양극성인 경우에는 양극성의 계조 전압, 음극성인 경우에는 음극성의 계조 전압의 어느 쪽인지가 생성된다.

도 25, 도 26, 도 27, 도 28은 계조 전압 생성 회로(115)의 내부 구성도로서, 참조 번호(501)는 기준 전압 생성 회로, 참조 번호(502)는 선택 기준 전압으로서 기준 전압 VS0 내지 VS63의 64레벨의 전압이 된다. 참조 번호(503)는 선택 기준 전압(502)으로부터 기준 전압을 선택하는 회로, 참조 번호(504)는 계조 생성 기준 전압, 참조 번호(505)는 계조 생성 기준 전압(504)으로부터 액정 패널을 구동하는 64계조(VG0 내지 VG63)의 계조 전압(116)을 생성하는 계조 전압 생성 회로이다.

다음으로, 계조 전압 생성 동작에 대하여 각 회로의 동작을 설명한다. 기준 전압 생성 회로(501)는 도 26에 도시한 바와 같이 V0과 V1 사이를 8분압하여 VS0 내지 VS7까지의 8레벨의 선택 기준 전압(502)을 생성하고, V1과 V2 사이도 마찬가지로 하여 8분압하여 VS8 내지 VS15까지의 8레벨의 선택 기준 전압을 생성한다. V2 내지 V8의 기준 전압 사이를 마찬가지로 선택 기준 전압을 생성함으로써, VS0 내지 VS63의 64레벨의 선택 기준 전압(502)을 생성한다. 선택 회로(503)에서는 계조 전압 생성 회로(505)로 계조 전압을 생성하기 위한 기준 전압을 선택 기준 전압 (502) 중에서 선택하는 동작을 행한다.

도 26에 있어서 계조 전압 생성 회로(505)는 기준 전압 V1B 내지 V7B 사이를 분압하여 계조 전압을 생성한다. 계조 전압 VG0 내지 VG7의 8레벨은 기준 전압 V0과 선택 회로(503)로 선택한 계조 생성 기준 전압 V1B 사이를 8분압하여 생성한다. 계조 전압 VG8 내지 VG15의 8레벨은 선택 회로(503)로 선택한 계조 생성 기준 전압 V1B와 V2B 사이를 8분압하여 생성한다. 마찬가지로 하여, V2B 내지 V7B 사이를 분압함으로써 VG16 내지 VG55의 계조 전압을 생성한다. 계조 전압 VG56 내지 VG63의 8레벨은 선택 회로(503)로 선택한 계조 생성 기준 전압 V1B와 기준 전압 V8 사이를 8분압하여 생성한다. 따라서, 선택 회로(503)로서, 계조 제어 신호(114)에 의해 계조 생성 기준 전압(504)의 전압 선택을 제어함으로써 계조 전압을 제어할 수 있다. 도 26에 있어서 버퍼 증폭기(506)는 선택 전압을 버퍼하여, 계조 생성 기준 전압 V1B 내지 V7B를 계조 전압 생성 회로(505)에 접속한다. 예를 들면, 계조 생성 기준 전압 V1B는 선택 기준 전압 VS0, VS1 내지 VG31까지의 32레벨로부터 1레벨을 선택함으로써 생성된다. 또한, 계조 생성 기준 전압 V2B는 선택 기준 전압 VS0, VS1 내지 VG31까지의 32레벨로부터 1레벨을 선택함으로써 생성한다. 마찬가지로, 계조 생성 기준 전압 V3B는 선택 기준 전압 VS8, VS9 내지 VG39까지의 32레벨로부터 1레벨을 선택함으로써 생성하고, 계조 생성 기준 전압 V4B는 선택 기준 전압 VS16, VS17 내지 VG47까지의 32레벨로부터 1레벨을 선택함으로써 생성하고, 계조 생성 기준 전압 V5B는 선택 기준 전압 VS25, VS26 내지 VG56까지의 32레벨로부터 1레벨을 선택함으로써 생성하고, 계조 생성 기준 전압 V6B는 선택 기준 전압 VS32, VS33 내지 VG63까지의 32레벨로부터

1레벨을 선택함으로써 생성하고, 계조 생성 기준 전압 V7B는 선택 기준 전압 VS32, VS33 내지 VG63까지의 32레벨로부터 1레벨을 선택함으로써 생성한다.
또한, 도 26의 참조 번호(507, 508)는 선택 회로로서, 기준 전압 V0, V8을 각각 선택하는 회로로서, 도 27, 도 28에 내부 구성도를 나타낸다. 도 27에 있어서 계조 전압 생성 회로(505)의 계조 전압 VG2, VG4, VG6, VG10, VG12, VG14에 B1 내지 B6이 접속되어 있으며, 선택 신호(114)에 의해 선택 스위치가 유효하게 된 분압 포인트에 기준 전압 V0이 접속된다. 도 28도 마찬가지로 계조 전압 생성 회로 (505)의 계조 전압 VG50, VG52, VG54, VG58, VG60, VG62에 W6 내지 W1이 접속되어 있으며, 선택 신호(114)에 의해 선택 스위치가 유효하게 된 분압 포인트에 기준 전압 V8이 접속된다. 이 선택 회로(507, 508)에 의해 계조 전압 생성 회로(505)는 저계조 영역이 기준 전압 V0인 전압 레벨, 고계조 영역이 기준 전압 V8인 전압 레벨로 고정된다.
다음으로, 계조 제어 레지스터의 구성 및 동작에 대하여 설명한다. 제2 실시예에서는 계조 제어 레지스터는 제1 실시예와 동일한 구성이 되기 때문에, 다시 도 9 내지 도 12를 이용하여 설명한다. 계조 제어 레지스터(113)는 36비트의 데이터 버스를 이용하여 액정 컨트롤러(101)로부터 설정 데이터의 기입을 행한다. 도 9는 계조 제어 레지스터의 비트 구성, 도 10은 데이터 버스의 비트 구성을 나타낸다. 도 9에 도시한 바와 같이 계조 제어 레지스터는 6비트 레지스터 10개로 구성하고, NO.1 내지 NO.9의 B1 내지 B6, W1 내지 W6의 설정, V1B 내지 V7B의 설정을 행하는 레지스터와 NO.10의 제어 레지스터로 구성되어 있다.
도 10에 도시한 바와 같이 데이터 버스의 RGB 각 8비트 2화소의 RO[7:0], RE [7:0], GO[7:0], GE[7:0], BO[7:0], BE[7:0]의 48비트 중, RO[5:0], RE[5:0], GO [5:0], GE[5:0], BO[5:0], BE[5:0]의 36비트를 포트 0 내지 포트 5에 할당한다. 단지, 제2 실시예에서는 NO.3 내지 NO.9의 V1B 내지 V7B의 설정 레지스터는 32레벨의 선택 회로가 되기 때문에, D4 내지 D0의 5비트가 유효하게 되며, D5 비트는 무효가 된다. 제어 레지스터는 포트 5에 할당하고, 다른 레지스터를 도 9에 도시한 포트 0 내지 포트 4에 할당하고, 제어 레지스터의 P0 내지 P4 비트로 각 계조 제어 레지스터의 기입이 유효한지 무효한지를 설정하여, RS 비트로 동일 포트에 할당된 계조 제어 레지스터의 선택을 행한다. 이러한 레지스터 구성에 의해 2회의 기입으로 모든 계조 제어 레지스터를 설정할 수 있다.
또한, 제2 실시예의 계조 제어 레지스터의 기입 동작 및 회로 구성에 대해서도 도 11, 도 12에 도시한 바와 같이 제1 실시예와 동일하다.
이상과 같이 계조 제어 레지스터에 설정 데이터를 기입함으로써, 계조 전압 생성 회로의 계조 생성 기준 전압을 설정함으로써, 데이터 변환 제어와 같이 계조의 붕괴가 없는 계조 제어를 실현할 수 있다.
다음으로, 본 발명에 의해 실현하는 계조 제어에 대하여 도 13 내지 도 18을 이용하여 설명한다. 제2 실시예에서는 제1 실시예와 마찬가지로 계조 제어를 행할 수 있다.
도 13, 도 14, 도 15의 막대 그래프 신장 제어는 본 실시예에서도 제1 실시예와 마찬가지로 표시 화면의 화소의 휘도 분포를 조사하고, 저계조 또는 고계조 영역의 화소가 적은 경우에는 화소가 적은 영역의 콘트라스트를 저하시키고, 화소가 다수있는 영역의 콘트라스트를 높게 함으로써, 화면 전체의 콘트라스트 향상을 실현한다.
또한, 막대 그래프 신장 제어는 본 실시예에서는 액정 컨트롤러(101)로 휘도 분포를 조사하고, 그 결과에 기초하여 계조 제어 레지스터 NO.1, NO.2의 B1 내지 B6, W1 내지 W6을 설정함으로써 8계조마다 저계조 영역 또는 고계조 영역의 전압을 V0(VG0), V8(VG63)로 고정할 수 있어서 용이하게 실현할 수 있다.
또한, 도 16, 도 17에 도시한 감마 곡선 제어에 대해서도 제1 실시예와 마찬가지로 계조 제어를 행할 수 있다. 본 실시예에서는 액정 컨트롤러(101)로 입력되는 영상 신호가 텔레비전 방송이나 DVD 등의 동화상 표시인지, OA 용도의 텍스트나 문서 표시인지를 판정하고, 그 결과에 기초하여 계조 제어 레지스터 NO.3 내지 NO.9의 계조 제어 레지스터를 설정하고, 계조 생성 기준 전압 V1B 내지 V7B를 설정함으로써 감마 곡선의 계조 제어를 행하고 임의의 감마 곡선의 설정을 용이하게 실현할 수 있다.
또한, 도 18에 도시한 이퀄라이즈 신장 제어에 대해서도 제1 실시예와 마찬가지로 계조 제어를 행할 수 있다. 본 실시예에서는 액정 컨트롤러(101)로 휘도 분포를 조사하고, 그 결과에 기초하여 계조 제어 레지스터 NO.3 내지 NO.9의 계조 제어 레지스터를 설정하여 계조 생성 기준 전압 V1B 내지 V7B를 설정함으로써, 이퀄라이즈 신장 제어의 계조 제어를 행하고 계조 영역마다의 콘트라스트 제어의 설정을 용이하게 실현할 수 있다.
다음으로, 상기 계조 제어를 행하는 액정 컨트롤러의 구성에 대하여 도 29를 이용하여 설명한다. 도 29는 액정 디스플레이의 사용자 설정 회로에 의해 계조 제어를 지시하는 계조 제어 신호와 액정 컨트롤러로 영상 데이터의 해석을 행한 결과에 기초하여 계조 제어를 행하는 경우의 구성을 나타내고 있다. 도 29에 있어서 참조 번호(601)는 액정 구동 제어 회로로서, 표시 신호군(100)으로부터 액정 패널 구동용 데이터 동기 클럭(102), 유효 데이터 신호(103), 데이터 수평 동기 신호 (104), 교류화 신호(119)를 생성한다. 또한, 액정 구동 제어 회로(601)에서는 RGB 8비트 데이터를 FRC 제어를 행하여 RGB 6비트의 표시 데이터로 변환한다. 참조 번호(602)는 영상 해석 회로로서, 표시 신호군(100)의 표시 데이터의 휘도 분포(막대 그래프), 평균 휘도, 감마 곡선 등의 영상 정보를 해석하고, 해석 데이터를 계조 제어 판정 회로(603)로 출력한다. 또한, 참조 번호(600)는 액정 디스플레이에 설치한 사용자가 설정 가능한 스위치 등의 사용자 설정 회로로서 사용자가 계조 설정을 지시할 수 있다. 계조 제어 판정 회로(603)에서는 영상 해석 회로(602)로부터의 영상 해석 데이터와, 사용자 설정 회로(600)로부터 계조 설정을 지시하는 계조 제어 신호(609)에 기초하여 계조 제어를 결정하고, 설정 데이터 생성 회로(604)로 데이터 드라이버(107-1 내지 107-8)의 계조 제어 레지스터에 설정하는 설정 데이터 (606)를 생성한다. 설정 데이터(606)와 표시 데이터(605)는 도 12에 도시한 타이밍으로 선택 신호(608)에 의해 선택 회로(607)로 전환함으로써, 데이터 버스를 공유할 수 있다. 이와 같이 액정 컨트롤러로 영상을 해석하여 데이터 드라이버의 계조 제어 레지스터의 설정을 변경함으로써, 동화상 프레임마다 또는 영상 신마다, 또는 사용자의 기호에 대응하여 계조 제어를 행할 수 있다.

또한, 본 실시예에서는 64계조 표시(FRC 제어에 의해 256계조 표시)에 대응하여 기준 전압을 9개로 설정하였지만, 이에 한하는 것이 아니라, 양극성, 음극성 각각 5개로 설정한 경우도 마찬가지로 계조 제어를 실현할 수 있다. 또한, 계조 생성 기준 전압 V1B 내지 V7B를 32계조마다 설정하였지만, 이에 한하는 것이 아니라, 16계조마다 설정한 경우라도 마찬가지로 계조 제어를 실현할 수 있다.

다음으로, 본 발명의 제3 실시예에 대하여 도 9 내지 도 18, 도 30 내지 도 36을 이용하여 설명한다. 제3 실시예는 공통 반전 구동을 행하고, 표시 메모리를 내장한 64계조의 데이터 드라이버를 이용하여 계조 표시 실현하는 부분이 제1, 제2 실시예와 다르다.

도 30은 본 발명을 적용한 액정 패널 구동 회로의 구성도로서, 160×RGB× 240의 액정 패널을 RGB 각 64계조, 262144색 표시를 행하는 경우의 액정 디스플레이 구성을 나타낸다. 참조 번호(701)는 시스템 장치의 CPU, 참조 번호(702)는 제어 신호, 데이터를 포함한 시스템 버스, 참조 번호(703)는 메모리, 참조 번호 (704)는 표시 메모리를 내장한 데이터 드라이버로, 160×RGB=480 출력을 갖고, 240라인분의 표시 메모리를 내장한다. 참조 번호(705)는 액정 구동의 계조 기준 전압 (731), 액정 패널의 공통 전극의 공통 전압(732, 733)을 생성하는 전원 회로, 참조 번호(706)는 액정 패널(707)을 주사하는 주사 드라이버이다. 참조 번호(708, 709)는 시스템 버스(702)로부터 데이터 드라이버(704)로의 제어 신호군, 데이터 버스, 참조 번호(755)는 CPU(701)로부터의 커맨드를 받고 표시 메모리(744)나 계조 제어 레지스터(736)의 제어를 행하는 커맨드 제어 회로, 참조 번호(710)는 표시 메모리의 어드레스나 데이터를 보유하는 메모리 제어 레지스터, 참조 번호(711)는 메모리 제어 레지스터(710)에 대응하여 표시 메모리의 데이터 어드레스(712), 워드 어드레스(714), 메모리 버스(713)를 제어하는 메모리 제어 회로이다.

또한, 참조 번호(716)는 표시 타이밍의 기준 클럭(717)을 생성하는 발진 회로, 참조 번호(718)는 표시 타이밍을 제어하는 표시 제어 회로, 참조 번호(719)는 데이터 수평 동기 신호(720)에 따라 동작하는 주사 카운터, 참조 번호(723)는 커맨드 제어 회로(755)로 생성하는 메모리 액세스 신호(725)와 표시 제어 회로(718)로 생성하는 표시 액세스 신호(721)에 기초하여 표시 메모리(744)를 메모리 액세스 또는 표시 액세스로 할지를 조정하는 아비터 회로, 참조 번호(715)는 워드 어드레스 (714)와 표시 어드레스(726)를 표시 전환 신호(727)로 선택하는 워드 어드레스 선택 회로, 참조 번호(728)는 선택한 워드 어드레스이다. 참조 번호(729)는 교류 타이밍을 나타내는 교류화 신호, 참조 번호(730)는 주사 드라이버(706)로의 주사 제어 신호이다. 참조 번호(736)는 계조 제어를 행하는 계조 제어 레지스터, 참조 번호(738)는 계조 제어 신호(737)에 기초하여 계조 전압을 생성하는 계조 전압 생성 회로, 참조 번호(739)는 계조 전압 신호군이다. 또한, 참조 번호(740)는 표시 메모리(744)의 데이터 어드레스를 디코드하는 데이터선 디코더, 참조 번호(741)는 데이터선을 선택하는 데이터선 선택 신호, 참조 번호(742)는 표시 메모리(744)의 리드/라이트 제어를 행하는 I/O 셀렉터, 참조 번호(745)는 워드 어드레스를 디코드하는 워드선 디코더, 참조 번호(746)는 워드선 선택 신호, 참조 번호(747)는 표시 메 모리(744)로부터 판독한 표시 데이터선, 참조 번호(748)는 표시 데이터를 1라인 동시에 래치하는 데이터 래치 회로, 참조 번호(749)는 래치 표시 데이터, 참조 번호 (750)는 계조 전압 신호군(739)으로부터 래치 표시 데이터(749)에 대응하는 계조 전압을 선택하는 계조 전압 선택 회로, 참조 번호(752)는 계조 전압 선택 회로 (750)로 선택한 선택 계조 전압(751)을 버퍼 회로로 버퍼하여 출력하는 출력 버퍼 회로, 참조 번호(753)는 160×RGB×240의 액정 스프링(707)을 구동하는 계조 구동 전압이다.

도 31, 도 32는 CPU의 데이터 드라이버의 라이트 액세스, 리드 액세스의 타이밍을 나타내는 도면, 도 33은 계조 전압 생성 회로의 구성도, 도 34, 도 35는 계조 전압 생성 회로의 선택 회로의 구성도이다. 도 36은 계조 제어 레지스터의 내용을 나타내는 도면이다.

제2 실시예와 같이 본 실시예에서는 도 22에 도시한 바와 같이 동일 라인의 화소는 교류 극성이 동일하고, 인접한 라인의 화소가 상호 교류 극성이 역이 되는 공통 반전 구동을 행하기 때문에, 도 23에 도시한 바와 같이 인접한 라인의 교류 극성은 역이 되고, 이에 동기하여 액정의 대향 전극의 전압인 공통 전압(Vcom)을 반전함으로써 교류 구동을 행한다. 다음으로, 이들 표시 동작에 대하여 설명한다. 도 30에 있어서 CPU(701)는 표시 데이터를 데이터 드라이버(704)에 내장하는 표시 메모리(744)에 기입을 행한다. CPU(701)는 시스템 버스(702)를 통하여 제어 신호군(708), 데이터(709)를 전송하고, 도 31, 도 32에 도시한 바와 같이 칩 셀렉트 신호 CS, 라이트 신호 WR, 리드 신호 RD, 16비트의 데이터 D15 내지 D0에 의해 데이 터 드라이버(704)에 커맨드를 전송하고, 표시 메모리의 라이트 제어, 리드 제어나 계조 제어 레지스터의 제어를 행한다. 예를 들면, 표시 메모리(744)에 표시 데이터를 라이트하는 경우, CPU(701)는 데이터 드라이버(704)에 표시 메모리 어드레스의 기입 커맨드를 전송하여 어드레스를 전송하고, 다음으로 표시 데이터의 기입 커맨드를 전송하여 표시 데이터를 전송한다. 데이터 드라이버(704)에서는 표시 메모리 어드레스의 기입 커맨드에 대응하여 메모리 제어 레지스터(710)에 표시 메모리의 어드레스를 유지하고, 표시 데이터의 기입 커맨드에 대응하여 메모리 제어 회로 (711)가 데이터선 디코더(740), 워드선 디코더(745)에 기입을 행하는 어드레스를 설정하여 표시 메모리(744)에 표시 데이터의 기입을 행한다. 이 동작을 표시 메모리의 각 어드레스에 행함으로써, 1화면의 데이터를 표시 메모리(744)에 기입할 수 있다. 표시 메모리(744)의 표시 데이터는 발진 회로(716)로 생성하는 표시 기준 클럭(717)으로부터 표시 제어 회로(718)로 생성하는 데이터 수평 동기 신호(720)에 의해 주사 카운터(719)는 표시 라인의 표시 워드 어드레스(726)를 생성하고, 워드 어드레스 선택 회로(715)는 표시 기간에서는 표시 워드 어드레스(726)를 선택하고, 워드선 디코더(745)에 의해 표시하는 라인의 워드선이 선택된다. 그리고, 표시 메모리(744)의 표시 데이터(747)를 데이터 수평 동기 신호(720)로 480 출력분 동시에 데이터 래치 회로(748)에 래치하고, 각 출력의 표시 데이터(749)에 대응한 계조 전압 신호군(739)을 계조 전압 선택 회로(750)로 선택하여, 출력 버퍼 회로(752)로 버퍼해서 계조 구동 전압(753)을 1라인 동시에 출력한다.

한편, 주사 드라이버(706)는 데이터 드라이버(704)로 생성된 프레임 동기 신 호 FLM의 타이밍으로 주사 수평 동기 신호 CL3에 동기하여 제1 라인 게이트선을 선택하고, 주사 수평 동기 신호 CL3에 동기하여 순차 제2 라인, 제3 라인 게이트선을 선택한다. 주사 수평 동기 신호 CL3의 1024클럭으로 순차 1024라인을 선택하고, 다음의 프레임 동기 신

호 FLM이 유효하게 되면, 제1 라인 게이트선을 선택한다. 이와 같이 프레임 주기로 240라인을 선택하는 동작을 반복함으로써 선 순차 선택 동작을 행하고, 데이터 드라이버(704)에 의해 액정 패널(707)의 데이터선에 계조 구동 전압(753)이 출력되어 표시 데이터에 대응한 표시를 실현한다.

다음으로, 계조 제어의 동작에 대하여 설명한다. 계조 전압 신호군(739)은 전원 회로(705)로 생성한 양극성 V0 내지 V4, 음극성 V5 내지 V9의 10레벨의 기준 전압(731)을 계조 전압 생성 회로(738)에 입력한다. 도 33, 도 34, 도 35는 계조 전압 생성 회로(738)의 내부 구성도로서, 참조 번호(801)는 기준 전압 선택 회로, 참조 번호(802)는 기준 전압, 참조 번호(803)는 기준 전압 생성 회로, 참조 번호 (804)는 선택 기준 전압으로 기준 전압 VS0 내지 VS63의 64레벨의 전압이 된다. 참조 번호(805)는 선택 기준 전압(804)으로부터 기준 전압을 선택하는 회로, 참조 번호(806)는 계조 생성 기준 전압, 참조 번호(807)는 계조 생성 기준 전압(806)으로부터 액정 패널을 구동하는 64계조(VG0 내지 VG63)의 계조 전압(739)을 생성하는 계조 전압 생성 회로이다.

다음으로, 계조 전압 생성 동작에 대하여 각 회로의 동작을 설명한다. 기준 전압 선택 회로(801)는 교류화 신호(729)에 대응하여 양극성 V0 내지 V4와 음극성 V5 내지 V9를 선택한다. 따라서, 계조 전압 생성 회로(738)에서는 기준 전압(731) 의 V0 내지 V9의 10레벨 내지 64레벨의 계조 전압(739)을 생성하지만, 교류화 신호 (729)가 양극성인 경우에는 양극성의 계조 전압, 음극성인 경우에는 음극성의 계조 전압의 어느 쪽인가가 생성된다. 이 때, 전환 회로(734)에서는 도 23에 도시한 바와 같이 양극성의 계조 전압이 인가되는 경우와 음극성의 계조 전압이 인가되는 경우에 대응하여, 교류화 신호(729)로 양극성 공통 전압(732)과 음극성 공통 전압 (733)을 전환하고, 액정 패널(707)의 공통 전극을 구동한다.

기준 전압 생성 회로(803)는 도 35에 도시한 바와 같이 V0S와 V1S 사이를 16분압하여 VS0 내지 VS15까지의 16레벨의 선택 기준 전압(804)을 생성하고, V1S와 V2S 사이도 마찬가지로 하여 16분압하여 VS16 내지 VS31까지의 16레벨의 선택 기준 전압을 생성한다. V2S 내지 V4S의 기준 전압 사이를 마찬가지로 선택 기준 전압을 생성함으로써, VS0 내지 VS63의 64레벨의 선택 기준 전압(804)을 생성한다. 선택 회로(805)에서는 계조 전압 생성 회로(807)로 계조 전압을 생성하기 위한 기준 전압을 선택 기준 전압(804) 중에서 선택하는 동작을 행한다. 도 35에 있어서 계조 전압 생성 회로(807)는 기준 전압 V1B 내지 V7B 사이를 분압하여 계조 전압을 생성한다. 계조 전압 VG0 내지 VG7의 8레벨은 기준 전압 V0S와 선택 회로(805)로 선택한 계조 생성 기준 전압 V1B 사이를 8분압하여 생성한다. 계조 전압 VG8 내지 VG15의 8레벨은 선택 회로(805)로 선택한 계조 생성 기준 전압 V1B와 V2B 사이를 8분압하여 생성한다. 마찬가지로 하여, V2B 내지 V7B 사이를 분압함으로써 VG16 내지 VG55의 계조 전압을 생성한다. 계조 전압 VG56 내지 VG63의 8레벨은 선택 회로 (805)로 선택한 계조 생성 기준 전압 V7B와 기준 전압 V4S 사이를 8분압하여 생성 한다. 따라서, 선택 회로(805)로서, 계조 제어 신호(737)에 의해 계조 생성 기준 전압(806)의 전압 선택을 제어함으로써 계조 전압을 제어할 수 있다. 도 35에 있어서 버퍼 증폭기(808)는 선택 전압을 버퍼하여, 계조 생성 기준 전압 V1B 내지 V7B를 계조 전압 생성 회로(807)에 접속한다. 예를 들면, 계조 생성 기준 전압 V1B는 선택 기준 전압 VS0, VS1 내지 VG31까지의 32레벨로부터 1레벨을 선택하여, 계조 생성 기준 전압 V1B를 생성한다. 또한, 계조 생성 기준 전압 V2B는 선택 기준 전압 VS0, VS1 내지 VG31까지의 32레벨로부터 1레벨을 선택하여, 계조 생성 기준 전압 V2B를 생성한다. 마찬가지로, 계조 생성 기준 전압 V3B는 선택 기준 전압 VS8, VS9 내지 VG39까지의 32레벨로부터 1레벨을 선택하여 계조 생성 기준 전압 V3B를 생성하고, 계조 생성 기준 전압 V4B는 선택 기준 전압 VS16, VS17 내지 VG47까지의 32레벨로부터 1레벨을 선택하여 계조 생성 기준 전압 V4B를 생성하고, 계조 생성 기준 전압 V5B는 선택 기준 전압 VS25, VS26 내지 VG56까지의 32레벨로부터 1레벨을 선택하여 계조 생성 기준 전압 V5B를 생성하고, 계조 생성 기준 전압 V6B는 선택 기준 전압 VS32, VS33 내지 VG63까지의 32레벨로부터 1레벨을 선택하여 계조 생성 기준 전압 V6B를 생성하고, 계조 생성 기준 전압 V7B는 선택 기준 전압 VS32, VS33 내지 VG63까지의 32레벨로부터 1레벨을 선택하여 계조 생성 기준 전압 V7B를 생성한다.

또한, 도 35의 참조 번호(809, 810)는 선택 회로로서, 기준 전압 V0S, V4S를 각각 선택하는 회로이며, 제2 실시예의 V0, V8을 선택하는 도 27, 도 28에 내부 구성도와 동일하다. 도 27과 마찬가지로 계조 전압 생성 회로(809)에서도, 계조 전 압 생성 회로(807)의 계조 전압 VG2, VG4, VG6, VG10, VG12, VG14에 B1 내지 B6이 접속되어 있고, 선택 신호(737)에 의해 선택 스위치가 유효하게 된 분압 포인트에 기준 전압 V0S가 접속된다. 도 28에서도 마찬가지로 계조 전압 생성 회로(810)에서도, 계조 전압 생성 회로(807)의 계조 전압 VG50, VG52, VG54, VG58, VG60, VG62에 W6 내지 W1이 접속되어 있으며, 선택 신호(737)에 의해 선택 스위치가 유효하게 된 분압 포인트에 기준 전압 V4S가 접속된다. 이 선택 회로(809, 810)에 의해 계조 전압 생성 회로(807)는 저계조 영역이 기준 전압 V0S인 전압 레벨, 고계조 영역이 기준 전압 V4S인 전압 레벨로 고정된다.

다음으로, 계조 제어 레지스터(736)의 구성 및 동작에 대하여 설명한다. 제3 실시예에서는 도 36에 도시한 바와 같이 계조 제어 레지스터는 9개로 구성하고, NO.1 내지 NO.9의 B1 내지 B6, W1 내지 W6의 설정, V1B 내지 V7B의 설정을 행하는 레지스터로 구성되어 있다. 계조 제어 레지스터(736)로의 기입은 표시 메모리(744)로의 기입과 마찬가지로 도 31에 도시한 타이밍으로 행해진다. CPU(701)는 계조 제어 데이터를 데이터 드라이버(704)에 내장하는 계조 제어 레지스터(736)에 기입을 행한다. CPU(701)는 시스템 버스(702)를 통하여 제어 신호군(708), 데이터 (709)를 전송하고, 도 31에 도시한 바와 같이 칩 셀렉트 신호 CS, 라이트 신호 WR, 리드 신호 RD, 16비트의 데이터 D15 내지 D0에 의해 데이터 드라이버(704)에 커맨드를 전송하고, 계조 제어 레지스터의 제어를 행한다. 예를 들면, 계조 제어 레지스터(736)에 계조 제어 데이터를 라이트하는 경우, CPU(701)는 데이터 드라이버 (704)에 계조 제어 레지스터의 기입 커맨드를 전송하여 어드레스(No.)를 전송하고, 다음으로 계조 제어 데이터의 기입 커맨드를 전송하여 계조 제어 데이터를 전송한다. 데이터 드라이버(704)에서는 계조 제어 레지스터의 어드레스의 기입 커맨드에 대응하여 계조 제어 레지스터가 지정되고, 계조 제어 데이터의 기입 커맨드에 대응하여 지정된 계조 제어 레지스터(736)에 계조 제어 데이터의 기입을 행한다.

이상과 같이 계조 제어 레지스터에 설정 데이터를 기입함으로써, 계조 전압 생성 회로의 계조 생성 기준 전압을 설정함으로써, 데이터 변환 제어와 같이 계조의 붕괴가 없는 계조 제어를 실현할 수 있다.
다음으로, 본 발명에 의해 실현하는 계조 제어에 대하여 도 13 내지 도 18을 이용하여 설명한다. 제3 실시예에서는 제1 실시예와 마찬가지로 계조 제어를 행할 수 있다.
도 13, 도 14, 도 15의 막대 그래프 신장 제어는 본 실시예에서도 제1 실시예와 마찬가지로 표시 화면의 화소의 휘도 분포를 조사하여, 저계조 또는 고계조 영역의 화소가 적은 경우에는 화소가 적은 영역의 콘트라스트를 저하시키고, 화소가 다수있는 영역의 콘트라스트를 높게 함으로써, 화면 전체의 콘트라스트 향상을 실현한다. 이 막대 그래프는 액정 표시 데이터와 액정 계조 전압의 대응 관계로서 계조 제어 레지스터에 보유되고, 각각의 프레임에 의해 생성되는 막대 그래프에 따라 계조 생성 기준 전압이 결정된다.
또한, 막대 그래프 신장 제어는 본 실시예에서는 CPU(701)에서 휘도 분포를 조사하고, 그 결과에 기초하여 계조 제어 레지스터 NO.1, NO.2의 B1 내지 B6, W1 내지 W6을 설정함으로써 8계조마다 저계조 영역 또는 고계조 영역의 전압을 V0S (VG0), V4S(VG63)로 고정할 수 있어서 용이하게 실현할 수 있다.
또한, 도 16, 도 17에 도시한 감마 곡선 제어에 대해서도 제1 실시예와 마찬가지로 계조 제어를 행할 수 있다. 본 실시예에서는 CPU(701)로 입력되는 영상 신호가 텔레비전 방송이나 DVD 등의 동화상 표시인지, OA 용도의 텍스트나 문서 표시인지를 판정하고, 그 결과에 기초하여 계조 제어 레지스터 NO.3 내지 NO.9의 계조 제어 레지스터를 설정하여 계조 생성 기준 전압 V1B 내지 V7B를 설정함으로써, 감마 곡선의 계조 제어를 행하고 임의의 감마 곡선의 설정을 용이하게 실현할 수 있다.
또한, 도 18에 도시한 이퀄라이즈 신장 제어에 대해서도 제1 실시예와 마찬가지로 계조 제어를 행할 수 있다. 본 실시예에서는 CPU(701)에서 휘도 분포를 조사하고, 그 결과에 기초하여 계조 제어 레지스터 NO.3 내지 NO.9의 계조 제어 레지스터를 설정하여 계조 생성 기준 전압 V1B 내지 V7B를 설정함으로써, 이퀄라이즈 신장 제어의 계조 제어를 행하고 계조 영역마다의 콘트라스트 제어의 설정을 용이하게 실현할 수 있다.
이상과 같이 본 실시예에서는 표시 메모리를 내장하는 데이터 드라이버로 계조 제어를 행함으로써, 화면이 변화한 경우만 CPU로부터 표시 메모리에 표시 데이터를 전송함으로써, 액정 표시 시스템의 저소비 전력화를 실현할 수 있다.
또한, 본 실시예에서는 주사 드라이버를 데이터 드라이버와 다른 칩 구성으로서 설명하였지만, 데이터 드라이버와 주사 드라이버가 동일 칩의 구성이라도 동일한 계조 제어를 실현할 수 있다.
또한, 64계조 표시에 대응하여 기준 전압을 양극성, 음극성 각각 5개로 설정했지만 이에 한하는 것이 아니라, 양극성, 음극성 각각 9개로 설정한 경우도, 마찬가지로 계조 제어를 실현할 수 있다. 또한, 계조 생성 기준 전압 V1B 내지 V7B를 32계조마다 설정하였지만 이에 한하는 것이 아니라, 16계조마다 설정한 경우라도 마찬가지로 계조 제어를 실현할 수 있다.

발명의 효과

본 발명에 따르면, 계조 전압 생성 회로의 계조 생성 기준 전압을 설정함으로써 계조 전압을 제어함으로써, 데이터 변환 제어와 같이 계조의 붕괴가 없는 계조 제어를 실현할 수 있다.
또한, 액정 컨트롤러로 영상을 해석하여 데이터 드라이버의 계조 제어 레지스터의 설정을 변경함으로써, 동화상 프레임마다 또는 영상 신마다, 최적의 계조 제어를 행하는 것이 가능해진다.
또한, 입력되는 영상 신호가 텔레비전 방송이나 DVD 등의 동화상 표시, OA 용도의 텍스트 표시의 각각에 대응하고 계조 제어 레지스터를 설정함으로써, 임의의 감마 곡선의 설정을 용이하게 실현할 수 있다.
또한, 데이터 드라이버의 계조 설정 레지스터의 설정은 표시 데이터를 전송하는 데이터 버스를 이용하여 행함으로써, 액정 컨트롤러, 데이터 드라이버의 단자 수가 증가하지 않는다.

(57) 청구의 범위

청구항 1.

표시 패널에 계조 전압을 출력하기 위한 표시 구동 디바이스에 있어서,
입력된 표시 데이터의 휘도 분포에 따른 설정 데이터를 유지하는 레지스터 회로와,
전원 회로로부터의 기준 전압을 분압하여, 복수 레벨의 기준 전압을 생성하는 제1 생성 회로와,
상기 제1 생성 회로로부터의 상기 복수 레벨의 기준 전압으로부터, 상기 레지스터 회로 내의 설정 데이터에 따른 기준 전압을 선택하기 위한 선택 회로와,
상기 선택 회로로부터의 상기 복수 레벨의 기준 전압을 분압하여, 복수 레벨의 계조 전압을 생성하는 제2 생성 회로와,
상기 표시 데이터에 따라서, 상기 제2 생성 회로로부터의 상기 복수 레벨의 계조 전압으로부터 상기 표시 패널로 출력하기 위한 계조 전압을 선택하는 계조 전압 선택 회로
를 포함하는 표시 구동 디바이스.

청구항 2.

제1항에 있어서,
상기 레지스터 회로 내의 설정 데이터는 콘트롤러 회로에 의해 설정되고,
상기 상기 콘트롤러 회로는 입력된 상기 표시 데이터로부터 상기 휘도 분포를 생성하고, 생성된 상기 휘도 분포에 따

라서 상기 설정 데이터를 생성하는 표시 구동 디바이스.

청구항 3.

제1항에 있어서,
상기 제1 생성 회로로부터의 상기 복수 레벨의 기준 전압은 256 레벨의 전압인 표시 구동 디바이스.

청구항 4.

제1항에 있어서,
상기 제2 생성 회로로부터의 상기 복수 레벨의 계조 전압은 256 레벨의 전압인 표시 구동 디바이스.

청구항 5.

제1항에 있어서,
상기 제1 생성 회로는, 상기 전원 회로로부터의 레벨이 인접하는 상기 기준 전압 사이를 32 분압하는 것에 의해 상기 256 레벨의 기준 전압을 생성하는 표시 구동 디바이스.

청구항 6.

제4항에 있어서,
상기 제2 생성 회로는 상기 선택 회로로부터의 레벨이 인접하는 상기 기준 전압 사이를 32 분압하는 것에 의해 상기 256 레벨의 계조 전압을 생성하는 표시 구동 디바이스.

청구항 7.

제2항에 있어서,
상기 콘트롤러 회로는 상기 휘도 분포 중에서 상대적으로 화소가 적은 계조의 콘트라스트가 상대적으로 저하하도록 상기 설정 데이터를 생성하는 표시 구동 디바이스.

청구항 8.

제2항에 있어서,
상기 콘트롤러 회로는 상기 휘도 분포 중에서 상대적으로 화소가 많은 계조의 콘트라스트가 상대적으로 높아지도록 상기 설정 데이터를 생성하는 표시 구동 디바이스.

청구항 9.

제2항에 있어서,
상기 콘트롤러 회로는 상기 표시 데이터가 전송되지 않는 수평 귀선 기간 중에 데이터 버스를 통해 상기 설정 데이터를 상기 레지스터 회로에 전송하는 표시 구동 디바이스.

청구항 10.

삭제

청구항 11.

제1항에 있어서,
상기 휘도 분포는 1화면분 또는 1프레임분의 표시 데이터의 휘도 분포인 표시 구동 디바이스.

청구항 12.

제1항에 있어서,
상기 휘도 분포는 1라인분의 표시 데이터의 휘도 분포인 표시 구동 디바이스.

청구항 13.

제1항에 있어서,
상기 휘도 분포는 복수의 계조에 대한 화소 수를 나타내는 표시 구동 디바이스.

청구항 14.

표시 패널에 계조 전압을 출력하기 위한 표시 구동 디바이스에 있어서,
표시 데이터와 계조 전압의 대응 관계를 유지하는 레지스터 회로와,
전원 회로로부터의 기준 전압을 분압하여, 복수 레벨의 기준 전압을 생성하는 제1 생성 회로와,
상기 제1 생성 회로로부터의 상기 복수 레벨의 기준 전압으로부터, 상기 레지스터 회로 내의 설정 데이터에 따른 기준 전압을 선택하기 위한 선택 회로와,
상기 선택 회로로부터의 상기 복수 레벨의 기준 전압을 분압하여, 복수 레벨의 계조 전압을 생성하는 제2 생성 회로와,
상기 표시 데이터에 따라서, 상기 제2 생성 회로로부터의 상기 복수 레벨의 계조 전압으로부터 상기 표시 패널로 출력하기 위한 계조 전압을 선택하는 계조 전압 선택 회로
를 포함하는 표시 구동 디바이스.

청구항 15.

삭제

청구항 16.

제14항에 있어서,
상기 표시 데이터와 계조 전압의 대응 관계는 상기 표시 데이터의 1화면분 또는 1프레임분의 표시 데이터와 계조 전압의 대응 관계인 표시 구동 디바이스.

청구항 17.

표시 데이터를 표시하기 위한 표시 장치에 있어서,

표시 패널과,
입력된 표시 데이터의 휘도 분포에 따른 설정 데이터를 유지하는 레지스터 회로와,
전원 회로로부터의 기준 전압을 분압하여, 복수 레벨의 기준 전압을 생성하는 제1 생성 회로와, 상기 제1 생성 회로로부터의 상기 복수 레벨의 기준 전압으로부터, 상기 레지스터 회로 내의 설정 데이터에 따른 기준 전압을 선택하기 위한 선택 회로와, 상기 선택 회로로부터의 상기 복수 레벨의 기준 전압을 분압하여, 계조 전압을 생성하는 제2 생성 회로와, 상기 제2 생성 회로로부터의 상기 복수 레벨의 계조 전압으로부터 상기 표시 데이터에 따른 계조 전압을 선택하는 계조 전압 선택 회로를 구비하고, 상기 계조 전압 선택 회로의 상기 계조 전압을 상기 표시 패널로 출력하기 위한 데이터 드라이버 회로와,
상기 계조 전압이 출력되는 라인을 선택하기 위한 주사 드라이버 회로와,
표시 제어 신호와 표시 데이터에 기초하여 상기 데이터 드라이버 회로 및 상기 주사 드라이버 회로를 구동하는 콘트롤러 회로
를 포함하는 표시 장치.

청구항 18.
제17항에 있어서,
상기 콘트롤러 회로는, 입력된 상기 표시 데이터로부터 상기 휘도 분포를 생성하고, 생성된 상기 휘도 분포에 따라서 상기 설정 데이터를 생성하여, 상기 설정 데이터를 상기 레지스터 회로에 설정하는 표시 장치.

청구항 19.
삭제

청구항 20.
제17항에 있어서,
상기 제1 생성 회로로부터의 상기 복수 레벨의 기준 전압은 256 레벨의 전압인 표시 장치.

청구항 21.
제17항에 있어서,
상기 제2 생성 회로로부터의 상기 복수 레벨의 계조 전압은 256 레벨의 전압인 표시 장치.

청구항 22.
제20항에 있어서,
상기 제1 생성 회로는, 상기 전원 회로로부터의 레벨이 인접하는 상기 기준 전압 사이를 32 분압하는 것에 의해, 상기 256 레벨의 계조 전압을 생성하는 표시 장치.

청구항 23.
제21항에 있어서,
상기 제2 생성 회로는, 상기 선택 회로로부터의 레벨이 인접하는 상기 기준 전압을 32 분압하는 것에 의해, 상기 256 레벨의 계조 전압을 생성하는 표시 장치.

청구항 24.
제18항에 있어서,
상기 콘트롤러 회로는, 상기 휘도 분포 중에서 상대적으로 화소가 적은 계조의 콘트라스트가 상대적으로 저하하도록, 상기 설정 데이터를 생성하는 표시 장치.

청구항 25.
제18항에 있어서,
상기 콘트롤러 회로는, 상기 휘도 분포 중에서 상대적으로 화소가 많은 계조의 콘트라스트가 상대적으로 높아지도록, 상기 설정 데이터를 생성하는 표시 장치.

청구항 26.
제18항에 있어서,
상기 콘트롤러 회로는, 데이터 버스를 통해, 상기 표시 데이터를 상기 데이터 드라이버 회로로 전송하고, 상기 표시 데이터가 전송되지 않는 수평 귀선 기간 중에, 상기 데이터 버스를 통해, 상기 설정 데이터를 상기 레지스터 회로에 전송하는 표시 장치.

청구항 27.
삭제

청구항 28.
제18항에 있어서,
상기 휘도 분포는 1화면분 또는 1프레임분의 표시 데이터의 휘도 분포인 표시 장치.

청구항 29.
제18항에 있어서,
상기 휘도 분포는 1라인분의 표시 데이터의 휘도 분포인 표시 장치.

청구항 30.
제18항에 있어서,
상기 휘도 분포는 복수의 계조에 대한 화소 수를 나타내는 표시 장치.

청구항 31.
표시 데이터를 표시하기 위한 표시 장치에 있어서,

표시 패널과,
표시 데이터와 계조 전압의 대응 관계를 유지하는 레지스터 회로와,
전원 회로로부터의 기준 전압을 분압하여, 복수 레벨의 기준 전압을 생성하는 제1 생성 회로와, 상기 제1 생성 회로로부터의 상기 복수 레벨의 기준 전압으로부터, 상기 레지스터 회로 내의 상기 표시 데이터와 계조 전압의 대응 관계에 따른 기준 전압을 선택하기 위한 선택 회로와, 상기 선택 회로로부터의 상기 복수 레벨의 기준 전압을 분압하여, 복수 레벨의 계조 전압을 생성하는 제2 생성 회로와, 상기 제2 생성 회로로부터의 상기 복수 레벨의 계조 전압으로부터 상기 표시 데이터에 따른 계조 전압을 선택하는 계조 전압 선택 회로를 구비하고, 상기 계조 전압 선택 회로의 상기 계조 전압을 상기 표시 패널로 출력하기 위한 데이터 드라이버 회로와,
상기 계조 전압이 출력되는 라인을 선택하기 위한 주사 드라이버 회로와,
표시 제어 신호와 상기 표시 데이터에 기초하여 상기 데이터 드라이버 회로 및 상기 주사 드라이버 회로를 구동하는 컨트롤러 회로
를 포함하는 표시 장치.

청구항 32.

삭제

청구항 33.

제31항에 있어서,
상기 컨트롤러 회로는 데이터 버스를 통해 상기 표시 데이터와 계조 전압의 대응 관계를 상기 레지스터 회로에 설정하는 표시 장치.

청구항 34.

제31항에 있어서,
상기 표시 데이터와 계조 전압의 대응 관계는 1화면분 또는 1프레임분의 표시 데이터의 휘도 분포에 기초하여 결정되는 표시 장치.

청구항 35.

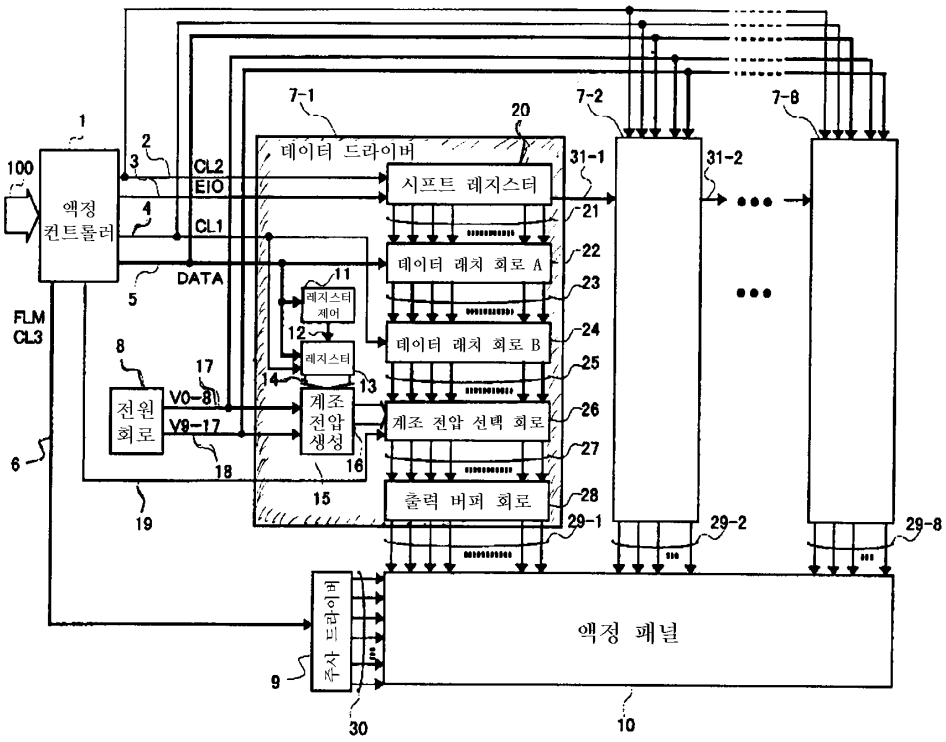
제31항에 있어서,
상기 표시 데이터와 계조 전압의 대응 관계는, 1화면분의 표시 데이터를 복수의 휘도 영역마다 화소 분포 수를 카운트하고, 1화면분의 화소 분포 수의 평균치와 각 복수의 휘도 영역 마다의 화소 분포 수의 차분에 기초하여 결정되는 표시 장치.

청구항 36.

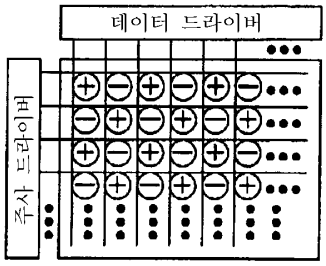
제31항에 있어서,
상기 컨트롤러 회로는 상기 표시 데이터와 계조 전압의 대응 관계를 프레임마다 갱신하는 표시 장치.

도면

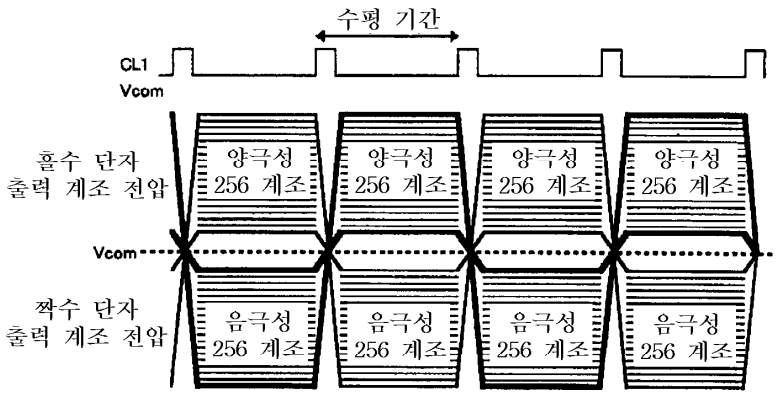
도면1


액정 컨트롤러
데이터 드라이버
시프트 레지스터
데이터 래치 회로 A
데이터 래치 회로 B
계조 전압 선택 회로
출력 버퍼 회로
레지스터 제어
레지스터
계조 전압 생성
전원 회로
주사 드라이버
액정 패널
CL2
EIO
CL1
DATA
FLM
CL3
V0-8
V9-17

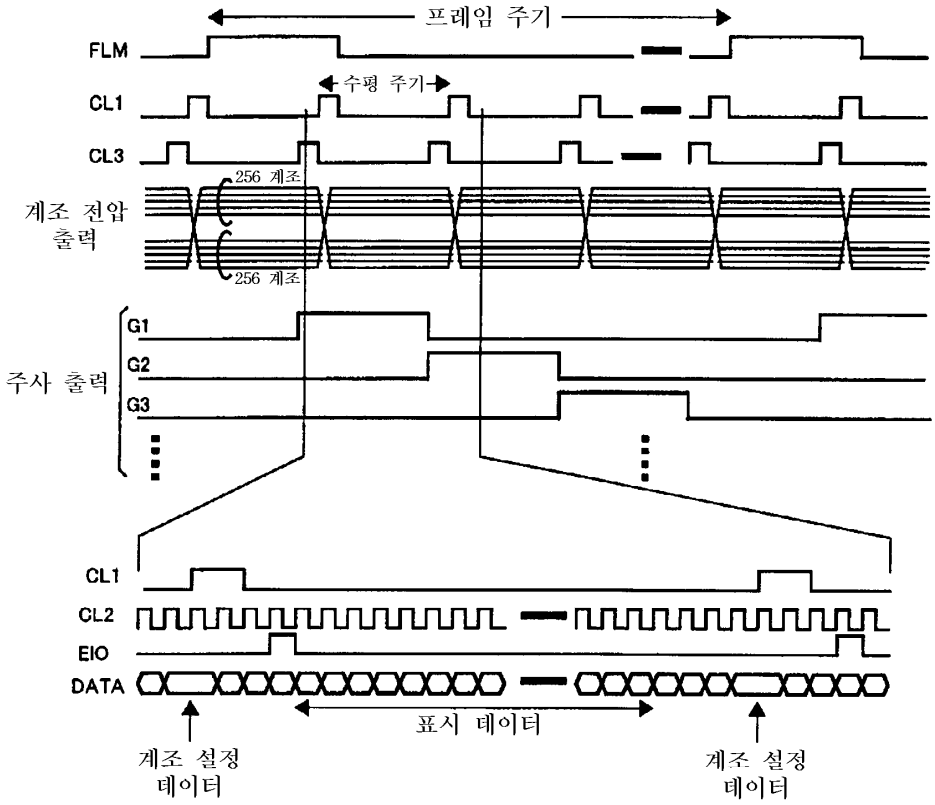
도면2


데이터 드라이버
주사 드라이버

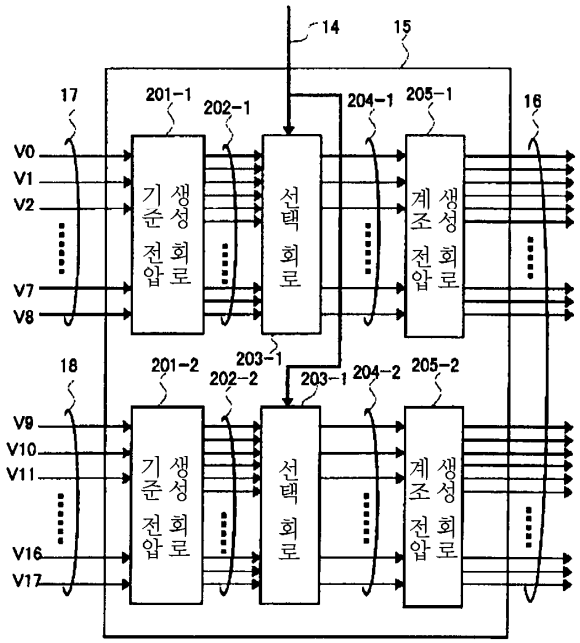
도면3


수평 기간
CL1
Vcom
홀수 단자 출력 계조 전압
짝수 단자 출력 계조 전압
양극성 256 계조
음극성 256 계조

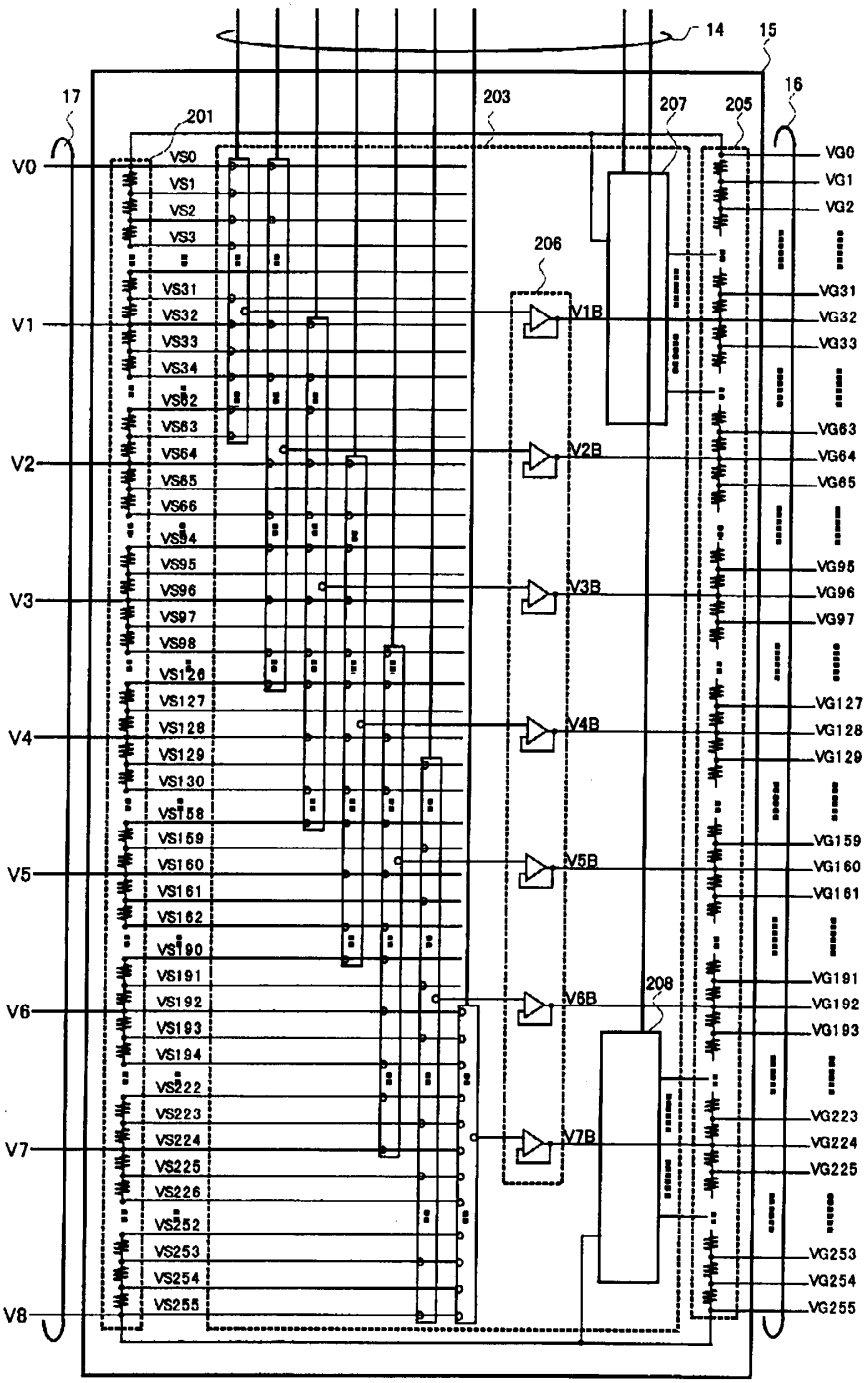
도면4


프레임 주기
FLM
수평 주기
CL1
CL3
256 계조
계조 전압 출력
256 계조
G1
G2
G3
주사 출력
CL1
CL2
EIO
DATA
표시 데이터
계조 설정 데이터
계조 설정 데이터

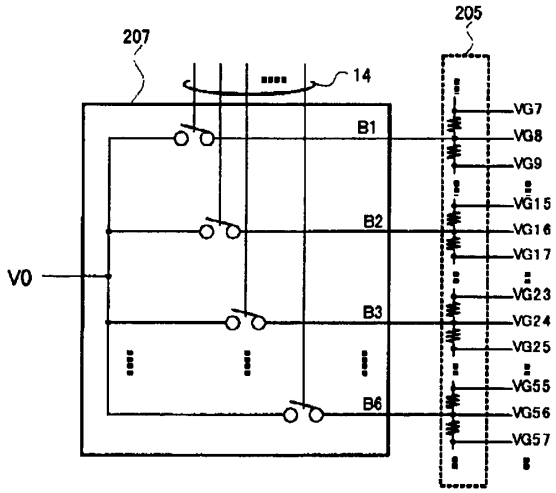
도면5


14
15
16
17
18
V0
V1
V2
V7
V8
V9
V10
V11
V16
V17
201-1
202-1
203-1
204-1
205-1
201-2
202-2
203-1
204-2
205-2
기준 생성 전압 회로
선택 회로
계조 생성 전압 회로

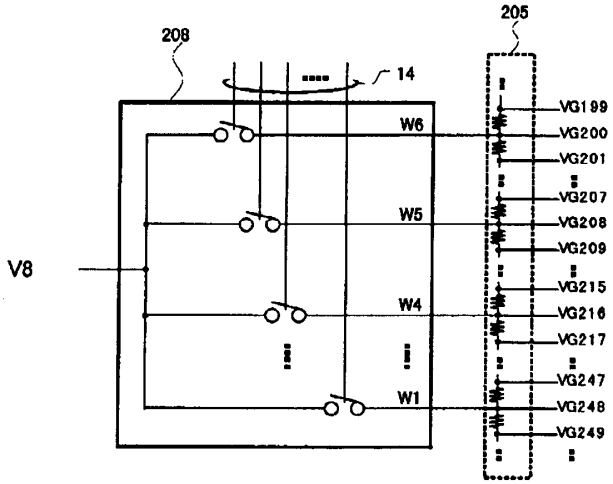
도면6


14
15
16
17
201
203
205
206
207
208
V0
V1
V2
V3
V4
V5
V6
V7
V8
V1B
V2B
V3B
V4B
V5B
V6B
V7B
VS0
VS1
VS2
VS3
VS31
VS32
VS33
VS34
VS62
VS63
VS64
VS65
VS66
VS94
VS95
VS96
VS97
VS98
VS126
VS127
VS128
VS129
VS130
VS158
VS159
VS160
VS161
VS162
VS190
VS191
VS192
VS193
VS194
VS222
VS223
VS224
VS225
VS226
VS252
VS253
VS254
VS255
VG0
VG1
VG2
VG31
VG32
VG33
VG63
VG64
VG65
VG95
VG96
VG97
VG127
VG128
VG129
VG159
VG160
VG161
VG191
VG192
VG193
VG223
VG224
VG225
VG253
VG254
VG255

도면7



도면8

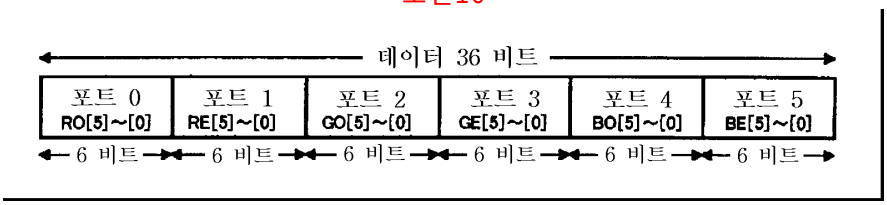


도면9

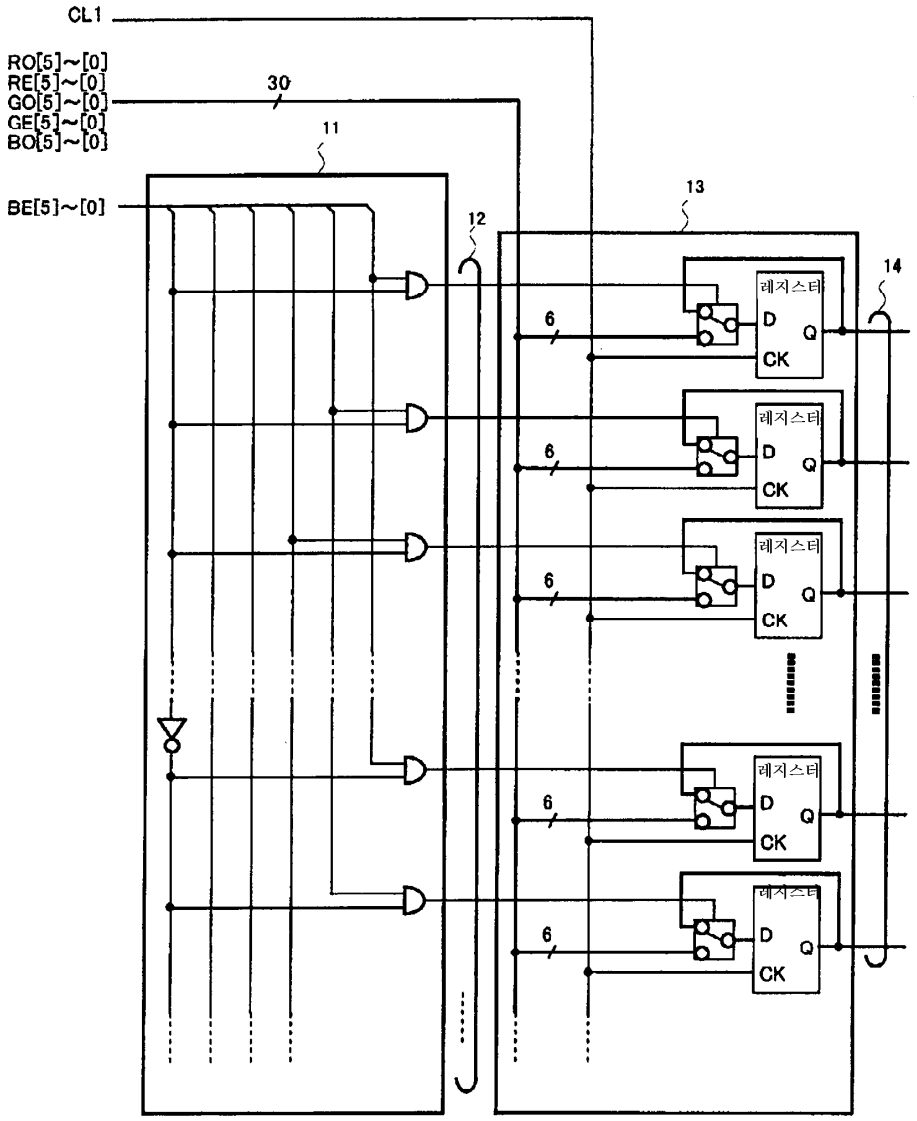
NO	포트	RS	P4~0	데이터 비트						내용
1	0	0	P0	B6	B5	B4	B3	B2	B1	B1~B6
2	1	0	P1	W6	W5	W4	W3	W2	W1	W1~W6
3	2	0	P2	D5	D4	D3	D2	D1	D0	V1B 설정
4	3	0	P3	D5	D4	D3	D2	D1	D0	V2B설정
5	4	0	P4	D5	D4	D3	D2	D1	D0	V3B설정
6	0	1	P0	D5	D4	D3	D2	D1	D0	V4B설정
7	1	1	P1	D5	D4	D3	D2	D1	D0	V5B설정
8	2	1	P2	D5	D4	D3	D2	D1	D0	V6B설정
9	3	1	P3	D5	D4	D3	D2	D1	D0	V7B설정
10	5	—	—	RS	P4	P3	P2	P1	P0	제어 레지스터

P4~P0='1' : 대응하는 계조 제어 레지스터에 대한 기입을 실시
P4~P0='0' : 대응하는 계조 제어 레지스터에 대한 기입을 행하지 않는다
RS='0' : B1~B6, W1~W6, V1B~V3B의 계조 제어 레지스터를 선택
RS='1' : V4B~V7B의 계조 제어 레지스터를 선택

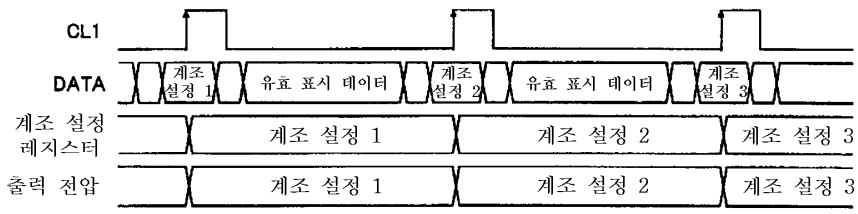
도면10



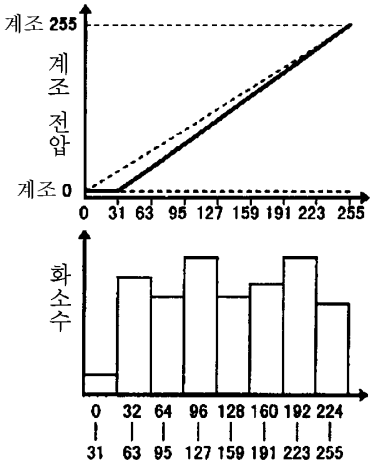
도면11



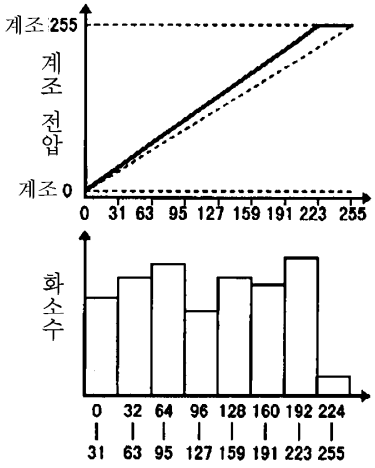
도면12



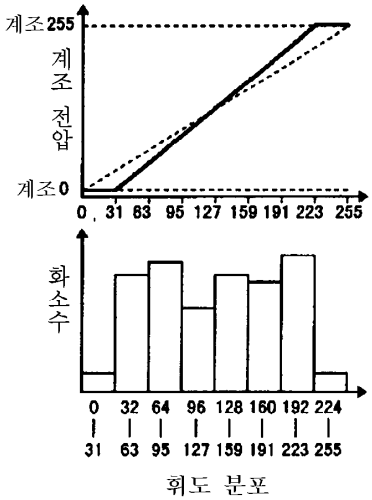
도면13



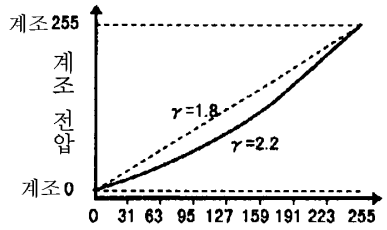
도면14



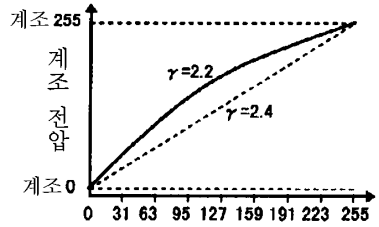
도면15



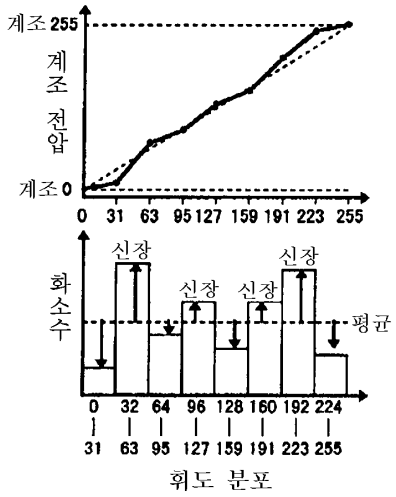
도면16



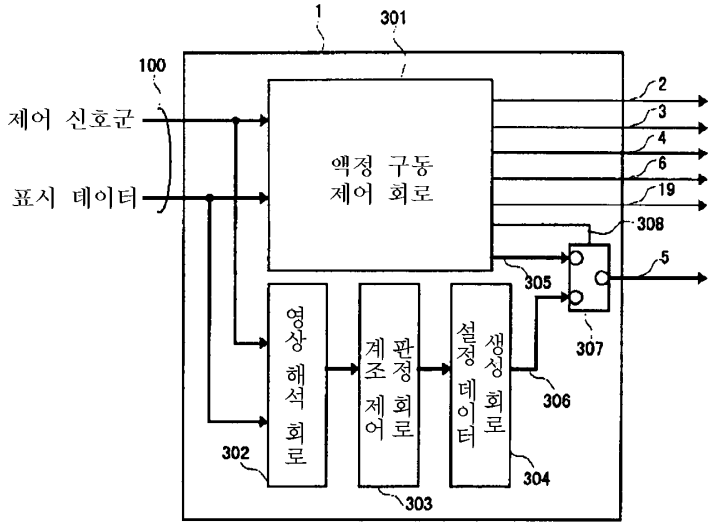
도면17



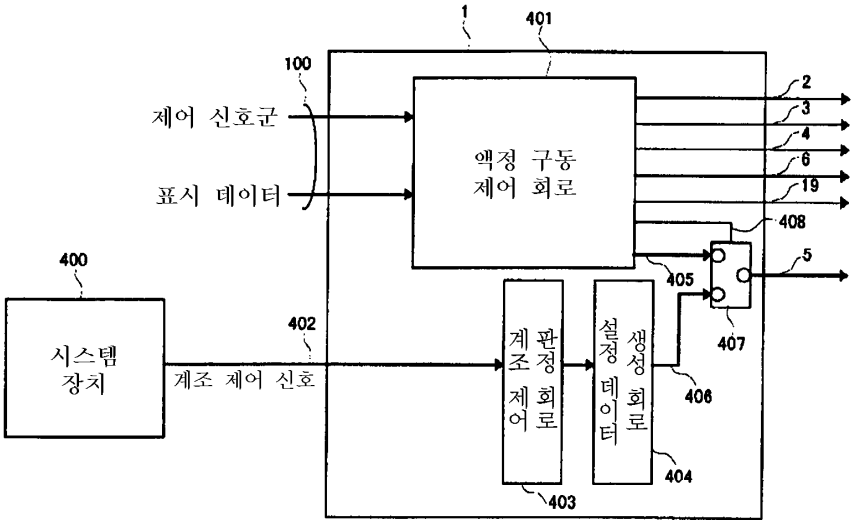
도면18



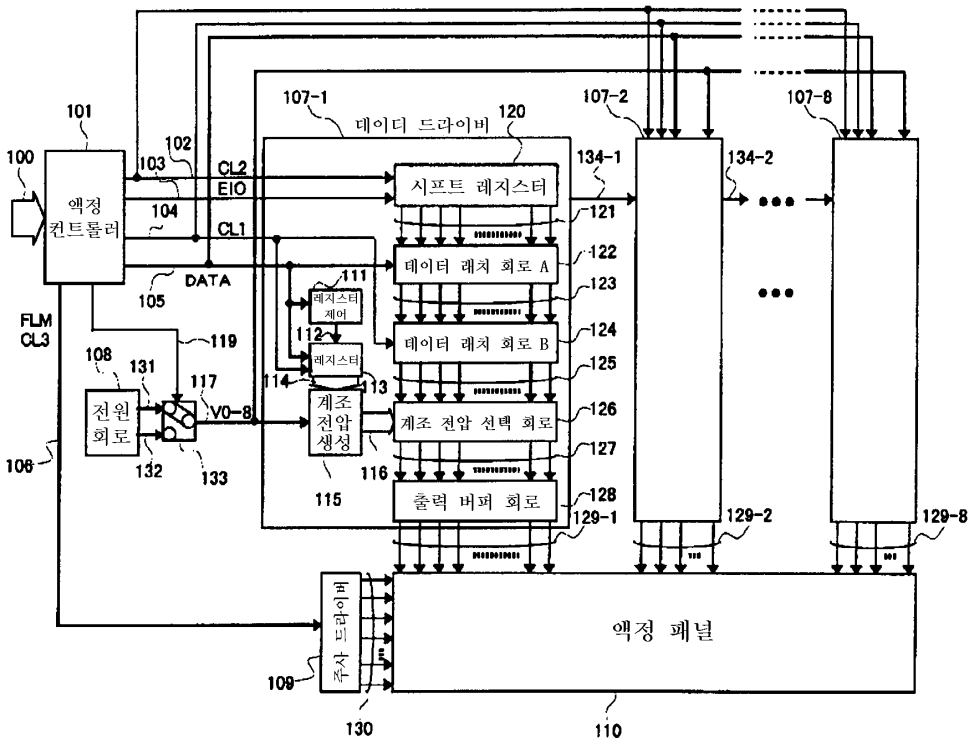
도면19



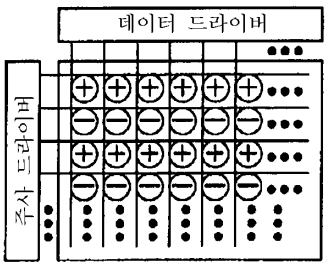
도면20



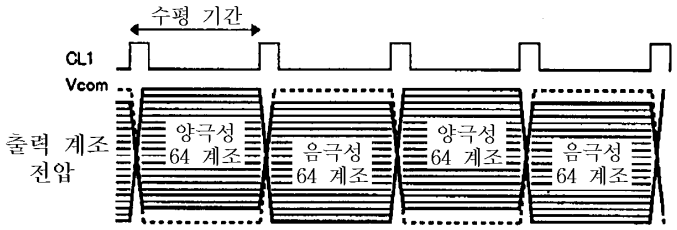
도면21



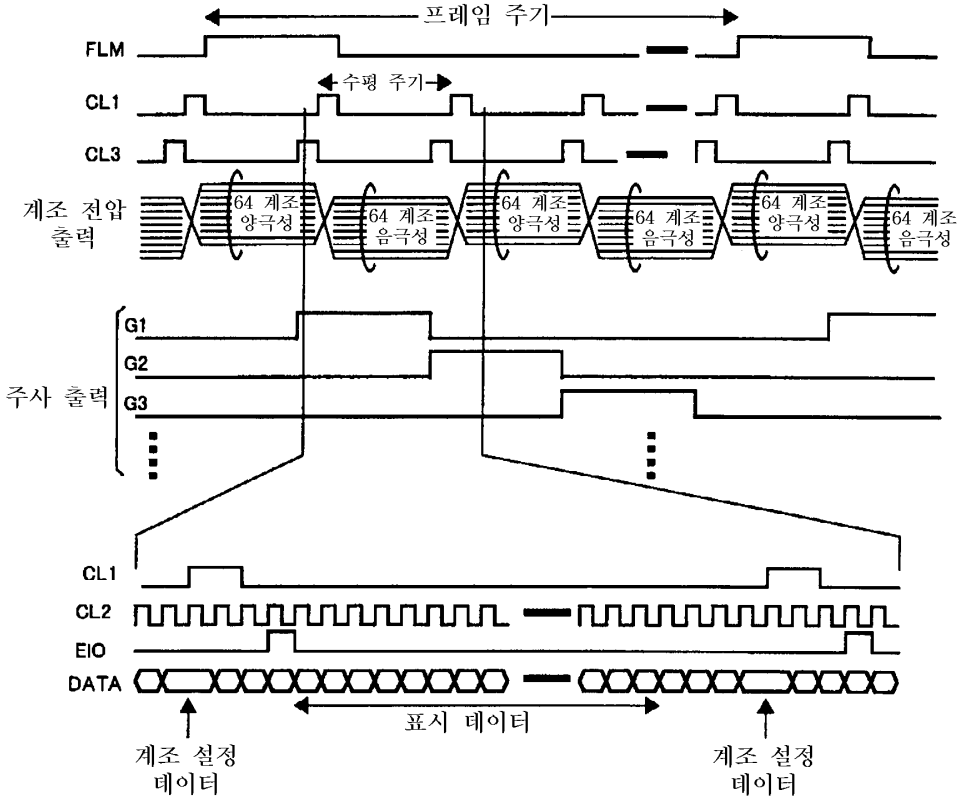
도면22



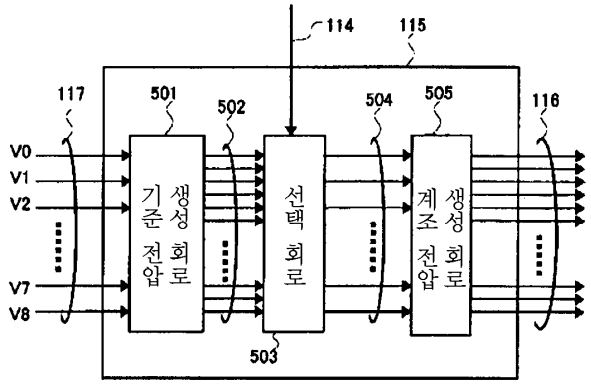
도면23



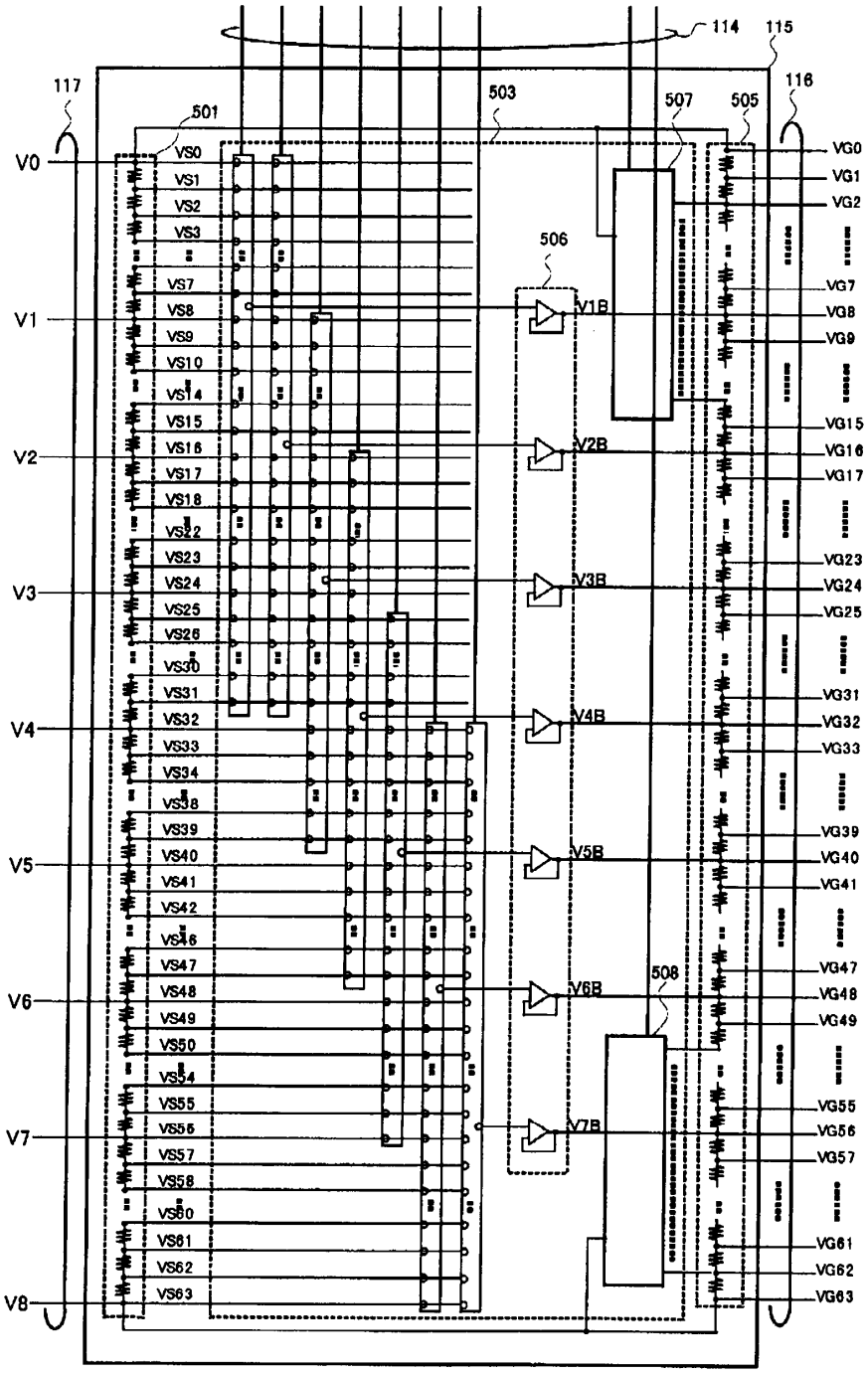
도면24



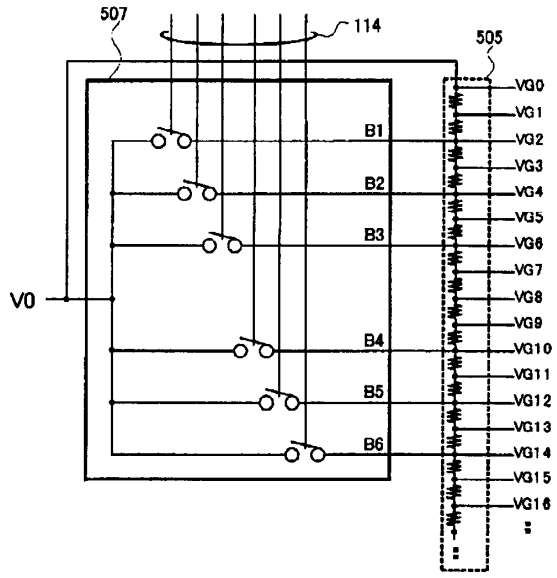
도면25



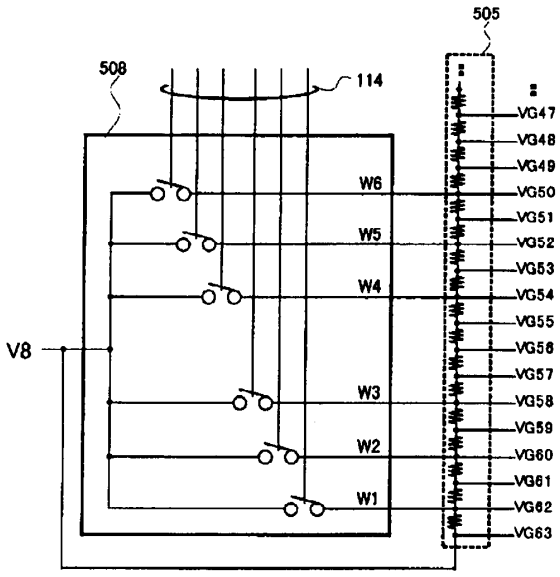
도면26


114
115
117
116
501
503
507
505
506
508
V0
V1
V2
V3
V4
V5
V6
V7
V8
V1B
V2B
V3B
V4B
V5B
V6B
V7B
VS0
VS1
VS2
VS3
VS7
VS8
VS9
VS10
VS14
VS15
VS16
VS17
VS18
VS22
VS23
VS24
VS25
VS26
VS30
VS31
VS32
VS33
VS34
VS38
VS39
VS40
VS41
VS42
VS46
VS47
VS48
VS49
VS50
VS54
VS55
VS56
VS57
VS58
VS60
VS61
VS62
VS63
VG0
VG1
VG2
VG7
VG8
VG9
VG15
VG16
VG17
VG23
VG24
VG25
VG31
VG32
VG33
VG39
VG40
VG41
VG47
VG48
VG49
VG55
VG56
VG57
VG61
VG62
VG63

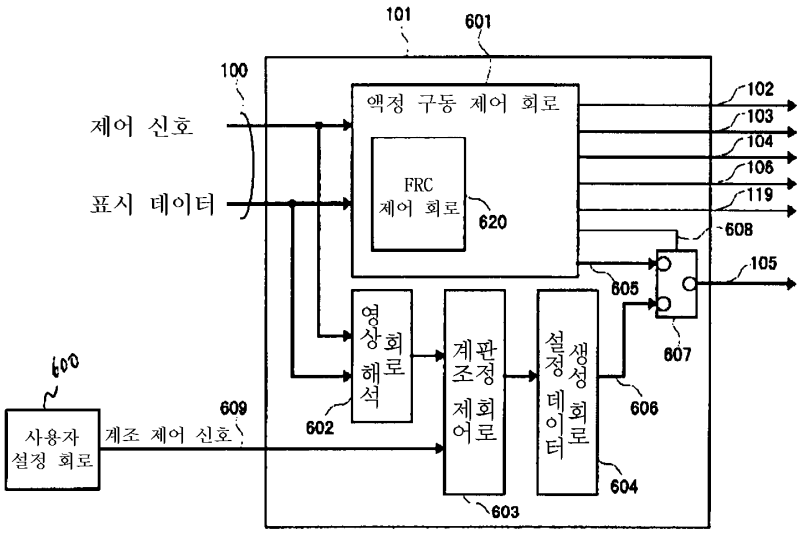
도면27


507
114
505
B1
B2
B3
B4
B5
B6
V0
VG0
VG1
VG2
VG3
VG4
VG5
VG6
VG7
VG8
VG9
VG10
VG11
VG12
VG13
VG14
VG15
VG16

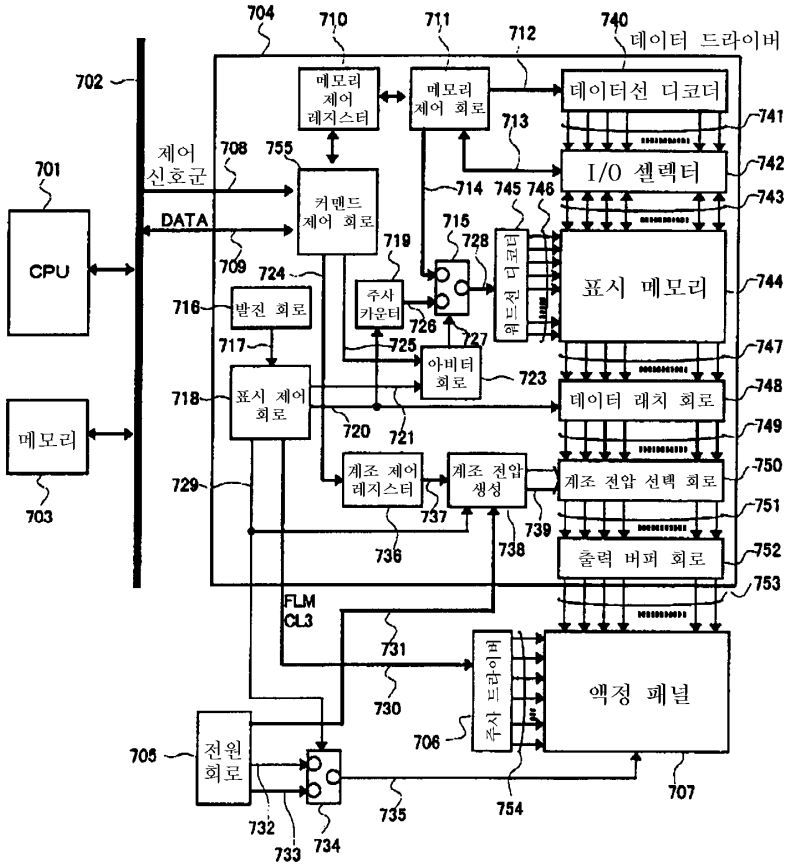
도면28


505
508
114
W6
W5
W4
W3
W2
W1
V8
VG47
VG48
VG49
VG50
VG51
VG52
VG53
VG54
VG55
VG56
VG57
VG58
VG59
VG60
VG61
VG62
VG63

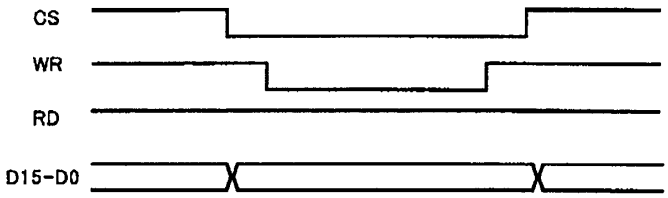
도면29


101
601
100
액정 구동 제어 회로
제어 신호
표시 데이터
FRC
제어 회로
620
102
103
104
106
119
608
105
605
607
영상 회로 해석
602
계조 조정 제어 회로
603
설정 데이터 생성 회로
606
604
600
사용자 설정 회로
609
계조 제어 신호

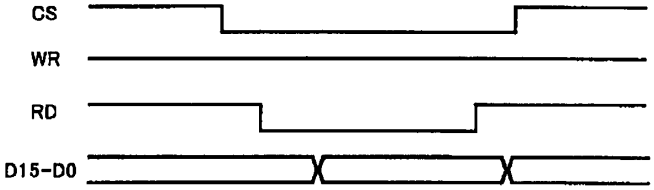
도면30


704
710
711
712
740
데이터 드라이버
702
메모리 제어 레지스터
메모리 제어 회로
데이터선 디코더
713
741
제어 신호군
708
755
I/O 셀렉터
742
701
714
745
746
743
DATA
커맨드 제어 회로
715
719
728
워드선 디코더
표시 메모리
744
CPU
709
724
716
발진 회로
주사 카운터
726
727
717
725
747
아비터 회로
723
데이터 래치 회로
748
718
표시 제어 회로
720
721
749
메모리
750
계조 제어 레지스터
계조 전압 생성
계조 전압 선택 회로
729
737
739
751
703
736
738
출력 버퍼 회로
752
753
FLM
CL3
731
주사 드라이버
액정 패널
730
706
705
전원 회로
707
732
735
754
733
734

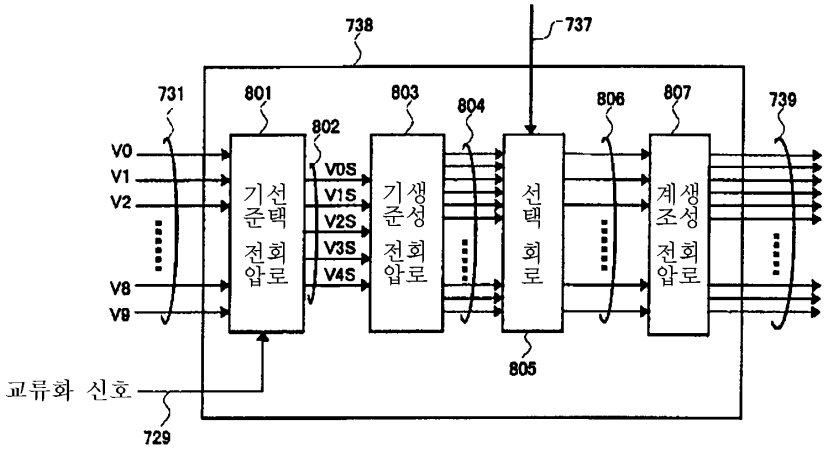
도면31



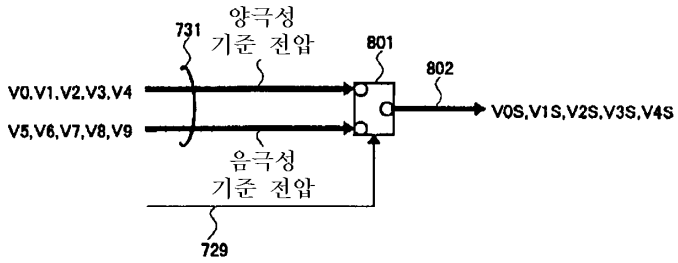
도면32



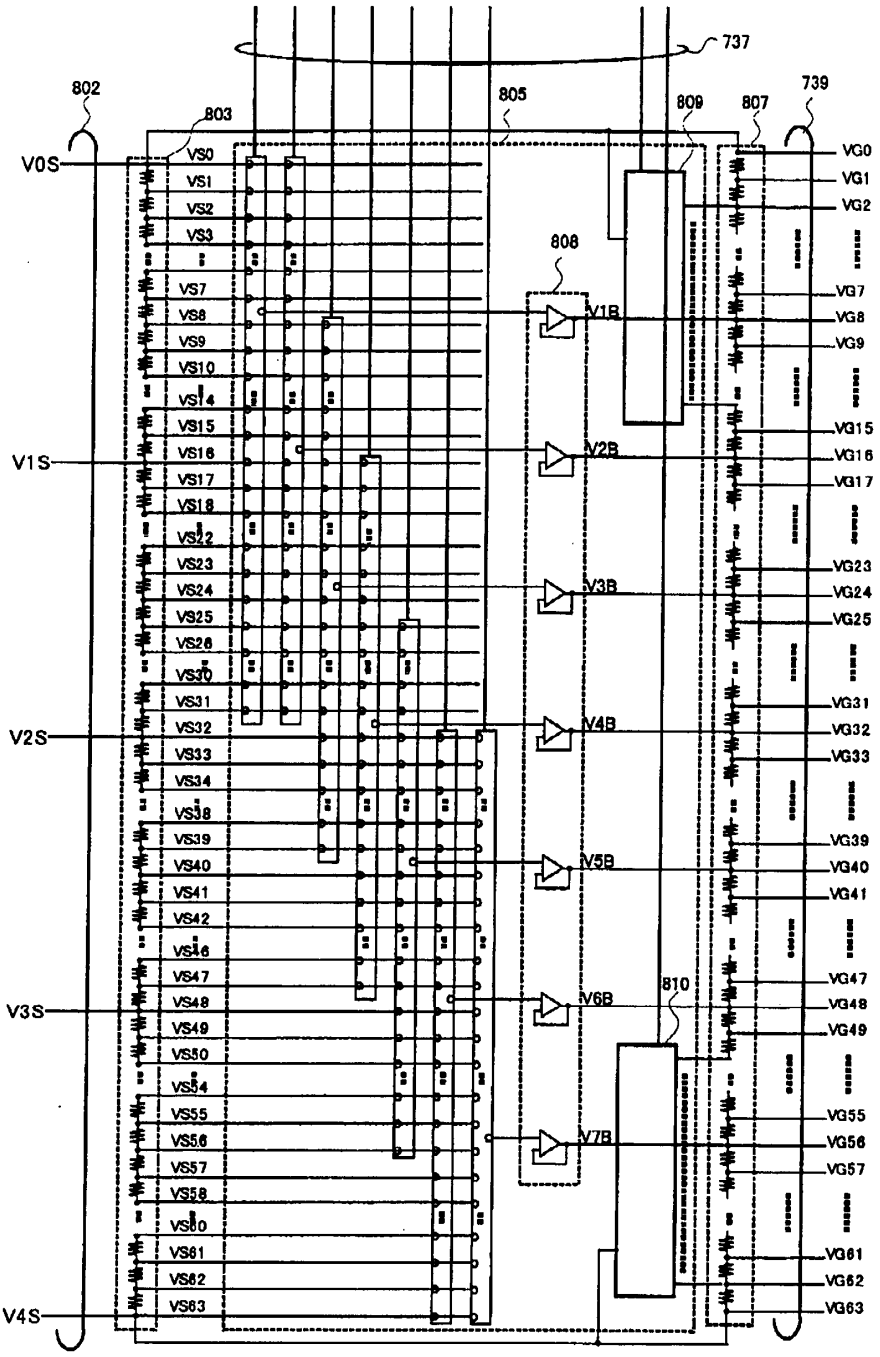
도면33



도면34



도면35


737
802
803
805
809
807
739
V0S
V1S
V2S
V3S
V4S
VS0
VS1
VS2
VS3
VS7
VS8
VS9
VS10
VS14
VS15
VS16
VS17
VS18
VS22
VS23
VS24
VS25
VS26
VS30
VS31
VS32
VS33
VS34
VS38
VS39
VS40
VS41
VS42
VS46
VS47
VS48
VS49
VS50
VS54
VS55
VS56
VS57
VS58
VS60
VS61
VS62
VS63
808
V1B
V2B
V3B
V4B
V5B
V6B
V7B
810
VG0
VG1
VG2
VG7
VG8
VG9
VG15
VG16
VG17
VG23
VG24
VG25
VG31
VG32
VG33
VG39
VG40
VG41
VG47
VG48
VG49
VG55
VG56
VG57
VG61
VG62
VG63

도면36

NO.	어드레스	내용						내용
1	0	B6	B5	B4	B3	B2	B1	B1~B6설정
2	1	W6	W5	W4	W3	W2	W1	W1~W6설정
3	2	—	S4	S3	S2	S1	S0	V1B설정
4	3	—	S4	S3	S2	S1	S0	V2B설정
5	4	—	S4	S3	S2	S1	S0	V3B설정
6	5	—	S4	S3	S2	S1	S0	V4B설정
7	6	—	S4	S3	S2	S1	S0	V5B설정
8	7	—	S4	S3	S2	S1	S0	V6B설정
9	8	—	S4	S3	S2	S1	S0	V7B설정

专利名称(译)	显示驱动设备和显示设备		
公开(公告)号	KR100432290B1	公开(公告)日	2004-05-22
申请号	KR1020010045113	申请日	2001-07-26
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	NITTA HIROYUKI 닛따히로유끼 FURUHASHI TSUTOMU 후루하시쯔또무 KIMURA MAKOTO 기무라마꼬또 KOSHI HIROBUMI 고시히로부미 MAEDA TAKESHI 마에다다께시		
发明人	닛따히로유끼 후루하시쯔또무 기무라마꼬또 고시히로부미 마에다다께시		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/2011 G09G3/2018 G09G3/3614 G09G3/3688 G09G3/3696 G09G2310/027 G09G2320/02 G09G2320/0276		
代理人(译)	Jangsugil		
优先权	2000231392 2000-07-27 JP		
其他公开文献	KR1020020013714A		
外部链接	Espacenet		

摘要(译)

目的：通过为数据驱动器提供灰度控制寄存器，提供一种具有图像数据的最佳灰度控制的液晶显示装置，其中可以使用数据总线设置液晶控制器，用于控制灰度电压产生电路。结构：数据驱动器具有灰度控制寄存器，并且从输入的参考电压在数据驱动器中产生参考电压。根据灰度控制寄存器的设置选择参考电压，以控制灰度电压。灰度控制寄存器由液晶控制器设置，使用数据总线传输显示数据，用于根据图像数据控制液晶控制器的灰度。©KIPO & JPO 2002