



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0060819
(43) 공개일자 2009년06월15일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0127758

(22) 출원일자 2007년12월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

장수혁

대구 북구 동천동 영남2차타운 103동 902호

홍진철

경북 구미시 오태동 대동3차아파트 102동 1105호

구성조

대구 달서구 이곡동 대백한라창신아파트 202동 1210호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 42 항

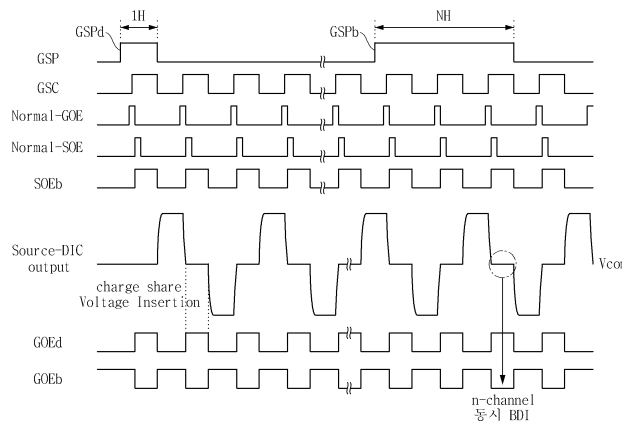
(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 임펄스 방식으로 구동이 가능한 액정표시장치에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 20% 내지 60% 사이의 듀티비를 가지는 소스 출력 인에이블신호를 포함한 데이터 타이밍 제어신호를 발생하는 데이터 제1 제어신호 발생부; 20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 제2 제어신호 발생부; 상기 데이터 타이밍 제어신호에 응답하여 상기 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 상기 데이터라인들에 교대로 공급하는 데이터 구동회로; 및 상기 게이트 타이밍 제어신호에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다.

대표도 - 도10



특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

20% 내지 60% 사이의 듀티비를 가지는 소스 출력 인에이블신호를 포함한 데이터 타이밍 제어신호를 발생하는 데이터 제1 제어신호 발생부;

20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 제2 제어신호 발생부;

상기 데이터 타이밍 제어신호에 응답하여 상기 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 상기 데이터라인들에 교대로 공급하는 데이터 구동회로; 및

상기 게이트 타이밍 제어신호에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 게이트 출력 인에이블신호의 위상은 상기 제2 게이트 출력 인에이블신호의 역위상인 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제2 게이트 스타트 펄스의 펄스폭은 상기 제1 게이트 스타트 펄스의 펄스폭보다 넓은 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 블랙 계조전압은 상기 정극성 데이터전압과 상기 부극성 데이터전압 사이의 차지웨어전압을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 게이트 구동회로는,

상기 제1 게이트 출력 인에이블신호와 상기 제1 게이트 스타트 펄스에 응답하여 상기 정극성/부극성 데이터전압에 동기되는 게이트펄스를 발생한 후, 상기 제2 게이트 출력 인에이블신호와 상기 제2 게이트 스타트 펄스에 응답하여 상기 블랙 계조전압에 동기되는 게이트펄스를 제1 게이트 드라이브 IC; 및

상기 제2 게이트 출력 인에이블신호와 상기 제2 게이트 스타트 펄스에 응답하여 상기 블랙 계조전압에 동기되는 게이트펄스를 상기 액정표시패널의 제2 화면블록 내의 게이트라인들을 발생한 후, 상기 제1 게이트 출력 인에이블신호와 상기 제1 게이트 스타트 펄스에 응답하여 상기 정극성/부극성 데이터전압에 동기되는 게이트펄스를 발생하는 제2 게이트 드라이브 IC를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 게이트 드라이브 IC는,

제1 기간 동안, 상기 제1 게이트 출력 인에이블신호와 상기 제1 게이트 스타트 펄스에 응답하여 상기 정극성/부극성 데이터전압에 동기되는 게이트펄스를 상기 액정표시패널의 제1 화면블록 내의 게이트라인들에 1 라인씩 순

차적으로 공급한 후, 상기 제1 화면블록에 충전된 정극성/부극성 데이터전압이 유지되는 제2 기간 다음의 제3 기간 동안 상기 제2 게이트 출력 인에이블신호와 상기 제2 게이트 스타트 펄스에 응답하여 상기 블랙 계조전압에 동기되는 게이트펄스를 상기 제1 화면블록 내의 게이트라인들에 $N(N \geq 2 \text{ 이상의 정수})$ 라인씩 순차적으로 공급하고;

상기 제2 게이트 드라이브 IC는,

상기 제1 기간 동안, 상기 제2 게이트 출력 인에이블신호와 상기 제2 게이트 스타트 펄스에 응답하여 상기 블랙 계조전압에 동기되는 게이트펄스를 상기 액정표시패널의 제2 화면블록 내의 게이트라인들에 상기 N 라인씩 순차적으로 공급한 후, 제2 기간 동안 상기 제1 게이트 출력 인에이블신호와 상기 제1 게이트 스타트 펄스에 응답하여 상기 정극성/부극성 데이터전압에 동기되는 게이트펄스를 상기 제2 화면블록 내의 게이트라인들에 1 라인씩 순차적으로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제2 화면블록 내의 N 개의 게이트라인들에는 동시에 상기 게이트펄스가 공급되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 데이터 구동회로는,

상기 소스 출력 인에이블신호의 펄스폭 기간 동안 상기 블랙 계조전압을 출력하고, 상기 소스 출력 인에이블신호에서 펄스들 사이의 로우논리기간 동안 상기 정극성/부극성 데이터전압을 출력하며;

상기 게이트 구동회로는,

상기 제1 및 제2 게이트 출력 인에이블신호의 로우논리기간 동안 상기 게이트펄스를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 9

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

소스 출력 인에이블신호와 20% 내지 60% 사이의 듀티비를 가지는 프리차지 제어신호를 포함한 데이터 타이밍 제어신호를 발생하는 데이터 제1 제어신호 발생부;

20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 제2 제어신호 발생부;

상기 데이터 타이밍 제어신호에 응답하여 블랙 계조전압과 정극성/부극성 데이터전압을 상기 데이터라인들에 교대로 공급하는 데이터 구동회로; 및

상기 게이트 타이밍 제어신호에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제1 게이트 출력 인에이블신호의 위상은 상기 제2 게이트 출력 인에이블신호의 역위상인 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 제2 게이트 스타트 펄스의 펄스폭은 상기 제1 게이트 스타트 펄스의 펄스폭보다 넓은 것을 특징으로 하는

액정표시장치.

청구항 12

제 9 항에 있어서,

상기 데이터 구동회로는,

상기 소스 출력 인에이블신호의 펄스폭 기간 동안 상기 정극성 데이터전압과 상기 부극성 데이터전압 사이의 차지쉐어전압을 출력하고, 상기 소스 출력 인에이블신호에서 펄스들 사이의 로우논리기간 동안 상기 정극성/부극성 데이터전압을 출력하며;

상기 게이트 구동회로는,

상기 제1 및 제2 게이트 출력 인에이블신호의 로우논리기간 동안 상기 게이트펄스를 출력하고;

상기 소스 출력 인에이블신호의 듀티비는 상기 프리차지 제어신호의 그것보다 작은 것을 특징으로 하는 액정표시장치.

청구항 13

제 9 항에 있어서,

상기 블랙 계조전압은,

상기 차지쉐어전압과 상기 정극성 데이터전압 사이의 정극성 전압과 상기 정극성 데이터전압의 최대전압에서 선택된 정극성 프리차지전압; 및

상기 차지쉐어전압과 상기 부극성 데이터전압 사이의 부극성 전압과 상기 부극성 데이터전압의 최대전압에서 선택된 부극성 프리차지전압을 포함하고,

상기 데이터 구동회로는,

상기 차지쉐어전압에 이어서 상기 프리차지 제어신호의 펄스폭 기간 동안 상기 블랙 계조전압을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 14

제 11 항에 있어서,

상기 게이트 구동회로는,

상기 제1 게이트 출력 인에이블신호와 상기 제1 게이트 스타트 펄스에 응답하여 상기 정극성/부극성 데이터전압에 동기되는 게이트펄스를 발생한 후, 상기 제2 게이트 출력 인에이블신호와 상기 제2 게이트 스타트 펄스에 응답하여 상기 블랙 계조전압에 동기되는 게이트펄스를 제1 게이트 드라이브 IC; 및

상기 제2 게이트 출력 인에이블신호와 상기 제2 게이트 스타트 펄스에 응답하여 상기 블랙 계조전압에 동기되는 게이트펄스를 상기 액정표시패널의 제2 화면블록 내의 게이트라인들을 발생한 후, 상기 제1 게이트 출력 인에이블신호와 상기 제1 게이트 스타트 펄스에 응답하여 상기 정극성/부극성 데이터전압에 동기되는 게이트펄스를 발생하는 제2 게이트 드라이브 IC를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 15

제 14 항에 있어서,

상기 제1 게이트 드라이브 IC는,

제1 기간 동안, 상기 제1 게이트 출력 인에이블신호와 상기 제1 게이트 스타트 펄스에 응답하여 상기 정극성/부극성 데이터전압에 동기되는 게이트펄스를 상기 액정표시패널의 제1 화면블록 내의 게이트라인들에 1 라인씩 순차적으로 공급한 후, 상기 제1 화면블록에 충전된 정극성/부극성 데이터전압이 유지되는 제2 기간 다음의 제3 기간 동안 상기 제2 게이트 출력 인에이블신호와 상기 제2 게이트 스타트 펄스에 응답하여 상기 블랙 계조전압에 동기되는 게이트펄스를 상기 제1 화면블록 내의 게이트라인들에 N(N은 2 이상의 정수) 라인씩 순차적으로 공급하고;

상기 제2 게이트 드라이브 IC는,

상기 제1 기간 동안, 상기 제2 게이트 출력 인에이블신호와 상기 제2 게이트 스타트 펄스에 응답하여 상기 블랙 계조전압에 동기되는 게이트펄스를 상기 액정표시패널의 제2 화면블록 내의 게이트라인들에 상기 N 라인씩 순차적으로 공급한 후, 제2 기간 동안 상기 제1 게이트 출력 인에이블신호와 상기 제1 게이트 스타트 펄스에 응답하여 상기 정극성/부극성 데이터전압에 동기되는 게이트펄스를 상기 제2 화면블록 내의 게이트라인들에 1 라인씩 순차적으로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 16

제 15 항에 있어서,

상기 제2 화면블록 내의 N 개의 게이트라인들에는 동시에 상기 게이트펄스가 공급되는 것을 특징으로 하는 액정표시장치.

청구항 17

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

일반 구동모드와 임펄스 구동모드를 지시하는 선택신호를 발생하는 모드 선택회로;

상기 일반 구동모드에서 제1 소스 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 소스 출력 인에이블신호에 비하여 듀티비가 큰 제2 소스 출력 인에이블신호를 발생하는 제1 제어신호 발생부;

상기 일반 구동모드에서 제1 게이트 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 출력 인에이블신호에 비하여 듀티비가 큰 제2 게이트 출력 인에이블신호 쌍을 발생하는 제2 제어신호 발생부;

상기 일반 구동모드에서 제1 게이트 스타트 펄스를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 스타트 펄스와 함께 상기 제1 게이트 스타트 펄스와 다른 펄스폭을 가지는 제2 게이트 스타트 펄스를 발생하는 제3 제어신호 발생부;

상기 소스 출력 인에이블신호에 응답하여 상기 데이터라인들에 데이터전압과 블랙 계조전압을 상기 데이터라인들에 교대로 공급하는 데이터 구동회로; 및

상기 게이트 스타트 펄스들과 상기 게이트 출력 인에이블신호들에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 18

제 17 항에 있어서,

상기 제2 게이트 출력 인에이블신호 쌍은,

제1 BDI 게이트 출력 인에이블신호; 및

상기 제1 BDI 게이트 출력 인에이블신호의 역위상으로 발생되는 제2 BDI 게이트 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 19

제 17 항에 있어서,

상기 블랙 계조전압은 상기 정극성 데이터전압과 상기 부극성 데이터전압 사이의 차지웨어전압을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 20

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

일반 구동모드와 임펄스 구동모드를 지시하는 선택신호를 발생하는 모드 선택회로;

상기 일반 구동모드에서 소스 출력 인에이블신호와 제1 프리차지 제어신호를 발생하고, 상기 임펄스 구동모드에서 상기 소스 출력 인에이블신호와 함께 상기 제1 프리차지 제어신호보다 큰 듀티비를 가지는 제2 프리차지 제

어신호를 발생하는 제1 제어신호 발생부;

상기 일반 구동모드에서 제1 게이트 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 출력 인에이블신호에 비하여 듀티비가 큰 제2 게이트 출력 인에이블신호 쌍을 발생하는 제2 제어신호 발생부;

상기 일반 구동모드에서 제1 게이트 스타트 펄스를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 스타트 펄스와 함께 상기 제1 게이트 스타트 펄스와 다른 펄스폭을 가지는 제2 게이트 스타트 펄스를 발생하는 제3 제어신호 발생부;

상기 소스 출력 인에이블신호에 응답하여 차지웨어전압과 데이터전압을 상기 데이터라인들에 공급하고, 상기 프리차지 제어신호에 응답하여 상기 차지웨어전압과 상기 데이터전압 사이의 기간 동안 블랙 계조전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 및

상기 게이트 스타트 펄스들과 상기 게이트 출력 인에이블신호들에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 21

제 20 항에 있어서,

상기 제2 게이트 출력 인에이블신호 쌍은,

제1 BDI 게이트 출력 인에이블신호; 및

상기 제1 BDI 게이트 출력 인에이블신호의 역위상으로 발생하는 제2 BDI 게이트 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 22

제 21 항에 있어서,

상기 제2 게이트 스타트 펄스의 펄스폭은 상기 제1 게이트 스타트 펄스의 펄스폭보다 넓은 것을 특징으로 하는 액정표시장치.

청구항 23

제 20 항에 있어서,

상기 블랙 계조전압은,

상기 차지웨어전압과 상기 정극성 데이터전압 사이의 정극성 전압과 상기 정극성 데이터전압의 최대전압에서 선택된 정극성 프리차지전압; 및

상기 차지웨어전압과 상기 부극성 데이터전압 사이의 부극성 전압과 상기 부극성 데이터전압의 최대전압에서 선택된 부극성 프리차지전압을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 24

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서,

20% 내지 60% 사이의 듀티비를 가지는 소스 출력 인에이블신호를 포함한 데이터 타이밍 제어신호를 발생하는 단계;

20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 단계;

상기 데이터 타이밍 제어신호에 응답하여 상기 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 교대로 공급하는 단계; 및

상기 게이트 타이밍 제어신호에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 25

제 24 항에 있어서,

상기 제1 게이트 출력 인에이블신호의 위상은 상기 제2 게이트 출력 인에이블신호의 역위상인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 26

제 24 항에 있어서,

상기 제2 게이트 스타트 펄스의 펄스폭은 상기 제1 게이트 스타트 펄스의 펄스폭보다 넓은 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 27

제 24 항에 있어서,

상기 블랙 계조전압은 상기 정극성 데이터전압과 상기 부극성 데이터전압 사이의 차지웨어전압을 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 28

제 24 항에 있어서,

상기 액정표시패널은 상기 게이트 타이밍 제어신호에 따라 상기 데이터전압이 1 라인씩 순차적으로 공급되는 제 1 화면블록과, 상기 블랙 계조전압이 N(N은 2 이상의 정수) 라인씩 순차적으로 공급되는 제2 화면블록으로 블록 분할 구동되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 29

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서,

소스 출력 인에이블신호와 20% 내지 60% 사이의 듀티비를 가지는 프리차지 제어신호를 포함한 데이터 타이밍 제어신호를 발생하는 단계;

20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 단계;

상기 데이터 타이밍 제어신호에 응답하여 블랙 계조전압과 정극성/부극성 데이터전압을 상기 데이터라인들에 교대로 공급하는 단계; 및

상기 게이트 타이밍 제어신호에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 30

제 29 항에 있어서,

상기 제1 게이트 출력 인에이블신호의 위상은 상기 제2 게이트 출력 인에이블신호의 역위상인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 31

제 30 항에 있어서,

상기 제2 게이트 스타트 펄스의 펄스폭은 상기 제1 게이트 스타트 펄스의 펄스폭보다 넓은 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 32

제 29 항에 있어서,

상기 소스 출력 인에이블신호의 펄스폭 기간 동안 상기 정극성 데이터전압과 상기 부극성 데이터전압 사이의 차지웨어전압을 출력하는 단계를 더 포함하고;

상기 소스 출력 인에이블신호의 듀티비는 상기 프리차지 제어신호의 그것보다 작은 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 33

제 32 항에 있어서,

상기 블랙 계조전압은,

상기 차지웨어전압과 상기 정극성 데이터전압 사이의 정극성 전압과 상기 정극성 데이터전압의 최대전압에서 선택된 정극성 프리차지전압; 및

상기 차지웨어전압과 상기 부극성 데이터전압 사이의 부극성 전압과 상기 부극성 데이터전압의 최대전압에서 선택된 부극성 프리차지전압을 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 34

제 33 항에 있어서,

상기 블랙 계조전압과 정극성/부극성 데이터전압을 상기 데이터라인들에 교대로 공급하는 단계는,

상기 차지웨어전압에 이어서 상기 프리차지 제어신호의 펄스폭 기간 동안 상기 블랙 계조전압을 출력하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 35

제 29 항에 있어서,

상기 액정표시패널은 상기 게이트 타이밍 제어신호에 따라 상기 데이터전압이 1 라인씩 순차적으로 공급되는 제 1 화면블록과, 상기 블랙 계조전압이 N(N은 2 이상의 정수) 라인씩 순차적으로 공급되는 제2 화면블록으로 블록 분할 구동되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 36

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서,

일반 구동모드와 임펄스 구동모드를 지시하는 선택신호를 발생하는 단계;

상기 일반 구동모드에서 제1 소스 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 소스 출력 인에이블신호에 비하여 듀티비가 큰 제2 소스 출력 인에이블신호를 발생하는 단계;

상기 일반 구동모드에서 제1 게이트 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 출력 인에이블신호에 비하여 듀티비가 큰 제2 게이트 출력 인에이블신호 쌍을 발생하는 단계;

상기 일반 구동모드에서 제1 게이트 스타트 펄스를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 스타트 펄스와 함께 상기 제1 게이트 스타트 펄스와 다른 펄스폭을 가지는 제2 게이트 스타트 펄스를 발생하는 단계;

상기 소스 출력 인에이블신호에 응답하여 상기 데이터라인들에 데이터전압과 블랙 계조전압을 교대로 공급하는 단계; 및

상기 게이트 스타트 펄스들과 상기 게이트 출력 인에이블신호들에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 37

제 36 항에 있어서,

상기 제2 게이트 출력 인에이블신호 쌍은,

제1 BDI 게이트 출력 인에이블신호; 및

상기 제1 BDI 게이트 출력 인에이블신호의 역위상으로 발생하는 제2 BDI 게이트 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 38

제 37 항에 있어서,

상기 블랙 계조전압은 상기 정극성 데이터전압과 상기 부극성 데이터전압 사이의 차지웨어전압을 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 39

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서,

일반 구동모드와 임펄스 구동모드를 지시하는 선택신호를 발생하는 단계;

상기 일반 구동모드에서 소스 출력 인에이블신호와 제1 프리차지 제어신호를 발생하고, 상기 임펄스 구동모드에서 상기 소스 출력 인에이블신호와 함께 상기 제1 프리차지 제어신호보다 큰 듀티비를 가지는 제2 프리차지 제어신호를 발생하는 단계;

상기 일반 구동모드에서 제1 게이트 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 출력 인에이블신호에 비하여 듀티비가 큰 제2 게이트 출력 인에이블신호 쌍을 발생하는 단계;

상기 일반 구동모드에서 제1 게이트 스타트 펄스를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 스타트 펄스와 함께 상기 제1 게이트 스타트 펄스와 다른 펄스폭을 가지는 제2 게이트 스타트 펄스를 발생하는 단계;

상기 소스 출력 인에이블신호에 응답하여 차지웨어전압과 데이터전압을 상기 데이터라인들에 공급하고, 상기 프리차지 제어신호에 응답하여 상기 차지웨어전압과 상기 데이터전압 사이의 기간 동안 블랙 계조전압을 상기 데이터라인들에 공급하는 단계; 및

상기 게이트 스타트 펄스들과 상기 게이트 출력 인에이블신호들에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 40

제 39 항에 있어서,

상기 제2 게이트 출력 인에이블신호 쌍은,

제1 BDI 게이트 출력 인에이블신호; 및

상기 제1 BDI 게이트 출력 인에이블신호의 역위상으로 발생하는 제2 BDI 게이트 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 41

제 40 항에 있어서,

상기 제2 게이트 스타트 펄스의 펄스폭은 상기 제1 게이트 스타트 펄스의 펄스폭보다 넓은 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 42

제 39 항에 있어서,

상기 블랙 계조전압은,

상기 차지웨어전압과 상기 정극성 데이터전압 사이의 정극성 전압과 상기 정극성 데이터전압의 최대전압에서 선택된 정극성 프리차지전압; 및

상기 차지채어전압과 상기 부극성 데이터전압 사이의 부극성 전압과 상기 부극성 데이터전압의 최대전압에서 선택된 부극성 프리차지전압을 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 임펄스 방식으로 구동이 가능한 액정표시장치와 그 구동방법에 관한 것이다.

배경기술

<2> 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

<3> 이 액정표시장치는 액정의 유지특성에 의해 동영상상에서 화면이 선명하지 못하고 흐릿하게 보이는 블러링(Blurring) 현상이 나타나게 된다. CRT는 도 1과 같이 매우 짧은 시간 동안만 형광체를 발광시켜 셀에 데이터를 표시한 후에 그 셀에서 발광이 없는 임펄스 구동으로 화상을 표시한다. 이에 비하여, 액정표시장치는 도 2와 같이 스캐닝기간 동안, 액정셀에 데이터가 공급된 후 나머지 필드 기간(또는 프레임기간) 동안 그 액정셀에 충전된 데이터가 유지되는 홀드 구동으로 화상을 표시한다.

<4> CRT에 표시되는 동영상상은 임펄스 구동으로 표시되기 때문에 도 3과 같이 관람자가 느끼는 지각영상(Perceived image)이 선명하게 된다. 이에 비하여, 액정표시장치에서는 동영상상에서 액정의 유지특성 때문에 도 4와 같이 관람자가 느끼는 지각영상의 명암이 뚜렷하지 않고 흐릿하게 보여진다. 이러한 지각영상의 차이는 움직임을 추종하는 눈에서 일시적으로 지속되는 영상의 적분효과에 기인한다. 따라서, 액정표시장치의 응답속도가 빠르다 하더라도, 눈의 움직임과 매 프레임의 정적영상(static image) 사이의 불일치로 인하여 관람자는 흐릿한 화면을 보게 된다. 이러한 액정표시장치에서의 모션 블러(Motion blur) 현상을 개선하기 위하여, 비디오 데이터를 화면 상에 표시한 후에 그 화면에 블랙 데이터를 공급함으로써 액정표시장치를 임펄스 구동하는 기술 예컨대, 블랙 데이터 삽입방식이 제안되고 있다.

<5> 블랙 데이터 삽입방식은 화면의 일부 블록 내에서 j (j 는 양의 정수) 개의 라인들에 비디오 데이터를 순차적으로 표시한 후, 다른 블록에서 k (k 는 양의 정수) 개의 라인들에 블랙 데이터를 동시에 표시한다. 따라서, 블랙 데이터 삽입 방식은 외부로부터 입력되는 데이터의 주파수에 비하여 액정표시패널에 표시될 때의 데이터 주파수를 빠르게 하여야 한다. 이를 위하여, 블랙 데이터 삽입 방식은 도 5와 같이 데이터와 함께 외부로부터 입력되는 도트 클럭 등의 타이밍 신호의 주파수(F_i)를 위상 고정 루프(Phase Locked Loop, PLL)(51)로

$$f_o = \frac{j+k}{j} E f_i$$

만큼 체배하여야 한다. 라인 메모리(52)는 디지털 비디오 데이터들을 일시 저장한 후에 PLL(51)에 의해 체배된 주파수를 가지는 도트 클럭에 맞추어 디지털 비디오 데이터들을 데이터 구동회로에 공급한다. PLL(51)과 라인 메모리(52)는 타이밍 콘트롤러에 입력되는 디지털 비디오 데이터의 주파수에 비하여 데이터 구동회로에 입력되는 디지털 비디오 데이터의 주파수가 빠르기 때문에 데이터의 전송 주파수를 변환하기 위하여 타이밍 콘트롤러 내에 내장된다. 따라서, 종래의 블랙 데이터 삽입 방식은 PLL(51)의 주파수 체배 동작으로 인하여 타이밍 콘트롤러의 코스트를 상승시키고 그 타이밍 콘트롤러의 발열량을 높인다. 또한, 종래의 블랙 데이터 삽입 방식은 데이터 구동회로의 동작 주파수가 높아지므로 데이터 구동회로의 발열량도 증가시키고, 타이밍 콘트롤러와 데이터 구동회로 사이에서 디지털 비디오 데이터의 전송 주파수가 높아지므로 그 만큼 EMI(Electro Magnetic Interference)를 높이는 결과를 초래한다.

<6> 또한, 종래의 블랙 데이터 삽입방식을 적용한 액정표시장치는 비디오 데이터의 충전특성과 블랙 데이터의 충전특성의 저하로 인하여 데이터의 계조표현이 떨어지고 또한, 임펄스 구동효과가 만족할만한 수준에 이르지 못하다. 본원의 발명자들은 4 개($j=4$)의 데이터라인들에 비디오 데이터를 특정 블록에 순차적으로 표시한 후에, 다른 블록에서 1($k=1$) 개의 데이터라인들씩 블랙 데이터를 순차적으로 표시하고 도트 클럭의 주파수를 $5/4 \cdot f_i$ 만큼 체배하여 구동 주파수를 높인 액정표시패널의 액정셀에 화이트 계조전압과 블랙 계조 전압을 인가하는 실험

을 실시하였다. 또한, 발명자들은 위 실험에서 동일한 액정표시장치에 대하여 블랙 데이터 삽입방식이 적용되지 않을 때의 화이트 계조전압과 블랙 계조 전압을 인가하여 계조 표현능력과 데이터 충전특성을 상기 블랙 데이터 삽입방식이 적용된 액정표시장치와 비교하였다. 도 6의 실험결과, 블랙 데이터 삽입방식이 적용되지 않은 일반 구동의 액정표시장치에서는 255 계조의 화이트 계조전압에서 0 계조의 블랙 계조전압으로 데이터 계조를 변화시킬 때 액정셀의 전압이 4.95V에서 50mV로 측정되었다. 이에 비하여, 블랙 데이터 삽입방식이 적용된 액정표시장치에서는 구동 주파수를 빠르게 한 결과 255 계조의 화이트 계조전압에서 0 계조의 블랙 계조전압으로 데이터 계조를 변화시킬 때 액정셀의 전압이 4.95V에서 1.04mV로 측정되었다. 따라서, 블랙 계조 삽입 방식이 적용된 액정표시장치는 화이트 계조에서 블랙 계조로 데이터의 계조가 변할 때 블랙 계조 전압이 충분히 낮지 않기 때문에 블랙 계조를 정상적으로 표현하지 못하였다. 정도의 차이는 있지만, 블랙 데이터 삽입 방식이 적용된 액정표시장치는 액정표시패널에 인가되는 데이터를 각 계조로부터 블랙 계조로 변할 때 블랙 계조에 해당하는 전압이 높아 블랙 계조의 데이터를 이상적으로 충전하지 못하였다.

발명의 내용

해결 하고자하는 과제

- <7> 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 구동 주파수를 높이지 않고 임펄스 구동효과를 얻을 수 있도록 함과 아울러 회로의 발열양과 비용을 줄이도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

과제 해결수단

- <8> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 20% 내지 60% 사이의 듀티비를 가지는 소스 출력 인에이블신호를 포함한 데이터 타이밍 제어신호를 발생하는 데이터 제1 제어신호 발생부; 20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 제2 제어신호 발생부; 상기 데이터 타이밍 제어신호에 응답하여 상기 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 상기 데이터라인들에 교대로 공급하는 데이터 구동회로; 및 상기 게이트 타이밍 제어신호에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다.
- <9> 본 발명의 다른 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 소스 출력 인에이블신호와 20% 내지 60% 사이의 듀티비를 가지는 프리차지 제어신호를 포함한 데이터 타이밍 제어신호를 발생하는 데이터 제1 제어신호 발생부; 20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 제2 제어신호 발생부; 상기 데이터 타이밍 제어신호에 응답하여 블랙 계조전압과 정극성/부극성 데이터전압을 상기 데이터라인들에 교대로 공급하는 데이터 구동회로; 및 상기 게이트 타이밍 제어신호에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다.
- <10> 본 발명의 또 다른 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 일반 구동모드와 임펄스 구동모드를 지시하는 선택신호를 발생하는 모드 선택회로; 상기 일반 구동모드에서 제1 소스 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 소스 출력 인에이블신호에 비하여 듀티비가 큰 제2 소스 출력 인에이블신호를 발생하는 제1 제어신호 발생부; 상기 일반 구동모드에서 제1 게이트 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 출력 인에이블신호에 비하여 듀티비가 큰 제2 게이트 출력 인에이블신호 쌍을 발생하는 제2 제어신호 발생부; 상기 일반 구동모드에서 제1 게이트 스타트 펄스를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 스타트 펄스와 함께 상기 제1 게이트 스타트 펄스와 다른 펄스폭을 가지는 제2 게이트 스타트 펄스를 발생하는 제3 제어신호 발생부; 상기 소스 출력 인에이블신호에 응답하여 상기 데이터라인들에 데이터전압과 블랙 계조전압을 상기 데이터라인들에 교대로 공급하는 데이터 구동회로; 및 상기 게이트 스타트 펄스들과 상기 게이트 출력 인에이블신호들에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다.
- <11> 본 발명의 또 다른 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 일반 구동모드와 임펄스 구동모드를 지시하는 선택신호를 발생하는 모드 선택회로; 상기 일반 구동모드에서 소스 출력 인에이블신호와 제1 프리차지 제어신호를 발생하고, 상기 임펄스 구동모드에서 상기 소스 출력 인에이블신호와 함께 상기 제1 프리차지 제어신호보다 큰 듀티비를 가지는 제2 프리차지 제어신호를 발생하

는 제1 제어신호 발생부; 상기 일반 구동모드에서 제1 게이트 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 출력 인에이블신호에 비하여 듀티비가 큰 제2 게이트 출력 인에이블신호 쌍을 발생하는 제2 제어신호 발생부; 상기 일반 구동모드에서 제1 게이트 스타트 펄스를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 스타트 펄스와 함께 상기 제1 게이트 스타트 펄스와 다른 펄스폭을 가지는 제2 게이트 스타트 펄스를 발생하는 제3 제어신호 발생부; 상기 소스 출력 인에이블신호에 응답하여 차지웨어전압과 데이터전압을 상기 데이터라인들에 공급하고, 상기 프리차지 제어신호에 응답하여 상기 차지웨어전압과 상기 데이터전압 사이의 기간 동안 블랙 계조전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트 스타트 펄스들과 상기 게이트 출력 인에이블신호들에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다.

<12> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 20% 내지 60% 사이의 듀티비를 가지는 소스 출력 인에이블신호를 포함한 데이터 타이밍 제어신호를 발생하는 단계; 20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 단계; 상기 데이터 타이밍 제어신호에 응답하여 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 교대로 공급하는 단계; 및 상기 게이트 타이밍 제어신호에 응답하여 게이트라인들에 게이트 펄스를 공급하는 단계를 포함한다.

<13> 본 발명의 다른 실시예에 따른 액정표시장치의 구동방법은 소스 출력 인에이블신호와 20% 내지 60% 사이의 듀티비를 가지는 프리차지 제어신호를 포함한 데이터 타이밍 제어신호를 발생하는 단계; 20% 내지 60% 사이의 듀티비를 가지는 제1 및 제2 게이트 출력 인에이블신호, 펄스폭이 서로 다른 제1 및 제2 게이트 스타트 펄스를 포함한 게이트 타이밍 제어신호를 발생하는 단계; 상기 데이터 타이밍 제어신호에 응답하여 블랙 계조전압과 정극성/부극성 데이터전압을 데이터라인들에 교대로 공급하는 단계; 및 상기 게이트 타이밍 제어신호에 응답하여 게이트라인들에 게이트 펄스를 공급하는 단계를 포함한다.

<14> 본 발명의 또 다른 실시예에 따른 액정표시장치의 구동방법은 일반 구동모드와 임펄스 구동모드를 지시하는 선택신호를 발생하는 단계; 상기 일반 구동모드에서 제1 소스 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 소스 출력 인에이블신호에 비하여 듀티비가 큰 제2 소스 출력 인에이블신호를 발생하는 단계; 상기 일반 구동모드에서 제1 게이트 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 출력 인에이블신호에 비하여 듀티비가 큰 제2 게이트 출력 인에이블신호 쌍을 발생하는 단계; 상기 일반 구동모드에서 제1 게이트 스타트 펄스를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 스타트 펄스와 함께 상기 제1 게이트 스타트 펄스와 다른 펄스폭을 가지는 제2 게이트 스타트 펄스를 발생하는 단계; 상기 소스 출력 인에이블신호에 응답하여 데이터라인들에 데이터전압과 블랙 계조전압을 교대로 공급하는 단계; 및 상기 게이트 스타트 펄스들과 상기 게이트 출력 인에이블신호들에 응답하여 게이트라인들에 게이트 펄스를 공급하는 단계를 포함한다.

<15> 본 발명의 또 다른 실시예에 따른 액정표시장치의 구동방법은 일반 구동모드와 임펄스 구동모드를 지시하는 선택신호를 발생하는 단계; 상기 일반 구동모드에서 소스 출력 인에이블신호와 제1 프리차지 제어신호를 발생하고, 상기 임펄스 구동모드에서 상기 소스 출력 인에이블신호와 함께 상기 제1 프리차지 제어신호보다 큰 듀티비를 가지는 제2 프리차지 제어신호를 발생하는 단계; 상기 일반 구동모드에서 제1 게이트 출력 인에이블신호를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 출력 인에이블신호에 비하여 듀티비가 큰 제2 게이트 출력 인에이블신호 쌍을 발생하는 단계; 상기 일반 구동모드에서 제1 게이트 스타트 펄스를 발생하고, 상기 임펄스 구동모드에서 상기 제1 게이트 스타트 펄스와 함께 상기 제1 게이트 스타트 펄스와 다른 펄스폭을 가지는 제2 게이트 스타트 펄스를 발생하는 단계; 상기 소스 출력 인에이블신호에 응답하여 차지웨어전압과 데이터전압을 상기 데이터라인들에 공급하고, 상기 프리차지 제어신호에 응답하여 상기 차지웨어전압과 상기 데이터전압 사이의 기간 동안 블랙 계조전압을 상기 데이터라인들에 공급하는 단계; 및 상기 게이트 스타트 펄스들과 상기 게이트 출력 인에이블신호들에 응답하여 상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함한다.

효 과

<16> 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 타이밍 제어신호의 선택으로 임펄스 구동모드와 일반 구동모드를 선택할 수 있고, 블랙 표시블록에서 차지웨어전압이나 프리차지 전압의 충전량을 높여 동영상에서 모션 블러링 현상을 예방할 수 있다. 나아가, 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 타이밍 제어신호의 듀티비를 높임으로써 타이밍 콘트롤러와 데이터 구동회로 사이의 데이터 전송 주파수를 높일 필요가 없으므로 타이밍 콘트롤러에서 메모리와 PLL 등을 포함한 데이터 전송 주파수 변환회로를 제거할 수 있고 그 만

크 회로 비용을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

- <17> 이하, 도 7 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <18> 도 7을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(70), 타이밍 컨트롤러(71), 데이터 구동회로(72), 및 게이트 구동회로(73)를 구비한다. 데이터 구동회로(72)는 다수의 소스 드라이브 집적회로들(Data drive IC)을 포함한다. 게이트 구동회로(73)는 다수의 게이트 드라이브 집적회로들(Gate drive IC)을 포함한다.
- <19> 액정표시패널(70)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(70)은 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀들(Clc)을 포함한다.
- <20> 액정표시패널(70)의 하부 유리기관에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), TFT들, TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동되는 액정셀들(Clc), 및 스토리지 커패시터(Cst) 등이 형성된다. 액정표시패널(70)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(70)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- <21> 타이밍 컨트롤러(71)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable), 도트클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(72), 및 게이트 구동회로(73)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 이러한 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 포함한다. 또한, 타이밍 컨트롤러(71)는 외부의 시스템보드로부터 입력되는 디지털 비디오 데이터(RGB)의 전송 주파수를 체배하지 않고 데이터 구동회로(72)에 전송한다. 따라서, 타이밍 컨트롤러(71)에는 입력 데이터 주파수보다 데이터 구동회로(72)에 전송될 디지털 비디오 데이터(RGB)의 전송 주파수를 빠르게 하기 위한 도 5와 같은 회로가 필요없다.
- <22> 게이트 타이밍 제어신호는 임펄스 구동 효과를 발생하는 BDI 게이트 타이밍 제어신호와, 임펄스 구동 효과가 없는 일반 구동용 게이트 타이밍 제어신호를 포함한다. BDI 게이트 타이밍 제어신호와 일반 구동용 게이트 타이밍 제어신호는 타이밍 제어신호에 입력되는 타이밍 컨트롤러의 옵션핀에 인가되는 전압레벨의 선택에 의해 제품출하전에 어느 하나로 결정되거나, 정상 구동시에 입력 데이터의 분석결과에 따라 선택될 수 있다.
- <23> BDI 게이트 타이밍 제어신호는 비디오 데이터와 동기되는 게이트펄스를 발생하기 위한 게이트 드라이브 IC들의 동작 타이밍을 제어하는 제1 BDI 게이트 타이밍 제어신호와, 차지쉐어전압(Charge share voltage)에 동기되는 게이트펄스를 발생하기 위한 게이트 드라이브 IC들의 동작 타이밍을 제어하는 제2 BDI 게이트 타이밍 제어신호로 나뉘어진다. 데이터전압과 블랙 계조전압이 액정표시패널(70)에 교대로 인가되는 임펄스 구동모드에서 게이트 드라이브 IC들 각각에는 제1 BDI 게이트 타이밍 제어신호와 제2 BDI 게이트 타이밍 제어신호가 교대로 인가된다. 액정표시패널(70)이 임펄스 방식이 아닌 일반 구동방식으로 구동될 때 게이트 드라이브 IC들 각각은 일반 구동용 게이트 타이밍 제어신호에 의해 제어된다.
- <24> 제1 BDI 게이트 타이밍 제어신호는 제1 게이트 스타트 펄스(Gate Start Pulse, GSPd), 게이트 쉬프트 클럭신호(Gate Shift Clock, GSC), 제1 게이트 출력 인에이블신호(Gate Output Enable, GOEd) 등을 포함한다. 제1 게이트 스타트 펄스(GSPd)는 비디오 데이터가 표시되는 화면의 일부 블록(이하, "데이터 표시블록"이라 함)을 담당하는 게이트 드라이브 IC에서 첫 번째 게이트펄스가 발생되도록 스캔이 시작되는 라인을 지시한다. 제1 게이트 스타트 펄스(GSPd)는 짧은 펄스폭 예를 들면, 1 수평기간 만큼의 펄스폭을 가진다. 제1 게이트 출력 인에이블신호(GOEd)는 데이터 표시블록을 담당하는 게이트 드라이브 IC로 하여금 게이트펄스가 발생하는 시간을 지시한다. 게이트 드라이브 IC는 제1 게이트 출력 인에이블신호(GOEd)에서 펄스들 사이의 로우논리기간 동안 게이트펄스를 출력하는 반면, 제1 게이트 출력 인에이블신호(GOEd)의 하이논리기간 즉, 펄스폭기간에는 게이트펄스의 출력을 차단한다. 여기서, 하이논리기간은 펄스의 라이징타임으로부터 폴링타임까지의 듀티온타임(duty-on-time)이며, 로우논리기간은 앞선 펄스의 폴링타임으로부터 그에 뒤이은 펄스의 라이징타임까지의 듀티오프타임

(duty-off-time)이다.

- <25> 제2 BDI 게이트 타이밍 제어신호는 제2 게이트 스타트 펄스(GSPb), 게이트 쉬프트 클럭신호(GSC), 제2 게이트 출력 인에이블신호(GOEb) 등을 포함한다.
- <26> 제2 게이트 스타트 펄스(GSPb)는 블랙 계조전압에 의해 화면이 검게 표시되는 일부 블록(이하, "블록 표시블록"이라 함)을 담당하는 게이트 드라이브 IC에 인가되어 그 블록 표시블록에서 첫 번째 게이트펄스가 발생되도록 스캔이 시작되는 라인을 지시한다. 이 제2 게이트 스타트 펄스(GSPb)는 블랙 계조전압이 공급되는 라인들의 스캔타임이 중첩되도록 제1 게이트 스타트 펄스(GSPd)보다 넓은 펄스폭 예컨대, $N(N \text{은 } 2 \text{ 이상의 정수})$ 수평기간(NH) 만큼의 펄스폭으로 발생된다. 제2 게이트 출력 인에이블신호(GOEb)는 블랙 표시블록을 담당하는 게이트 드라이브 IC로 하여금 게이트펄스가 발생하는 시간을 지시한다. 블랙 표시블록을 담당하는 게이트 드라이브 IC는 제2 게이트 출력 인에이블신호(GOEb)에서 펄스들 사이의 로우논리기간 동안 게이트펄스를 출력한다.
- <27> 제2 게이트 출력 인에이블신호(GOEb)의 위상은 제1 게이트출력인에이블신호(GOEd)의 역위상이다. 이는 데이터 표시 블록의 액정셀들이 데이터전압만을 충전시키도록 하며, 블랙 표시 블록의 액정셀들이 차지채어전압만을 충전시키도록 제어하기 위함이다. 데이터 표시 블록을 담당하는 게이트 드라이브 IC는 제1 게이트 출력 인에이블신호(GOEd)에 응답하여 비디오 데이터전압에 동기되도록 게이트펄스를 출력한다. 이에 반하여, 블랙 표시 블록을 담당하는 게이트 드라이브 IC는 제2 게이트 출력 인에이블신호(GOEb)에 응답하여 블랙 계조전압에 동기되도록 게이트펄스를 출력한다.
- <28> 게이트 쉬프트 클럭신호(GSC)는 데이터 표시블록을 담당하는 게이트 드라이브 IC와 블랙 표시블록을 담당하는 게이트 드라이브 IC에 공통으로 공급된다. 이 게이트 쉬프트 클럭신호(GSC)는 게이트 드라이브 IC들로 하여금 게이트 스타트 펄스(GSPd/GSPb)를 순차적으로 쉬프트시키도록 게이트 드라이브 IC들을 제어하는 타이밍 제어신호이다.
- <29> 제1 및 제2 게이트 출력 인에이블신호(GOEd/GOEb)는 블랙 데이터 삽입 방식이 적용되는 종래의 액정표시장치나 블랙 데이터 삽입 방식이 적용되지 않는 종래의 액정표시장치의 게이트 출력 인에이블신호보다 펄스폭이 더 길고 로우논리기간이 더 짧다. 즉, 제1 및 제2 게이트 출력 인에이블신호(GOEd/GOEb)의 듀티비(duty ratio)는 종래의 게이트 출력 인에이블신호의 그것에 비하여 더 높다. 예컨대, 제1 게이트 출력 인에이블신호(GOEd)의 듀티비는 20~60%인데 비하여, 일반적인 게이트 출력 인에이블신호의 듀티비는 10% 내외이다.
- <30> 임펄스 구동 효과가 없는 일반 구동용 게이트 타이밍 제어신호는 BDI 게이트 타이밍 제어신호에서 게이트 출력 인에이블신호(GOEd/GOEb)를 듀티비가 작은 일반적인 게이트 출력 인에이블신호로 대체한 것이다.
- <31> 데이터 타이밍 제어신호는 임펄스 구동 효과를 발생하는 BDI 데이터 타이밍 제어신호와, 임펄스 구동 효과가 없는 일반 구동용 데이터 타이밍 제어신호를 포함한다. BDI 데이터 타이밍 제어신호와 일반 구동용 데이터 타이밍 제어신호는 타이밍 제어신호에 입력되는 타이밍 컨트롤러의 옵션핀에 인가되는 전압레벨의 선택에 의해 제품 출하전에 어느 하나로 결정되거나, 정상 구동시에 입력 데이터의 분석결과에 따라 선택될 수 있다. 액정표시패널(70)에 데이터전압과 블랙 계조전압이 인가되어 그 액정표시패널(70)이 임펄스 방식으로 데이터를 표시할 때 소스 드라이브 IC들 각각은 BDI 데이터 타이밍 제어신호에 의해 제어되는 반면, 액정표시패널(70)이 임펄스 방식이 아닌 일반 구동방식으로 구동될 때 소스 드라이브 IC들 각각은 일반 구동용 데이터 타이밍 제어신호에 의해 제어된다.
- <32> BDI 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 BDI 소스 출력 인에이블신호(Source Output Enable, SOEb) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(72) 내에서 데이터의 래치동작을 지시한다. 극성제어신호(POL)는 데이터 구동회로(72)로부터 출력되는 아날로그 비디오 데이터전압의 극성을 제어한다. BDI 소스 출력 인에이블신호(SOEb)는 소스 드라이브 IC로부터 출력되는 블랙 계조전압과 비디오 데이터전압의 출력시간을 제어한다. BDI 소스 출력 인에이블신호(SOEb)의 하이논리기간 동안 소스 드라이브 IC로부터 블랙 계조전압이 출력되는 반면, BDI 소스 출력 인에이블신호(SOEb)의 로우논리기간 동안 소스 드라이브 IC로부터 아날로그 비디오 데이터전압이 출력된다. 이 BDI 소스 출력 인에이블신호(SOEb)는 블랙 계조 전압의 출력시간을 넓게 하기 위하여 일반적인 소스 출력 인에이블신호에 비하여 하이논리기간 즉, 펄스폭기간이 더 넓다. 이를 위하여, BDI 소스 출력 인에이블신호(SOEb)는 20%~60% 사이의 듀티비를 갖는 것이 바람직하다. BDI 소스 출력 인에이블신호(SOEb)의 듀티비가 20% 미만이면 블랙 계조전압의 충전시간이 짧기 때문에 블랙 데이터 삽입

효과 즉, 임펄스 구동효과가 작고, BDI 소스 출력 인에이블신호(SOE_d)의 듀티비가 60%를 초과하면 아날로그 데이터전압의 충전시간이 지나치게 짧아지기 때문에 데이터의 계조 표현력이 떨어진다.

- <33> 임펄스 구동 효과가 없는 일반 구동용 데이터 타이밍 제어신호는 BDI 데이터 타이밍 제어신호에서 소스 출력 인에이블신호(SOE_b)를 듀티비가 10% 내외로 작은 일반적인 소스 출력 인에이블신호로 대체한 것이다.
- <34> 또한, 타이밍 콘트롤러(71)는 프리차지 제어신호(PCW)를 데이터 구동회로(72)에 공급한다. 데이터 구동회로(72)는 프리차지 제어신호(PCW)의 펄스에 응답하여 정극성/부극성 프리차지전압(+V_{pc}/-V_{pc})을 데이터라인들(D1 내지 D_m)에 공급한다. 프리차지 제어신호(PCW)는 임펄스 구동효과가 없는 일반적인 구동 모드의 경우에 그 듀티비가 10% 내외이다. 이에 비하여, 본 발명은 임펄스 구동모드로 액정표시장치를 구동할 때, 프리차지 제어신호(PCW)의 듀티비를 20%~60% 정도로 높여 기존 기술보다 정극성/부극성 프리차지전압(+V_{pc}/-V_{pc})의 충전시간을 늘려 임펄스 효과를 제공할 수 있다. 한편, 프리차지 제어신호(PCW)의 듀티비가 20% 미만이면 충분한 임펄스 구동효과를 얻을 수 없고, 60%를 초과하면 비디오 데이터전압의 충전시간이 짧아져 비디오 데이터의 계조 표현력이 떨어질 수 있다.
- <35> 블랙 계조전압은 타이밍 콘트롤러(71)에서 블랙 계조의 디지털 비디오 데이터로 생성되지 않고 데이터 구동회로(72)의 소스 드라이브 IC 각각에서 발생하는 아날로그 전압이다.
- <36> 블랙 계조전압의 제1 실시예는 차지쉐어전압(Charge share voltage)이다. 차지쉐어전압은 정극성 데이터전압이 공급되는 데이터라인과 부극성 데이터전압이 공급되는 데이터라인을 단락(short)시킬 때 발생하는 평균전압 또는 액정셀(C_{lc})의 공통전극(2)에 인가되는 공통전압(V_{com})이다. 따라서, 차지쉐어전압은 공통전압(V_{com})과의 전압차가 거의 없는 또는, 공통전압(V_{com})과 등전위 전압이다. 블랙 계조전압의 제1 실시예는 노말리 블랙 모드(Normally Black Mode)로 구동되는 액정표시패널(70)에 적용된다. 노말리 블랙 모드란 액정셀에 인가되는 데이터전압이 높을수록 휘도레벨 즉, 계조가 높아지는 구동모드를 의미한다. 차지쉐어전압은 노말리 블랙 모드로 구동되는 액정표시패널(70)에서 액정셀(C_{lc})의 화소전극(1)과 공통전극(2)의 전압차를 블랙 계조전압만큼 낮추므로 액정셀(C_{lc})에 블랙 계조를 표시한다.
- <37> 블랙 계조전압의 제2 실시예는 정극성/부극성 프리차지전압(Positive/Negative Precharge voltage, +V_{pc}/-V_{pc})이다. 정극성 프리차지전압(+V_{pc})은 최대 정극성 데이터전압 또는, 최대 정극성 데이터전압과 차지쉐어전압 사이의 정극성 전압이다. 정극성 프리차지전압(+V_{pc})은 정극성 데이터전압에 앞서 데이터라인들(D1 내지 D_m)에 공급되어 정극성 데이터전압의 스윙폭을 줄여 소스 드라이브 IC들 내에 흐르는 전류를 줄인다. 부극성 프리차지전압(-V_{pc})은 최대 부극성 데이터전압 또는, 최대 부극성 데이터전압과 차지쉐어전압 사이의 부극성 전압이다. 부극성 프리차지전압(-V_{pc})은 부극성 데이터전압에 앞서 데이터라인들(D1 내지 D_m)에 공급되어 부극성 데이터전압의 스윙폭을 줄여 소스 드라이브 IC들 내에 흐르는 전류를 줄인다. 블랙 계조전압의 제2 실시예는 노말리 화이트 모드(Normally White Mode)로 구동되는 액정표시패널(70)에 적용된다. 노말리 화이트 모드란 액정셀에 인가되는 데이터전압이 높을수록 휘도레벨 즉, 계조가 낮아지는 구동모드를 의미한다. 정극성/부극성 프리차지전압은 노말리 화이트 모드로 구동되는 액정표시패널(70)에서 액정셀(C_{lc})의 화소전극(1)과 공통전극(2)의 전압차를 블랙 계조전압만큼 높이므로 액정셀(C_{lc})에 블랙 계조를 표시한다.
- <38> 데이터 구동회로(72)는 타이밍 콘트롤러(71)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 이 데이터 구동회로(72)는 차지쉐어전압 또는 정극성/부극성 프리차지전압으로 발생하는 블랙 계조전압을 데이터라인들(D1 내지 D_m)에 공급한 후, 디지털 비디오 데이터(RGB)를 극성제어신호(POL)에 따라 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 D_m)에 공급한다. 또한, 데이터 구동회로(72)는 프리차지 제어신호(PCW)의 펄스에 응답하여 정극성/부극성 프리차지전압(+V_{pc}/-V_{pc})을 데이터라인들(D1 내지 D_m)에 공급한다.
- <39> 데이터라인들(D1 내지 D_m)에는 소스 출력 인에이블신호에 의해 차지쉐어전압에 이어서 아날로그 비디오 데이터 전압이 공급된다. 또한, 데이터라인들(D1 내지 D_m)에는 프리차지 제어신호와 소스 출력 인에이블신호에 의해 차지쉐어전압에 이어서 프리차지전압이 공급된 후에, 아날로그 비디오 데이터전압이 공급될 수 있다.
- <40> 게이트 구동회로(73)의 게이트 드라이브 IC들 각각은 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 G_n) 사이에 접속되는 출력 버퍼를 각각 포함한다. 이 게이트 구동회로(73)는 게이트 타이밍 제어신호들에 응답하여 게이트펄스를 게이트라인들에 순차적으로 공급한다.
- <41> 도 8은 본 발명의 실시예에 따른 액정표시장치가 임펄스 구동할 때 각 블록별 데이터 기입, 데이터 유지, 및 블

랙 삽입 동작을 보여 준다. 도 9a 내지 도 9c는 도 8에서 서브 프레임에 따라 각 블록별 게이트 드라이브 IC들에 인가되는 게이트 타이밍 제어신호들과 화면의 표시상태를 나타낸다.

- <42> 도 8을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(70)의 표시화면을 다수의 블록으로 분할하여 각 블록별로 데이터 기입 -> 데이터 유지 -> 블랙 삽입의 동작으로 각 블록들을 독립적으로 제어한다. 또한, 본 발명의 실시예에 따른 액정표시장치는 1 프레임기간을 블록들의 개수만큼의 서브 프레임들로 시분할 구동하고, 각 서브 프레임들(SF1 내지 SF3)에서 어느 한 블록을 데이터기입 블록으로 제어하고, 다른 하나의 블록을 데이터유지 블록으로 제어하며, 또 다른 하나의 블록을 블랙 삽입 블록으로 제어한다.
- <43> 게이트 구동회로(73)가 3 개의 게이트 드라이브 IC들(731 내지 733)로 구성되고, 그 게이트 드라이브 IC들(731 내지 733)에 대응하여 액정표시패널(70)을 3 개의 블록들(BL1 내지 BL3)로 공간적으로 분할 구동하고, 1 프레임 기간을 3 개의 서브 프레임로 시분할 구동한다고 가정할 때, 각 블록들(BL1 내지 BL3)과 그에 대응하는 데이터/게이트 드라이브 IC들의 동작을 설명하면 다음과 같다.
- <44> 제1 서브 프레임기간(SF1) 동안, 제1 게이트 드라이브 IC(731)에는 도 9a와 같이 제1 게이트 스타트 펄스(GSPd)와 제1 게이트 출력 인에이블신호(GOEd) 등을 포함한 제1 BDI 게이트 타이밍 제어신호가 인가된다. 따라서, 제1 게이트 드라이브 IC(731)는 제1 게이트 스타트 펄스(GSPd)와 제1 게이트 출력 인에이블신호(GOEd)에 응답하여 대략 1 수평기간 만큼의 펄스폭을 가지는 게이트펄스를 제1 블록(BL1)의 게이트라인들에 순차적으로 공급한다. 제1 블록(BL1)이 스캐닝되는 동안, 소스 드라이브 IC들은 BDI 소스 출력 인에이블 신호(SOEb)에 응답하여 블랙 계조전압과 아날로그 비디오 데이터전압을 교대로 출력한다. 이 때, 제1 블록(BL1)의 게이트라인들에 순차적으로 공급되는 게이트펄스들은 제1 게이트 출력 인에이블신호(GOEd)에 따라 소스 드라이브 IC들로부터 출력되는 아날로그 비디오 데이터전압에 동기된다. 따라서, 제1 서브 프레임기간(SF1) 동안, 제1 블록(BL1)에는 1 라인씩 순차적으로 아날로그 비디오 데이터전압이 충전(즉, 기입)된다.
- <45> 제1 서브 프레임기간(SF1) 동안, 제2 게이트 드라이브 IC(732)에는 도 9a와 같이 제2 게이트 스타트 펄스(GSPb)와 제2 게이트 출력 인에이블신호(GOEb) 등을 포함한 제2 BDI 게이트 타이밍 제어신호가 인가된다. 따라서, 제2 게이트 드라이브 IC(732)는 제2 게이트 스타트 펄스(GSPb)와 제2 게이트 출력 인에이블신호(GOEb)에 응답하여 대략 N 수평기간 만큼 예를 들면, 3 수평기간 만큼의 펄스폭을 가지는 게이트펄스를 제2 블록(BL2)의 게이트라인들에 순차적으로 공급한다. 여기서, 대략 N 수평기간 만큼의 펄스폭이란 제2 게이트 출력 인에이블신호(GOEb)에 의해 단속적으로 발생되어 게이트라인 각각에 연속적으로 인가되는 N 개의 게이트펄스들의 펄스폭 합을 의미한다. 제2 블록(BL2) 내에서, N 번째 게이트라인에 공급되는 N 개의 게이트펄스들 중에서 첫 번째 게이트펄스를 제외한 나머지 N-1 개의 게이트펄스들은 제2 게이트 스타트 펄스(GSPb), 게이트 쉬프트 클럭(GSC), 및 제2 게이트 출력 인에이블신호(GOEb)의 상관관계에 따라 N+1 번째 게이트라인에 공급되는 N-1 개의 게이트펄스들과 중첩된다. 이에 대한 상세한 설명을 도 10 및 도 11을 결부하여 후술하기로 한다. 제2 블록(BL2)이 스캐닝되는 동안, 소스 드라이브 IC들은 소스 출력 인에이블 신호(SOEb)의 듀티비가 상대적으로 큰 BDI 데이터 타이밍 제어신호에 응답하여 블랙 계조전압과 아날로그 비디오 데이터전압을 교대로 출력한다. 이 때, 제2 블록(BL2)의 게이트라인들에 순차적으로 공급되는 게이트펄스들은 제2 게이트 출력 인에이블신호(GOEb)에 따라 소스 드라이브 IC들로부터 출력되는 블랙 계조전압에 동기된다. 따라서, 제1 서브 프레임기간(SF1) 동안, 제2 블록(BL2)에는 게이트펄스가 먼저 공급되는 N-2 개의 라인을 제외하면 N 개의 라인들이 동시에 스캐닝되어 그 N 개의 라인들에 동시에 블랙 계조전압이 충전된다. 본 발명은 블랙 데이터가 삽입되는 블록에서 N 개의 라인들이 동시에 블랙 계조전압을 충전하므로 블랙 계조전압의 충전시간을 확보할 수 있으므로 블랙 계조를 안정되게 표시할 수 있다.
- <46> 제1 서브 프레임기간(SF1) 동안, 제3 게이트 드라이브 IC(733)에는 도 9a와 같이 게이트 스타트 펄스와 게이트 출력 인에이블신호가 인가되지 않는다. 따라서, 제1 서브 프레임기간(SF1) 동안 제3 블록(BL3)의 액정셀들은 이전 프레임기간에 충전한 아날로그 데이터전압을 유지한다.
- <47> 제2 서브 프레임기간(SF2) 동안, 제1 게이트 드라이브 IC(731)에는 도 9b와 같이 게이트 스타트 펄스와 게이트 출력 인에이블신호가 인가되지 않는다. 따라서, 제2 서브 프레임기간(SF2) 동안 제1 블록(BL1)의 액정셀들은 제1 서브 프레임기간(SF1)에 충전한 아날로그 데이터전압을 유지한다.
- <48> 제2 서브 프레임기간(SF2) 동안, 제2 게이트 드라이브 IC(732)에는 도 9b와 같이 제1 게이트 스타트 펄스(GSPd)와 제1 게이트 출력 인에이블신호(GOEd) 등을 포함한 제1 BDI 게이트 타이밍 제어신호가 인가된다. 따라서, 제2 게이트 드라이브 IC(732)는 제1 게이트 스타트 펄스(GSPd)와 제1 게이트 출력 인에이블신호(GOEd)에 응답하여 대략 1 수평기간 만큼의 펄스폭을 가지는 게이트펄스를 제2 블록(BL2)의 게이트라인들에 순차적으로 공급한다.

다. 제2 블록(BL2)이 스캐닝되는 동안, 소스 드라이브 IC들은 BDI 소스 출력 인에이블 신호(SOEb)에 응답하여 블랙 계조전압과 아날로그 비디오 데이터전압을 교대로 출력한다. 이 때, 제2 블록(BL2)의 게이트라인들에 순차적으로 공급되는 게이트펄스들은 제1 게이트 출력 인에이블신호(GOE_d)에 따라 소스 드라이브 IC들로부터 출력되는 아날로그 비디오 데이터전압에 동기된다. 따라서, 제2 서브 프레임기간(SF2) 동안, 제2 블록(BL1)에는 1 라인씩 순차적으로 아날로그 비디오 데이터전압이 충전된다.

<49> 제2 서브 프레임기간(SF2) 동안, 제3 게이트 드라이브 IC(733)에는 도 9b와 같이 제2 게이트 스타트 펄스(GSP_b)와 제2 게이트 출력 인에이블신호(GOE_b) 등을 포함한 제2 BDI 게이트 타이밍 제어신호가 인가된다. 따라서, 제3 게이트 드라이브 IC(733)는 제2 게이트 스타트 펄스(GSP_b)와 제2 게이트 출력 인에이블신호(GOE_b)에 응답하여 대략 N 수평기간 만큼의 펄스폭을 가지는 게이트펄스를 제3 블록(BL3)의 게이트라인들에 순차적으로 공급한다. 제3 블록(BL3) 내에서, N 번째 게이트라인에 공급되는 N 개의 게이트펄스들 중에서 첫 번째 게이트펄스를 제외한 나머지 N-1 개의 게이트펄스들은 N+1 번째 게이트라인에 먼저 공급되는 N-1 개의 게이트펄스들과 중첩된다. 제3 블록(BL3)이 스캐닝되는 동안, 소스 드라이브 IC들은 소스 출력 인에이블 신호(SOE_b)에 응답하여 블랙 계조전압과 아날로그 비디오 데이터전압을 교대로 출력한다. 이 때, 제3 블록(BL3)의 게이트라인들에 순차적으로 공급되는 게이트펄스들은 제2 게이트 출력 인에이블신호(GOE_b)에 따라 소스 드라이브 IC들로부터 출력되는 블랙 계조전압에 동기된다. 따라서, 제2 서브 프레임기간(SF2) 동안, 제3 블록(BL2)에는 게이트펄스가 먼저 공급되는 N-2 개의 라인을 제외하면 N 개의 라인들이 동시에 스캐닝되어 그 N 개의 라인들에 동시에 블랙 계조전압이 충전된다.

<50> 제3 서브 프레임기간(SF3) 동안, 제1 게이트 드라이브 IC(731)에는 도 9c와 같이 제2 게이트 스타트 펄스(GSP_b)와 제2 게이트 출력 인에이블신호(GOE_b) 등을 포함한 제2 BDI 게이트 타이밍 제어신호가 인가된다. 따라서, 제1 게이트 드라이브 IC(731)는 제2 게이트 스타트 펄스(GSP_b)와 제2 게이트 출력 인에이블신호(GOE_b)에 응답하여 대략 N 수평기간 만큼의 펄스폭을 가지는 게이트펄스를 제1 블록(BL1)의 게이트라인들에 순차적으로 공급한다. 제1 블록(BL1) 내에서, N 번째 게이트라인에 공급되는 N 개의 게이트펄스들 중에서 첫 번째 게이트펄스를 제외한 나머지 N-1 개의 게이트펄스들은 N+1 번째 게이트라인에 먼저 공급되는 N-1 개의 게이트펄스들과 중첩된다. 제1 블록(BL1)이 스캐닝되는 동안, 소스 드라이브 IC들은 소스 출력 인에이블 신호(SOE_b)에 응답하여 블랙 계조전압과 아날로그 비디오 데이터전압을 교대로 출력한다. 이 때, 제1 블록(BL1)의 게이트라인들에 순차적으로 공급되는 게이트펄스들은 제2 게이트 출력 인에이블신호(GOE_b)에 따라 소스 드라이브 IC들로부터 출력되는 블랙 계조전압에 동기된다. 따라서, 제3 서브 프레임기간(SF3) 동안, 제1 블록(BL1)에는 게이트펄스가 먼저 공급되는 N-2 개의 라인을 제외하면 N 개의 라인들이 동시에 스캐닝되어 그 N 개의 라인들에 동시에 블랙 계조전압이 충전된다.

<51> 제3 서브 프레임기간(SF3) 동안, 제2 게이트 드라이브 IC(732)에는 게이트 스타트 펄스와 게이트 출력 인에이블 신호가 인가되지 않는다. 따라서, 제3 서브 프레임기간(SF3) 동안 제2 블록(BL2)의 액정셀들은 제2 서브 프레임기간(SF2)에 충전한 아날로그 데이터전압을 유지한다.

<52> 제3 서브 프레임기간(SF3) 동안, 제3 게이트 드라이브 IC(733)에는 도 9c와 같이 제1 게이트 스타트 펄스(GSP_d)와 제1 게이트 출력 인에이블신호(GOE_d) 등을 포함한 제1 BDI 게이트 타이밍 제어신호가 인가된다. 따라서, 제3 게이트 드라이브 IC(733)는 제1 게이트 스타트 펄스(GSP_d)와 제1 게이트 출력 인에이블신호(GOE_d)에 응답하여 대략 1 수평기간 만큼의 펄스폭을 가지는 게이트펄스를 제3 블록(BL3)의 게이트라인들에 순차적으로 공급한다. 제3 블록(BL3)이 스캐닝되는 동안, 소스 드라이브 IC들은 BDI 소스 출력 인에이블 신호(SOE_b)에 응답하여 블랙 계조전압과 아날로그 비디오 데이터전압을 교대로 출력한다. 이 때, 제3 블록(BL3)의 게이트라인들에 순차적으로 공급되는 게이트펄스들은 제1 게이트 출력 인에이블신호(GOE_d)에 따라 소스 드라이브 IC들로부터 출력되는 아날로그 비디오 데이터전압에 동기된다. 따라서, 제3 서브 프레임기간(SF3) 동안, 제3 블록(BL3)에는 1 라인씩 순차적으로 아날로그 비디오 데이터전압이 충전된다.

<53> 도 10은 본 발명의 제1 실시예에 따른 액정표시장치를 임펄스 구동시킬 때 소스 드라이브 IC들과 게이트 드라이브 IC들에 인가되는 타이밍 제어신호들을 보여 주는 파형도이다.

<54> 도 10을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 임펄스 구동할 때 차지웨어전압을 블랙 계조전압으로 이용한다. 이 액정표시장치는 노말리 블랙 모드로 구동된다.

<55> 타이밍 컨트롤러(71)는 액정표시패널(70)을 임펄스 구동시킬 때 일반적인 소스 출력 인에이블신호(Normal-SOE)에 비하여 듀티비가 큰 BDI 소스 출력 인에이블신호(SOE_b)로 소스 드라이브 IC들의 출력을 제어한다. 소스 드라이브 IC들 각각은 BDI 소스 출력 인에이블신호(SOE_b)에 응답하여 차지웨어전압과 아날로그 비디오 데이터전

압을 교대로 출력한다.

- <56> 타이밍 콘트롤러(71)는 펄스폭이 작은 제1 게이트 스타트 펄스(GSPd)와, 제2 게이트 출력 인에이블신호(GOEb)의 역위상인 제1 게이트 출력 인에이블신호(GOEa)를 이용하여 게이트 드라이브 IC를 제어한다. 아날로그 비디오 데이터전압을 충전할 데이터 표시블록을 담당하는 게이트 드라이브 IC는 제1 게이트 출력 인에이블신호(GOEa)에 응답하여 아날로그 데이터전압에 동기하는 게이트펄스를 순차적으로 출력한다.
- <57> 또한, 타이밍 콘트롤러(71)는 펄스폭이 상대적으로 넓은 제2 게이트 스타트 펄스(GSPb)와, 제1 게이트 출력 인에이블신호(GOEa)의 역위상인 제2 게이트 출력 인에이블신호(GOEb)를 이용하여 게이트 드라이브 IC를 제어한다. 블랙 계조전압을 충전할 블랙 표시블록을 담당하는 게이트 드라이브 IC는 제2 게이트 출력 인에이블신호(GOEb)에 응답하여 차지채어전압에 동기하는 게이트펄스를 순차적으로 출력한다.
- <58> 도 10에서, "Normal-SOE"는 임펄스 구동하지 않고 데이터전압이 선순차방식으로 충전되는 액정표시패널에 적용되는 일반적인 소스 출력 인에이블 신호로써 BDI 소스 출력 인에이블신호(SOEb)에 비하여 듀티비가 작다. "Normal-GOE"는 임펄스 구동하지 않고 데이터전압이 선순차방식으로 충전되는 액정표시패널에 적용되는 일반적인 게이트 출력 인에이블 신호로써 제1 및 제2 게이트 출력 인에이블신호(GOEa, GOEb)에 비하여 듀티비가 작다.
- <59> 도 11은 데이터 표시블록을 담당하는 게이트 드라이브 IC와 블랙 표시블록을 담당하는 게이트 드라이브 IC로 나누어 도 10에 도시된 게이트 타이밍 제어신호들과 게이트펄스들을 보여 주는 파형도이다.
- <60> 도 11을 참조하면, 게이트 드라이브 IC들의 쉬프트 레지스터는 게이트 스타트 펄스(GSPd/GSPb)를 게이트 쉬프트 클럭(GSC)의 라이징에지마다 한 스테이지씩 쉬프트시키고, 게이트 출력 인에이블신호(GOEa/GOEb)의 로우논리기간 동안 게이트펄스를 출력시킨다. 따라서, 데이터 표시블록을 담당하는 게이트 드라이브 IC들은 제1 게이트 스타트 펄스(GSPd)의 펄스폭이 대략 1 수평기간이고 게이트 쉬프트 클럭(GSC)의 한 주기가 대략 1 수평기간이므로 하나의 게이트 펄스를 게이트라인에 공급하고, 그 게이트 펄스를 쉬프트시켜 다음 게이트라인에 공급한다.
- <61> 이에 비하여, 블랙 표시블록을 담당하는 게이트 드라이브 IC들은 제2 게이트 스타트 펄스(GSPb)의 펄스폭이 대략 N 수평기간 예컨대, 대략 3 수평기간이고 게이트 쉬프트 클럭(GSC)의 한 주기가 대략 1 수평기간이므로 N 개의 펄스를 게이트라인에 공급한 후, 그 게이트 펄스들을 쉬프트시켜 다음 게이트라인에 공급한다. 그 결과, 점선 박스와 같이 블랙 표시블록에서 N 개의 게이트라인들에 공급되는 게이트펄스들이 동기될 수 있다. N 개의 게이트라인들에 의해 스캐닝되는 N 개의 라인들에 포함된 액정셀들이 동시에 차지채어전압을 충전하여 블랙 계조를 표시한다.
- <62> 본 발명은 도 10 및 도 11과 같이, 소스 출력 인에이블신호(SOEa)와 각 블록별로 인가되는 게이트 출력 인에이블신호(GOEa, GOEb)에 따라 데이터 표시블록에 대응하는 비디오 데이터전압과 블랙 표시블록에 대응하는 차지채어전압을 해당 블록에 교대로 충전시킨다.
- <63> 도 12는 본 발명의 제2 실시예에 따른 액정표시장치를 임펄스 구동시킬 때 소스 드라이브 IC들과 게이트 드라이브 IC들에 인가되는 타이밍 제어신호들을 보여 주는 파형도이다.
- <64> 도 12를 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 임펄스 구동할 때 프리차지전압(+Vpc/-Vpc)을 블랙 계조전압으로 이용한다. 이 액정표시장치는 노말리 화이트 모드로 구동된다.
- <65> 타이밍 콘트롤러(71)는 액정표시패널(70)을 임펄스 구동시킬 때 듀티비가 작은 일반적인 소스 출력 인에이블신호(Normal-SOE)와, 일반적인 프리차지 제어신호에 비하여 듀티비가 큰 프리차지 제어신호(PCM)를 이용하여 소스 드라이브 IC들의 출력을 제어한다. 프리차지 제어신호(PCM)의 듀티비는 20%~60% 사이가 바람직하다. 프리차지 제어신호(PCM)의 듀티비가 20% 미만이면 블랙 계조전압의 충전시간이 짧기 때문에 블랙 데이터 삽입효과 즉, 임펄스 구동효과가 작고, BDI 소스 출력 인에이블신호(SOEa)의 듀티비가 60%를 초과하면 아날로그 데이터전압의 충전시간이 짧아지기 때문에 데이터전압의 충전시간이 지나치게 짧아진다. 소스 드라이브 IC들 각각은 일반적인 소스 출력 인에이블신호(Normal-SOE)의 펄스에 응답하여 차지채어전압을 출력한 후, 프리차지 제어신호(PCM)의 펄스에 응답하여 정극성/부극성 프리차지 전압(+Vpc/-Vpc)을 출력한다. 이어서, 소스 드라이브 IC들 각각은 일반적이 소스 출력 인에이블신호(Normal-SOE)의 로우논리기간 동안 아날로그 비디오 데이터전압을 출력한다.
- <66> 타이밍 콘트롤러(71)는 제1 게이트 스타트 펄스(GSPd)와 제1 게이트 출력 인에이블신호(GOEa)를 이용하여 게이트 드라이브 IC를 제어한다. 아날로그 비디오 데이터전압을 충전할 데이터 표시블록을 담당하는 게이트 드라이브

브 IC는 제1 게이트 출력 인에이블신호(GOE_d)에 응답하여 아날로그 데이터전압에 동기하는 게이트펄스를 순차적으로 출력한다. 따라서, 데이터 표시블록의 액정셀들은 아날로그 비디오 데이터전압을 충전하여 화상을 표시할 수 있다.

- <67> 또한, 타이밍 콘트롤러(71)는 제1 게이트 스타트 펄스(GSP_d)와, 제1 게이트 출력 인에이블신호(GOE_d)의 역위상인 제2 게이트 출력 인에이블신호(GOE_b)를 이용하여 게이트 드라이브 IC를 제어한다. 블랙 계조전압을 충전할 블랙 표시블록을 담당하는 게이트 드라이브 IC는 제2 게이트 출력 인에이블신호(GOE_b)에 응답하여 정극성/부극성 프리차지전압(+V_{pc}/-V_{pc})에 동기하는 게이트펄스를 순차적으로 출력한다. 따라서, 블랙 표시블록의 액정셀들은 정극성/부극성 프리차지전압(+V_{pc}/-V_{pc})을 충전하여 블랙 계조를 표시할 수 있다.
- <68> 도 13은 본 발명의 제1 실시예에 따른 타이밍 콘트롤러(71)에서 소스 출력 인에이블신호와 게이트 출력 인에이블 신호를 발생하기 위한 회로부를 나타낸다.
- <69> 도 13을 참조하면, 타이밍 콘트롤러(71)는 SOE 발생부(131), GOE 발생부(132), SEL 발생부(133), 및 다수의 멀티플렉서들(134, 1351 내지 135N)을 구비한다.
- <70> SOE 발생부(131)는 데이터 인에이블신호(DE)에 맞추어 듀티비가 서로 다른 BDI 소스 출력 인에이블신호(SOE_b)와 일반적인 소스 출력 인에이블신호(Normal-SOE)를 발생한다.
- <71> GOE 발생부(132)는 데이터 인에이블신호(DE)에 맞추어 듀티비가 작은 일반적인 게이트 출력 인에이블신호(Normal-GOE), 듀티비가 상대적으로 높고 위상이 서로 반대인 제1 및 제2 게이트 출력 인에이블신호(GOE_d, GOE_b)을 발생한다.
- <72> SEL 발생부(133)는 멀티플렉서들(134, 1351 내지 135N)의 출력을 제어하기 위한 선택신호들(SOE-SEL, GOE-SEL1 내지 GOE-SELN)을 발생한다. 이 SEL 발생부(133)는 타이밍 콘트롤러(71)의 외부로 노출된 외부 선택단자(Se1-option pin)로부터의 전압레벨에 따라 멀티플렉서들(134, 1351 내지 135N)의 출력을 제어하기 위한 선택신호들(SOE-SEL, GOE-SEL1 내지 GOE-SELN)의 논리값을 결정한다. 외부 선택단자는 운용자에 의해 조작 가능한 스위치를 통해 선택적으로 전원전압원(V_{cc})과 기저전압원(GND) 중 어느 하나에 접속된다. 외부 선택단자가 기저전압원(GND)에 접속되면, SEL 발생부(133)는 임펄스 효과 없이 일반적으로 동작하는 액정표시장치에 적합하도록 멀티플렉서들(134, 1351 내지 135N)을 제어할 수 있다. 외부 선택단자가 전원전압원(V_{cc})에 접속되면, SEL 발생부(133)는 블랙 계조전압의 충전으로 임펄스 효과가 발생하는 액정표시장치에 적합하도록 멀티플렉서들(134, 1351 내지 135N)을 제어할 수 있다.
- <73> SOE 멀티플렉서(134)는 외부 선택단자가 기저전압원(GND)에 접속될 때 SEL 선택부(133)로부터의 선택 제어신호(SOE-SEL)에 응답하여 듀티비가 작은 일반적인 소스 출력 인에이블신호(Normal-SOE)를 소스 드라이브 IC들에 공급한다. 반면에, SOE 멀티플렉서(134)는 외부 선택단자가 전원전압원(V_{cc})에 접속될 때 SEL 선택부(133)로부터의 선택 제어신호(SOE-SEL)에 응답하여 듀티비가 높은 BDI 소스 출력 인에이블신호(SOE_b)를 소스 드라이브 IC들에 공급한다. 선택 제어신호(SOE-SEL)는 1 비트의 선택신호로 가능하다.
- <74> 다수의 GOE 멀티플렉서들(1351 내지 135N)은 게이트 드라이브 IC들에 1:1로 대응한다. 이 GOE 멀티플렉서들(1351 내지 135N)은 외부 선택단자가 기저전압원(GND)에 접속될 때 SEL 선택부(133)로부터의 선택 제어신호(GOE-SEL1 내지 GOE-SELN)에 응답하여 듀티비가 작은 일반적인 게이트 출력 인에이블신호(Normal-GOE)를 대응하는 게이트 드라이브 IC에 공급한다. 반면에, GOE 멀티플렉서들(1351 내지 135N)은 외부 선택단자가 전원전압원(V_{cc})에 접속될 때 SEL 선택부(133)로부터의 선택 제어신호(GOE-SEL1 내지 GOE-SELN)에 응답하여 듀티비가 높은 제1 게이트 출력 인에이블신호(GOE_d) 또는 제2 게이트 출력 인에이블신호(GOE_b)를 대응하는 게이트 드라이브 IC에 공급한다. 선택 제어신호(GOE-SEL1 내지 GOE-SELN)는 2 비트의 선택신호로 가능하다.
- <75> 도 14는 본 발명의 제2 실시예에 따른 타이밍 콘트롤러(71)에서 소스 출력 인에이블신호와 게이트 출력 인에이블 신호를 발생하기 위한 회로부를 나타낸다.
- <76> 도 14를 참조하면, 타이밍 콘트롤러(71)는 영상 판단부(140), SOE 발생부(141), GOE 발생부(142), SEL 발생부(143), 및 다수의 멀티플렉서들(144, 1451 내지 145N)을 구비한다. SOE 발생부(141)와 GOE 발생부(142)는 전술한 도 13의 그것들과 실질적으로 동일하므로 그에 대한 상세한 설명을 생략하기로 한다.
- <77> 영상 판단부(140)는 공지의 영상판단법을 이용하여 동영상의 입력여부를 판단한다. 영상 판단부(140)는 입력 디지털 비디오 데이터들(RGB)을 프레임간, 픽셀간 비교하여 그 차가 소정의 임계치보다 작으면 현재 입력되는 영상을 정지영상으로 판단하고, 영상판단신호를 '0'으로 하여 SEL 발생부(133)를 제어할 수 있다. 반면에, 영

상 판단부(140)는 입력 디지털 비디오 데이터들(RGB)을 프레임간, 픽셀간 비교하여 그 차가 소정의 임계치 이상이면 현재 입력되는 영상을 동영상으로 판단하고, 영상판단신호를 '1'로 하여 SEL 발생부(133)를 제어한다.

<78> SEL 발생부(143)는 멀티플렉서들(144, 1451 내지 145N)의 출력을 제어하기 위한 선택신호들(SOE-SEL, GOE-SEL1 내지 GOE-SELN)을 발생한다. 이 SEL 발생부(143)는 영상 판단부(140)로부터의 영상판단신호에 따라 멀티플렉서들(134, 1351 내지 135N)의 출력을 제어하기 위한 선택신호들(SOE-SEL, GOE-SEL1 내지 GOE-SELN)의 논리값을 결정한다. 현재 입력되는 영상이 정지영상이면, SEL 발생부(143)는 임펄스 효과 없이 일반적으로 동작하는 액정표시장치에 적합하도록 멀티플렉서들(134, 1351 내지 135N)을 제어할 수 있다. 현재 입력되는 영상이 동영상이면, SEL 발생부(143)는 블랙 계조전압의 충전으로 임펄스 효과가 발생하는 액정표시장치에 적합하도록 멀티플렉서들(134, 1351 내지 135N)을 제어할 수 있다.

<79> SOE 멀티플렉서(144)는 현재 입력되는 영상이 정지영상일 때 SEL 선택부(143)로부터의 선택 제어신호(SOE-SEL)에 응답하여 듀티비가 작은 일반적인 소스 출력 인에이블신호(Normal-SOE)를 소스 드라이브 IC들에 공급한다. 반면에, SOE 멀티플렉서(134)는 현재 입력되는 영상이 동영상일 때 SEL 선택부(143)로부터의 선택 제어신호(SOE-SEL)에 응답하여 듀티비가 높은 BDI 소스 출력 인에이블신호(SOEb)를 소스 드라이브 IC들에 공급한다.

<80> 다수의 GOE 멀티플렉서들(1451 내지 145N)은 게이트 드라이브 IC들에 1:1로 대응한다. 이 GOE 멀티플렉서들(1451 내지 145N)은 현재 입력되는 영상이 정지영상일 때 SEL 선택부(133)로부터의 선택 제어신호(GOE-SEL1 내지 GOE-SELN)에 응답하여 듀티비가 작은 일반적인 게이트 출력 인에이블신호(Normal-GOE)를 대응하는 게이트 드라이브 IC에 공급한다. 반면에, GOE 멀티플렉서들(1451 내지 145N)은 현재 입력되는 영상이 동영상일 때 SEL 선택부(143)로부터의 선택 제어신호(GOE-SEL1 내지 GOE-SELN)에 응답하여 듀티비가 높은 제1 게이트 출력 인에이블신호(GOEd) 또는 제2 게이트 출력 인에이블신호(GOEb)를 대응하는 게이트 드라이브 IC에 공급한다. 선택 제어신호(GOE-SEL1 내지 GOE-SELN)는 2 비트의 선택신호로 가능하다.

<81> 한편, 전술한 도 13 및 도 14의 회로 설명은 블랙 계조전압의 제1 실시예 즉, 도 10 및 도 11의 타이밍 제어신호들을 발생하기 위한 예를 중심으로 설명되었다. 도 13 및 도 14의 회로를 이용하여 블랙 계조전압의 제2 실시예 즉, 도 12의 타이밍 제어신호들을 발생할 수 있다. 예컨대, 본 발명은 임펄스 효과 없는 일반적인 구동모드나 프리차지전압을 이용한 임펄스 구동모드에 상관없이 SOE 멀티플렉서(144)로 하여금 듀티비가 작은 일반적인 소스 출력 인에이블신호(Normal-SOE)를 출력하도록 SOE 멀티플렉서(144)를 제어할 수 있다. 또한, 본 발명은 도 13 및 도 14의 회로에 듀티비가 다른 프리차지 제어신호들을 발생하는 회로와, 그 프리차지 제어신호들 중 어느 하나를 선택하는 회로를 추가하여 구동 모드에 따라 프리차지 제어신호의 듀티비를 다르게 제어할 수도 있다.

<82> 도 15는 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법을 단계적으로 나타낸다.

<83> 도 15를 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법은 타이밍 컨트롤러의 외부 선택단자나 실시간 영상판단에 따라 액정표시장치의 임펄스 구동여부를 결정한다.(S1)

<84> 외부 선택단자나 실시간 영상 판단결과, 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법은 액정표시장치를 임펄스 구동모드로 구동하기로 결정하면, 일반적인 소스 출력 인에이블신호(Normal-SOE)에 비하여 듀티비가 높은 BDI 소스 출력 인에이블신호(SOEb)를 발생하여 그 신호에 기초하여 소스 드라이브 IC들의 출력을 제어한다.(S2, S3) 또한, 본 발명은 액정표시장치를 임펄스 구동모드로 구동하기로 결정하면, 일반적인 게이트 출력 인에이블신호(Normal-GOE)에 비하여 듀티비가 높고 서로의 위상의 반대인 제1 및 제2 게이트 출력 인에이블신호(GOEd, GOEb)를 발생하여 그 신호에 기초하여 게이트 드라이브 IC들의 출력을 제어한다.(S2, S4) 따라서, 본 발명은 임펄스 구동모드에서 노말리 블랙 모드의 액정표시장치에서 각 블록별로 차지쉐어전압을 N 개의 라인씩 순차적으로 충전하여 블랙 표시 블록에서 차지쉐어전압을 충분히 충전시킨다.

<85> 외부 선택단자나 실시간 영상 판단결과, 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법은 액정표시장치를 임펄스 구동 효과가 없는 일반 모드로 구동하기로 결정하면, 듀티비가 작은 일반적인 소스 출력 인에이블신호(Normal-SOE)를 발생하여 그 신호에 기초하여 소스 드라이브 IC들의 출력을 제어한다.(S2, S5) 또한, 본 발명은 액정표시장치를 일반 모드로 구동하기로 결정하면, 듀티비가 작은 일반적인 게이트 출력 인에이블신호(Normal-GOE)를 발생하여 그 신호에 기초하여 게이트 드라이브 IC들의 출력을 제어한다.(S2, S6)

<86> 도 16은 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법을 단계적으로 나타낸다.

<87> 도 16을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법은 타이밍 컨트롤러의 외부 선택단자

나 실시간 영상판단에 따라 액정표시장치의 임펄스 구동여부를 결정한다.(S1)

- <88> 외부 선택단자나 실시간 영상 판단결과, 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법은 액정표시장치를 임펄스 구동모드로 구동하기로 결정하면, 일반적인 프리차지 제어신호(Normal-PCW)에 비하여 듀티비가 높은 BDI 프리차지 제어신호(PCW)를 발생하여 그 신호에 기초하여 소스 드라이브 IC들로부터 출력되는 정극성/부극성 프리차지 전압(+Vpc/-Vpc)의 출력을 제어한다.(S2, S3) 여기서, 임펄스 구동모드에서 프리차지 제어신호(PCW)의 듀티비는 전술한 바와 같이 20%~60% 정도이다. 또한, 본 발명은 액정표시장치를 임펄스 구동모드로 구동하기로 결정하면, 일반적인 게이트 출력 인에이블신호(Normal-GOE)에 비하여 듀티비가 높고 서로의 위상의 반대인 제1 및 제2 게이트 출력 인에이블신호(GOEa, GOEb)를 발생하여 그 신호에 기초하여 게이트 드라이브 IC들의 출력을 제어한다.(S2, S4) 따라서, 본 발명은 임펄스 구동모드에서 노말리 화이트 모드의 액정표시장치에서 각 블록별로 정극성/부극성 프리차지전압을 N 개의 라인씩 순차적으로 충전하여 블랙 표시 블록에서 정극성/부극성 프리차지전압을 충분히 충전시킨다.
- <89> 외부 선택단자나 실시간 영상 판단결과, 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법은 액정표시장치를 임펄스 구동 효과가 없는 일반 모드로 구동하기로 결정하면, 듀티비가 10% 내외로 작은 일반적인 프리차지 제어신호(Normal-PCW)를 발생하여 그 신호에 기초하여 소스 드라이브 IC들로부터 출력되는 정극성/부극성 프리차지 전압(+Vpc/-Vpc)의 출력을 제어한다.(S2, S5) 또한, 본 발명은 액정표시장치를 일반 모드로 구동하기로 결정하면, 듀티비가 작은 일반적인 게이트 출력 인에이블신호(Normal-GOE)를 발생하여 그 신호에 기초하여 게이트 드라이브 IC들의 출력을 제어한다.(S2, S6)
- <90> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

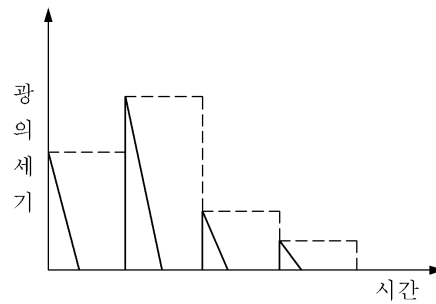
도면의 간단한 설명

- <91> 도 1은 음극선관의 발광특성을 나타내는 특성도.
- <92> 도 2는 액정표시장치의 발광특성을 나타내는 특성도.
- <93> 도 3은 관람자가 느끼는 음극선관의 지각영상을 나타내는 도면.
- <94> 도 4는 관람자가 느끼는 액정표시장치의 지각영상을 나타내는 도면.
- <95> 도 5는 종래의 데이터 삽입 방식에서 주파수 체배 회로를 보여 주는 블록도.
- <96> 도 6은 종래의 블랙 데이터 삽입방식을 적용한 액정표시장치의 화이트/블랙 데이터전압의 충전특성을 보여 주는 도면.
- <97> 도 7은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도.
- <98> 도 8은 본 발명의 실시예에 따른 액정표시장치를 임펄스 구동시킬 때 각 블록별 데이터 기입, 데이터 유지, 및 블랙 삽입 동작을 나타내는 도면.
- <99> 도 9a 내지 도 9c는 본 발명의 실시예에 따른 액정표시장치에서 서브 프레임에 따라 각 블록별 게이트 드라이브 IC들에 인가되는 게이트 타이밍 제어신호들과 화면의 표시상태를 나타내는 도면.
- <100> 도 10은 본 발명의 실시예에 따른 액정표시장치를 임펄스 구동시킬 때 소스 드라이브 IC들과 게이트 드라이브 IC들에 인가되는 타이밍 제어신호들을 보여 주는 파형도.
- <101> 도 11은 데이터 표시블록을 담당하는 게이트 드라이브 IC와 블랙 표시블록을 담당하는 게이트 드라이브 IC로 나누어 도 10에 도시된 게이트 타이밍 제어신호들과 게이트펄스들을 보여 주는 파형도.
- <102> 도 12는 본 발명의 제2 실시예에 따른 액정표시장치를 임펄스 구동시킬 때 소스 드라이브 IC들과 게이트 드라이브 IC들에 인가되는 타이밍 제어신호들을 보여 주는 파형도.
- <103> 도 13은 본 발명의 제1 실시예에 따른 타이밍 콘트롤러에서 소스 출력 인에이블신호와 게이트 출력 인에이블 신호를 발생하기 위한 회로부를 나타내는 회로도.
- <104> 도 14는 본 발명의 제2 실시예에 따른 타이밍 콘트롤러에서 소스 출력 인에이블신호와 게이트 출력 인에이블 신호를 발생하기 위한 회로부를 나타내는 회로도.

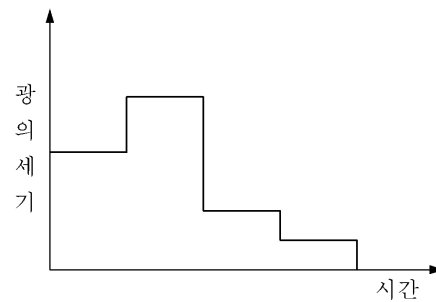
- <105> 도 15는 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법을 단계적으로 나타내는 흐름도.
- <106> 도 16은 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법을 단계적으로 나타내는 흐름도.
- <107> <도면의 주요 부분에 대한 부호의 설명>
- <108> 70 : 액정표시패널 71 : 타이밍 콘트롤러
- <109> 72 : 데이터 구동회로 73 : 게이트 구동회로
- <110> 131, 141 : SOE 발생부 132, 142 : GOE 발생부
- <111> 133, 143 : SEL 발생부 140 : 영상 판단부
- <112> 134, 1351 내지 135N, 144, 1451 내지 145N : 멀티플렉서

도면

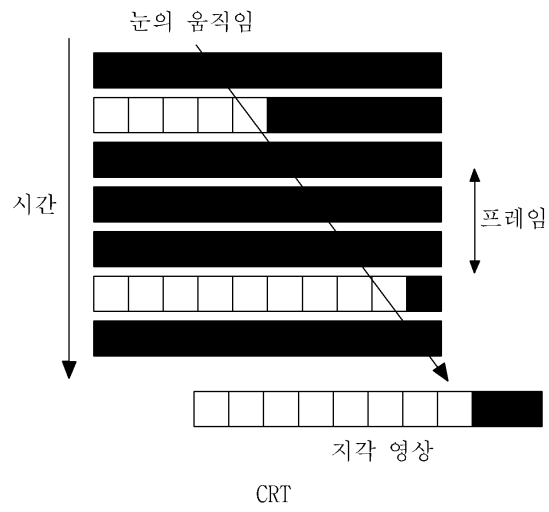
도면1



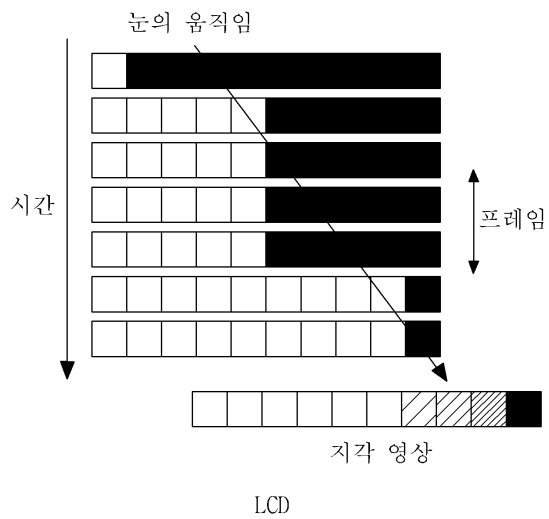
도면2



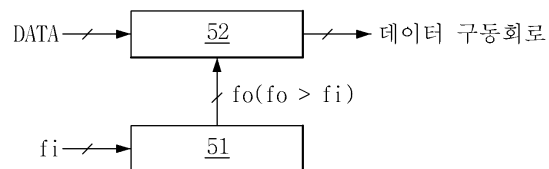
도면3



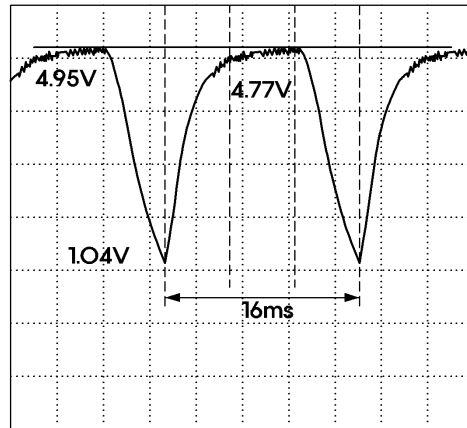
도면4



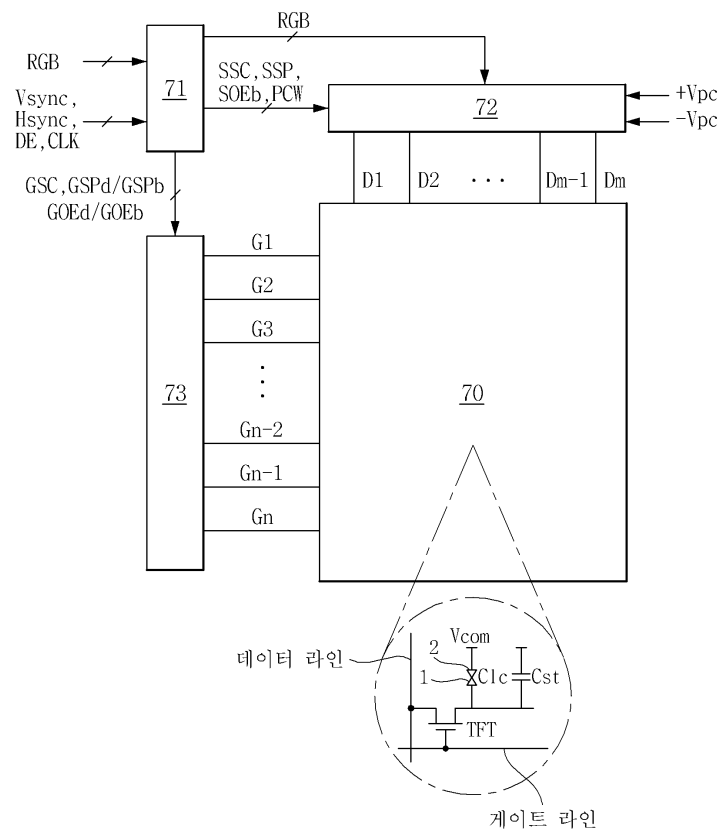
도면5



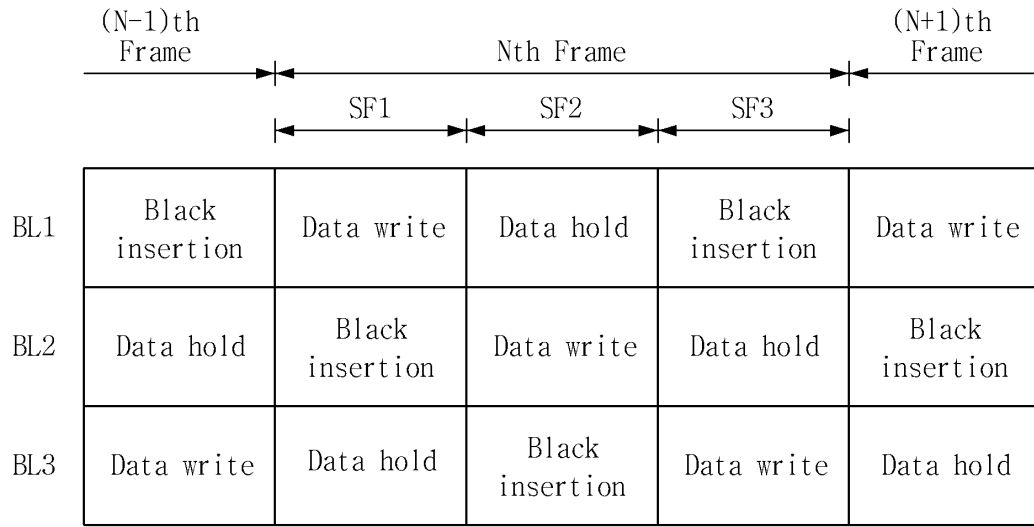
도면6



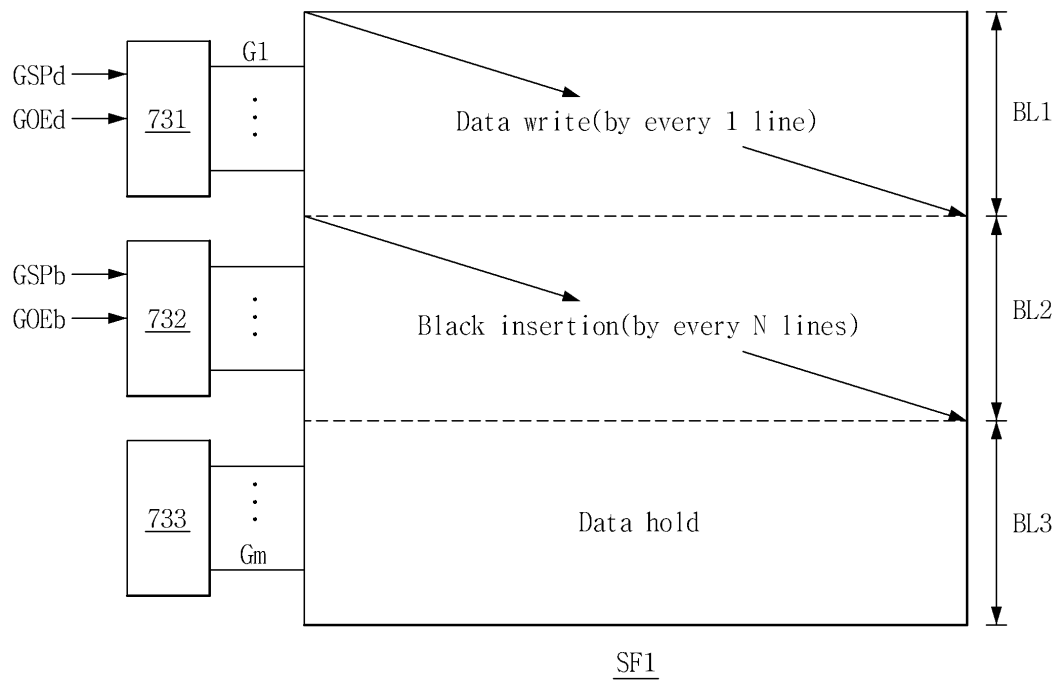
도면7



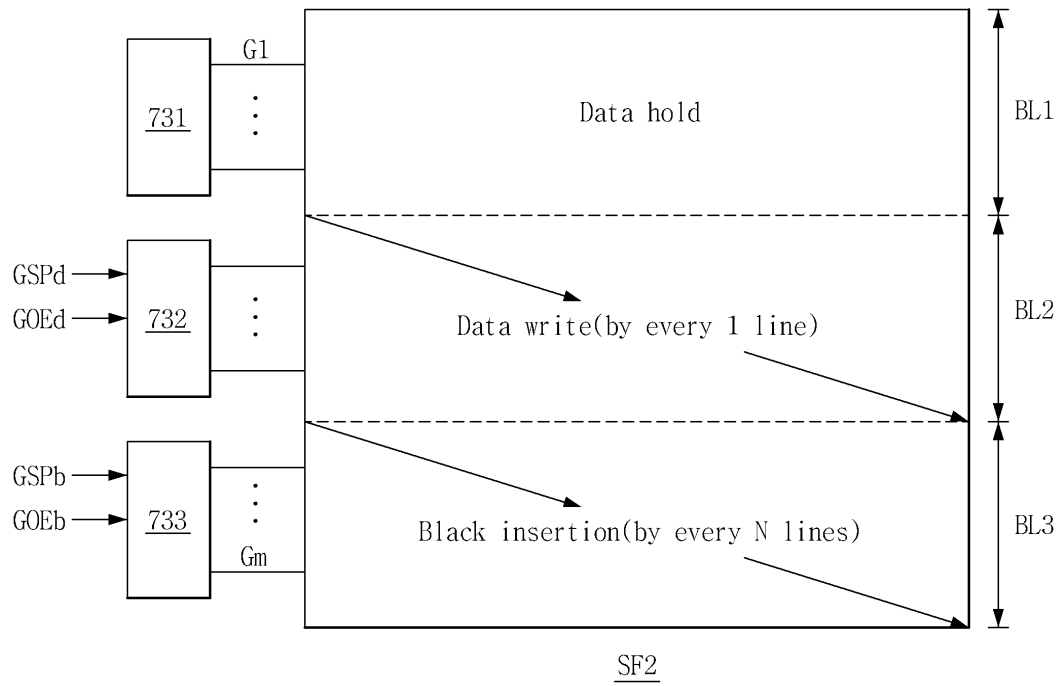
도면8



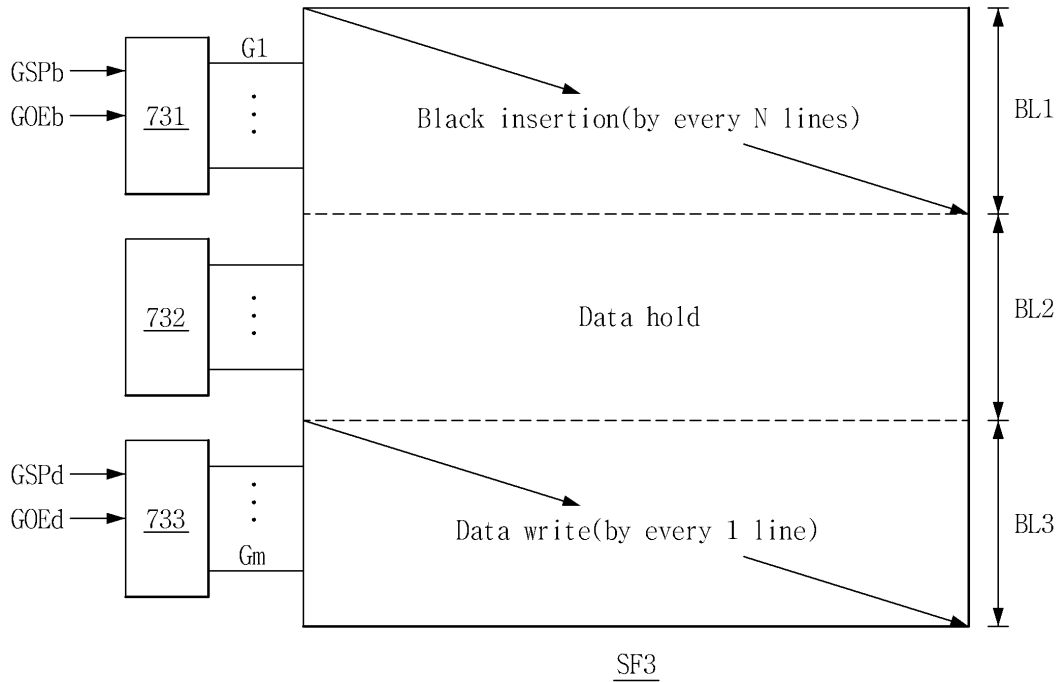
도면9a



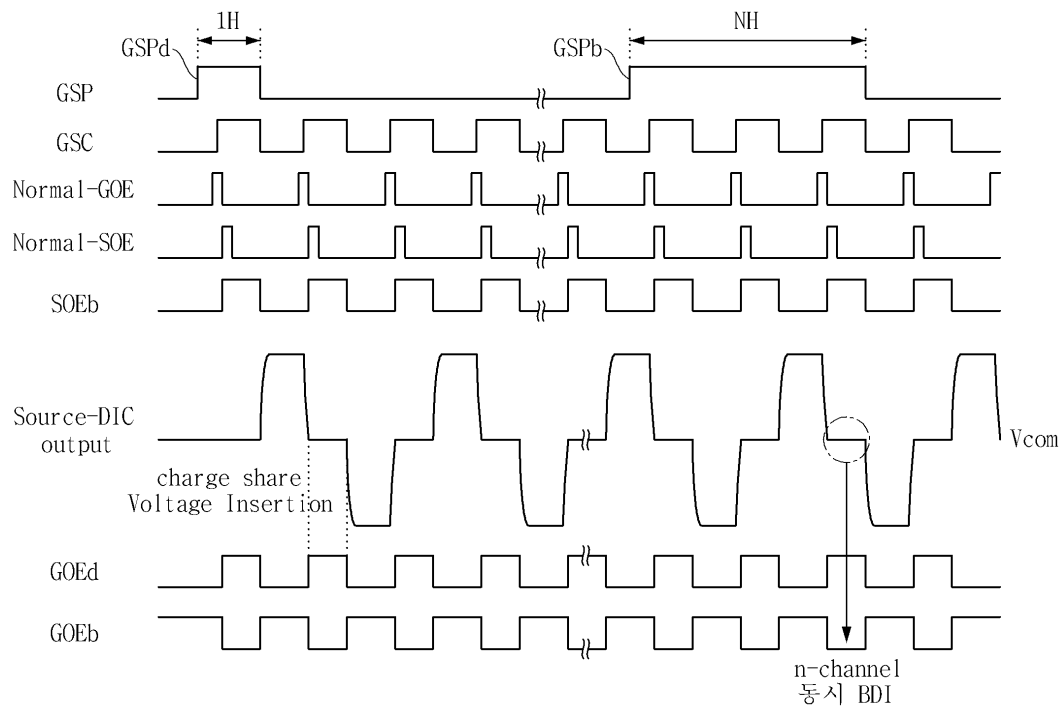
도면9b



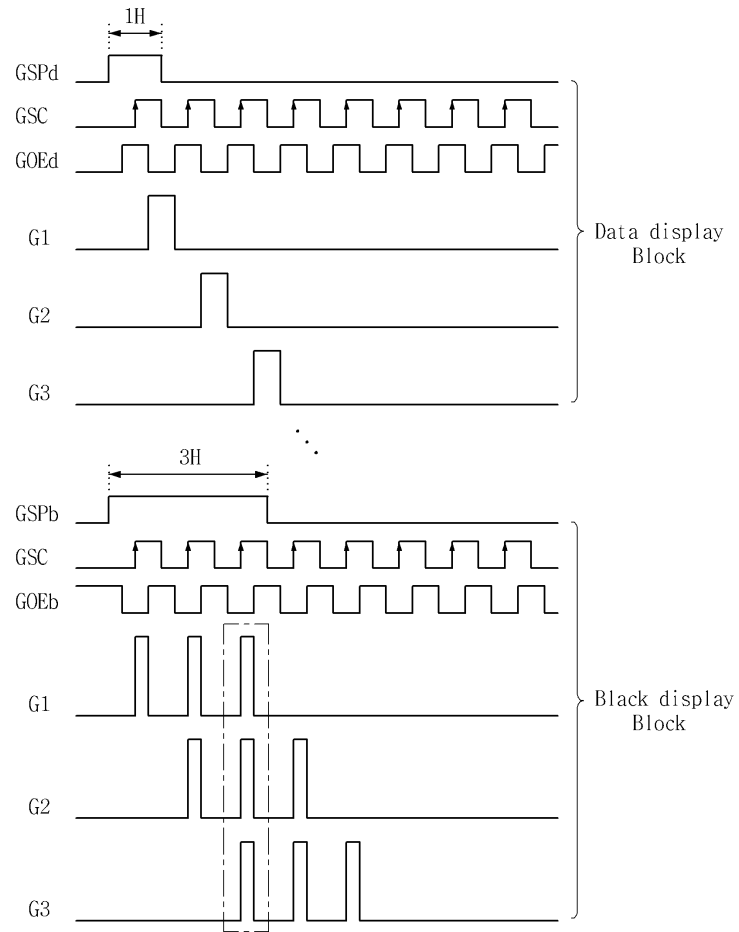
도면9c



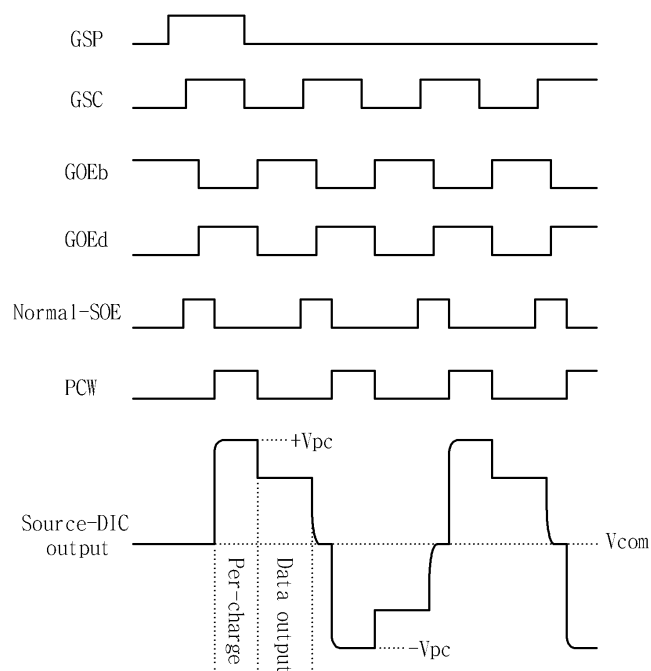
도면10



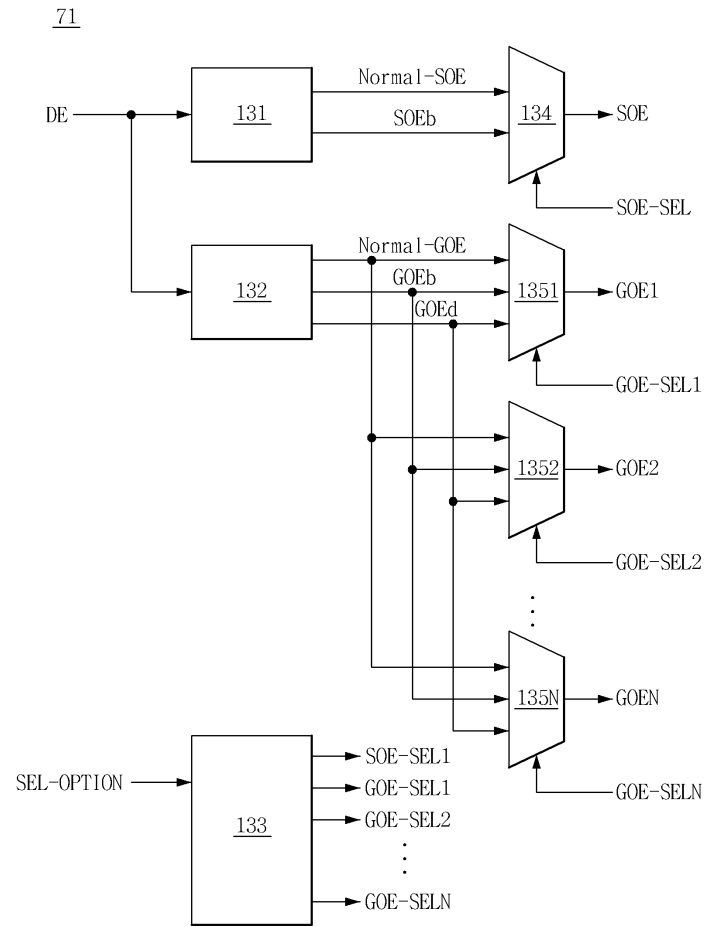
도면11



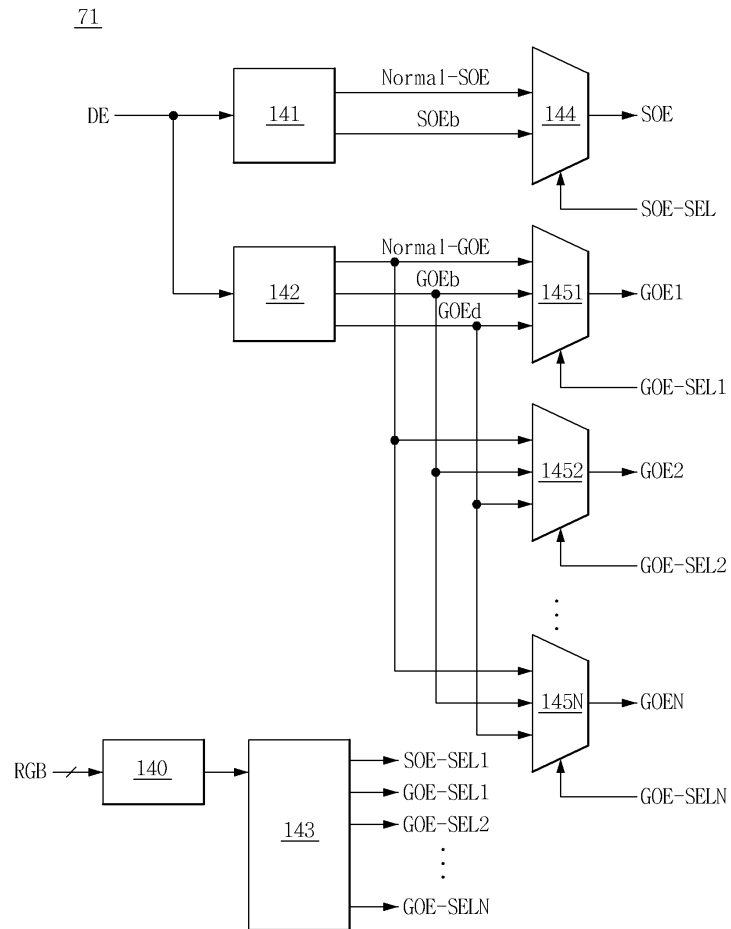
도면12



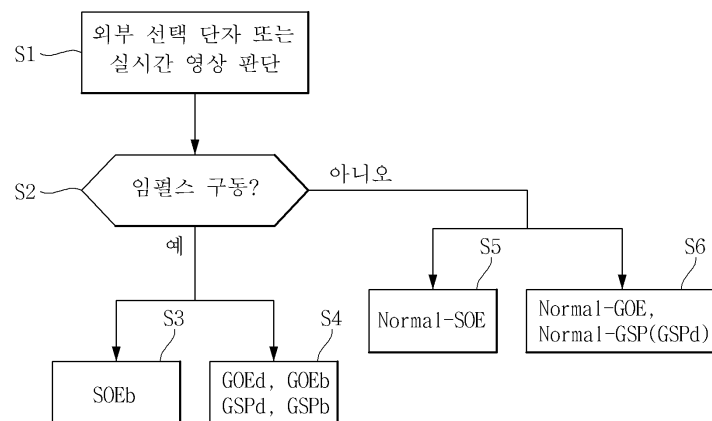
도면13



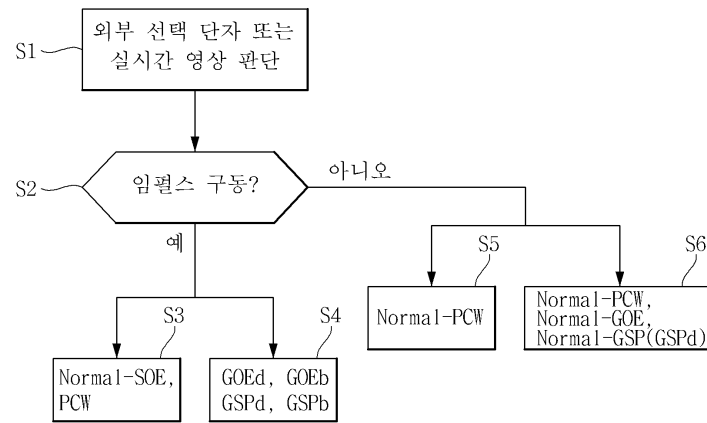
도면14



도면15



도면16



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020090060819A	公开(公告)日	2009-06-15
申请号	KR1020070127758	申请日	2007-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG SU HYUK 장수혁 HONG JIN CHEOL 홍진철 KOO SUNG JO 구성조		
发明人	장수혁 홍진철 구성조		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2310/061 G09G3/3648 G09G2320/103 G09G2340/0435		
其他公开文献	KR101324361B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，包括多条数据线和多条栅极线，第一和第二栅极输出使能信号占空比在20%至60%之间，产生数据定时控制信号，配备源输出使能具有LCD面板之间的占空比的信号：20%至交叉60%，并且产生栅极定时控制信号的定时控制器暗示具有不同脉冲长度的第一和第二栅极起始脉冲。脉冲，黑色数据和运动模糊。

