



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0059854
(43) 공개일자 2008년07월01일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0133692

(22) 출원일자 2006년12월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김선영

경기 화성시 병점동 안화동마을주공아파트 849번지 704동 1103호

최진철

경기 군포시 산본동 1125-2번지 보람타워 1003호

(74) 대리인

허용록

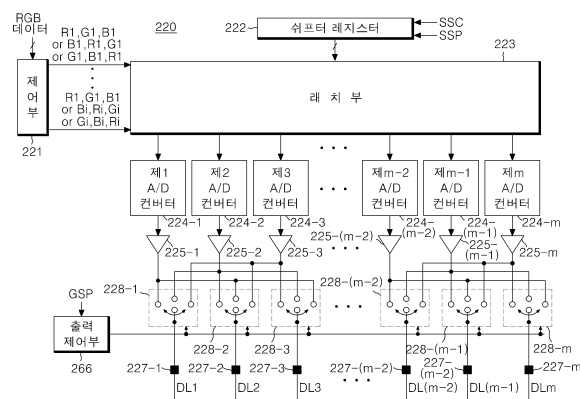
전체 청구항 수 : 총 28 항

(54) 액정표시장치 및 그의 구동 방법

(57) 요약

본 발명은 1수평단위로 공급되는 아날로그 데이터전압들의 버퍼링 위치를 일정 주기로 변경시켜 시각적으로 느껴지는 화질을 개선할 수 있는 액정표시장치 및 그의 구동 방법을 제공하는 것으로, 일정한 패턴으로 배치된 서브픽셀들로 이루어진 다수의 픽셀들이 1수평라인 단위로 배열된 액정표시패널; 시스템으로부터 입력된 디지털 데이터들의 계조 구현을 제어하는 타이밍 컨트롤러; 및 상기 타이밍 컨트롤러의 제어에 따라, 상기 타이밍 컨트롤러로부터 입력된 디지털 데이터들의 데이터 패턴을 1수평라인 단위로 k수평주기마다 다르게 재정렬하고, 재정렬된 데이터 패턴의 디지털 데이터들을 아날로그 데이터전압으로 변환시킨 후 버퍼링하고, 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치시켜 각 픽셀에 공급하는 데이터 구동회로를 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

일정한 패턴으로 배치된 서브픽셀들로 이루어진 다수의 픽셀들이 1수평라인 단위로 배열된 액정표시패널;

시스템으로부터 입력된 디지털 데이터들의 계조 구현을 제어하는 타이밍 컨트롤러; 및

상기 타이밍 컨트롤러의 제어에 따라, 상기 타이밍 컨트롤러로부터 입력된 디지털 데이터들의 데이터 패턴을 1수평라인 단위로 k수평주기마다 다르게 재정렬하고, 재정렬된 데이터 패턴의 디지털 데이터들을 아날로그 데이터전압으로 변환시킨 후 버퍼링하고, 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치시켜 각 픽셀에 공급하는 데이터 구동회로

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 구동회로는,

상기 타이밍 컨트롤러로부터 입력된 디지털 데이터들의 데이터 패턴을 1수평라인 단위로 k수평주기마다 다르게 재정렬하는 제어부;

상기 제어부에 의해 재정렬된 패턴의 디지털 데이터들을 래치시키는 래치부;

상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 래치된 디지털 데이터들을 아날로그 데이터전압으로 변환시키는 제 1 내지 제 m A/D 컨버터;

상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 제 1 내지 제 m 출력버퍼;

상기 타이밍 컨트롤러로부터의 게이트스타트펄스에 응답하여, 상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들이 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치되어 출력되도록 제어하는 출력 제어부; 및

상기 출력 제어부의 제어에 따라, 상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치시켜 각 픽셀에 공급하는 제 1 내지 제 m 스위치를 포함하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제어부는 상기 타이밍 컨트롤러로부터 입력된 디지털 RGB 데이터의 데이터 패턴을 3수평라인 단위로 1수평주기마다 다르게 재정렬하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제어부는 상기 타이밍 컨트롤러로부터 입력된 디지털 RGB 데이터의 데이터 패턴을 3수평라인 단위로 1수평주기마다 RGB 패턴이나 BRG 패턴 또는 GBR 패턴으로 재정렬하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제어부에 의해 디지털 RGB 데이터의 데이터 패턴이 RGB 패턴으로 정렬되는 경우, 상기 제 1 내지 제 m 출력버퍼는 RGB 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제 1 내지 제 m 스위치는 RGB 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들의 RGB 패턴을 유지시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 4 항에 있어서,

상기 제어부에 의해 디지털 RGB 데이터의 데이터 패턴이 BRG 패턴으로 정렬되는 경우, 상기 제 1 내지 제 m 출력버퍼는 BRG 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제 1 내지 제 m 스위치는 BRG 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 RGB 패턴으로 변경시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 4 항에 있어서,

상기 제어부에 의해 디지털 RGB 데이터의 데이터 패턴이 GBR 패턴으로 정렬되는 경우, 상기 제 1 내지 제 m 출력버퍼는 GBR 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제 1 내지 제 m 스위치는 GBR 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 RGB 패턴으로 변경시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 11

입력된 디지털 데이터들의 데이터 패턴을 1수평라인 단위로 k수평주기마다 다르게 재정렬하는 제어부;

상기 제어부에 의해 재정렬된 패턴의 디지털 데이터들을 래치시키는 래치부;

상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 래치된 디지털 데이터들을 아날로그 데이터전압으로 변환시키는 제 1 내지 제 m A/D 컨버터;

상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 제 1 내지 제 m 출력버퍼;

상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들이 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치되어 출력되도록 제어하는 출력 제어부; 및

상기 출력 제어부의 제어에 따라, 상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치시켜 각 픽셀에 공급하는 제 1 내지 제 m 스위치

를 포함하는 액정표시장치의 데이터 구동회로.

청구항 12

제 11 항에 있어서,

상기 제어부는 입력된 디지털 RGB 데이터의 데이터 패턴을 3수평라인 단위로 1수평주기마다 다르게 재정렬하는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 13

제 12 항에 있어서,

상기 제어부는 상기 입력된 디지털 RGB 데이터의 데이터 패턴을 3수평라인 단위로 1수평주기마다 RGB 패턴이나 BRG 패턴 또는 GBR 패턴으로 재정렬하는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 14

제 13 항에 있어서,

상기 제어부에 의해 디지털 RGB 데이터의 데이터 패턴이 RGB 패턴으로 정렬되는 경우, 상기 제 1 내지 제 m 출력버퍼는 RGB 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 15

제 14 항에 있어서,

상기 제 1 내지 제 m 스위치는 RGB 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들의 RGB 패턴을 유지시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 16

제 13 항에 있어서,

상기 제어부에 의해 디지털 RGB 데이터의 데이터 패턴이 BRG 패턴으로 정렬되는 경우, 상기 제 1 내지 제 m 출력버퍼는 BRG 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 17

제 16 항에 있어서,

상기 제 1 내지 제 m 스위치는 BRG 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 RGB 패턴으로 변경시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 18

제 13 항에 있어서,

상기 제어부에 의해 디지털 RGB 데이터의 데이터 패턴이 GBR 패턴으로 정렬되는 경우, 상기 제 1 내지 제 m 출력버퍼는 GBR 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 19

제 18 항에 있어서,

상기 제 1 내지 제 m 스위치는 GBR 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 RGB 패턴으로 변경시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 20

입력된 디지털 데이터들의 데이터 패턴을 1수평라인 단위로 k수평주기마다 다르게 재정렬하는 단계;

상기 재정렬된 패턴의 디지털 데이터들을 래치시키는 단계;

상기 재정렬된 데이터 패턴과 일치되게 래치된 디지털 데이터들을 아날로그 데이터전압으로 변환시키는 단계;

상기 재정렬된 데이터 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 단계; 및

상기 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 배

치 패턴과 일치시켜 각 픽셀에 공급하는 단계를 포함하는 액정표시장치의 구동 방법.

청구항 21

제 20 항에 있어서,

상기 재정렬 단계에서,

입력된 디지털 RGB 데이터의 데이터 패턴을 3수평라인 단위로 1수평주기마다 다르게 재정렬하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 22

제 21 항에 있어서,

상기 재정렬 단계에서,

상기 입력된 디지털 RGB 데이터의 데이터 패턴을 3수평라인 단위로 1수평주기마다 RGB 패턴이나 BRG 패턴 또는 GBR 패턴으로 재정렬하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 23

제 22 항에 있어서,

상기 입력된 디지털 RGB 데이터의 데이터 패턴이 RGB 패턴으로 정렬되는 경우, 상기 정렬된 RGB 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 24

제 23 항에 있어서,

상기 정렬된 RGB 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들의 RGB 패턴을 유지시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 25

제 22 항에 있어서,

상기 입력된 디지털 RGB 데이터의 데이터 패턴이 BRG 패턴으로 정렬되는 경우, 상기 정렬된 BRG 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 26

제 25 항에 있어서,

상기 정렬된 BRG 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 RGB 패턴으로 변경시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 27

제 22 항에 있어서,

상기 입력된 디지털 RGB 데이터의 데이터 패턴이 GBR 패턴으로 정렬되는 경우, 상기 정렬된 GBR 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 28

제 27 항에 있어서,

상기 GBR 데이터 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 RGB 패턴으로 변경시켜 각 픽셀에 공급하는 것을 특징으로 하는 액정표시장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <22> 본 발명은 액정표시장치에 관한 것으로, 특히 1수평단위로 공급되는 아날로그 데이터전압들의 버퍼링 위치를 일정 주기로 변경시켜 시각적으로 느껴지는 화질을 개선할 수 있는 액정표시장치 및 그의 구동 방법에 관한 것이다.
- <23> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하며, 그리고 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 이러한 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 도 1과 같이 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.
- <24> 도 1을 참조하면, 액티브 매트릭스 타입의 액정표시장치는, 디지털 입력 데이터를 감마기준전압을 기준으로 아날로그 데이터 전압으로 변환하여 데이터라인(DL)에 공급함과 동시에 스캔펄스를 게이트라인(GL)에 공급하여 액정셀(C1c)을 충전시킨다.
- <25> TFT의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 그리고 TFT의 드레인전극은 액정셀(C1c)의 화소전극과 스토리지 캐패시터(Cst)의 일측 전극에 접속된다.
- <26> 액정셀(C1c)의 공통전극에는 공통전압(Vcom)이 공급된다.
- <27> 스토리지 캐패시터(Cst)는 TFT가 턴-온될 때 데이터라인(DL)으로부터 인가되는 데이터전압을 충전하여 액정셀(C1c)의 전압을 일정하게 유지하는 역할을 한다.
- <28> 스캔펄스가 게이트라인(GL)에 인가되면 TFT는 턴-온(Turn-on)되어 소스전극과 드레인전극 사이의 채널을 형성하여 데이터라인(DL) 상의 전압을 액정셀(C1c)의 화소전극에 공급한다. 이때 액정셀(C1c)의 액정분자들은 화소전극과 공통전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 변조하게 된다.
- <29> 이와 같은 구조를 갖는 픽셀들을 구비하는 종래의 액정표시장치는 시스템으로부터 공급된 디지털 RGB 데이터를 아날로그 RGB 데이터전압으로 변환시켜 서브픽셀들에 공급하는 데이터 구동회로를 구비한다.
- <30> 여기서, 도 2에 도시된 바와 같이 데이터 구동회로(100)는 변환된 아날로그 RGB 데이터전압들을 버퍼링시켜 각 서브픽셀에 공급하는 다수의 출력버퍼들(110-1 내지 110-m)을 구비하고, 다수의 출력버퍼들(110-1 내지 110-m)의 출력단은 각각 다수의 출력채널(120-1 내지 120-m)과 일대일로 대응되어 접속된다.
- <31> 그리고, 다수의 출력채널들(120-1 내지 120-m)은 각각 데이터라인들(DL1 내지 DLm)과 일대일로 대응되어 접속되며, 데이터라인들(DL1 내지 DLm)에는 동일 수직라인 상에 배치된 서브픽셀들이 접속된다. 각 픽셀은 동일 수직라인 상에 배치된 3개의 서브픽셀들, 즉 R서브픽셀, G서브픽셀 및 B서브픽셀로 이루어진다.
- <32> 다수의 출력버퍼들(110-1 내지 110-m)에 의해 버퍼링된 아날로그 데이터전압은 해당 데이터라인을 통해 1수평라인 단위로 각 서브픽셀에 공급된다. 예를 들면, 출력버퍼(110-1)에 의해 1수평주기 단위로 버퍼링되는 아날로그 R데이터전압은 데이터라인(DL1)에 접속된 R서브픽셀들에 1수평라인 단위로 공급된다.
- <33> 이와 같이 다수의 출력버퍼들(110-1 내지 110-m)을 통해 아날로그 데이터전압이 각 픽셀에 공급되기 때문에, 만일 첫번째 출력버퍼(110-1)에 오프셋 에러(Offset Error)가 발생되어 첫번째 데이터라인(DL1)을 통해 공급되는 R데이터의 계조레벨이 출력버퍼(110-1)의 버퍼링 과정에서 원하는 계조레벨보다 높아지거나 낮아질 경우, 도 3에 도시된 바와 같이 첫번째 데이터라인(DL1)에 접속된 동일 수직라인 상의 서브픽셀들에 구현되는 계조가 자신이 속한 픽셀의 다른 서브픽셀들에 구현되는 계조보다 더 어두어지거나 밝아진다.
- <34> 도 3에서와 같이, 서브픽셀 단위로 수직라인을 구분할 경우, 하나의 수직라인 상에 구현되는 계조가 다른 수직라인 상의 계조보다 계속적으로 어둡거나 밝게 표시되면, 사용자는 첫번째 수직라인 상에 비정상적으로 구현되는 계조를 시각적으로 느끼게 된다.
- <35> 즉, 종래의 액정표시장치는 다수의 출력버퍼들(110-1 내지 110-m) 중 적어도 하나의 출력버퍼에 오프셋 에러가

발생되면, 도 3을 참조하여 설명한 바와 같이 사용자가 시각적으로 느끼는 화질이 나빠지는 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

- <36> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 1수평단위로 공급되는 아날로그 데이터전압들의 버퍼링 위치를 일정 주기로 변경시킴으로써, 시각적으로 느껴지는 화질을 개선할 수 있는 액정표시장치 및 그의 구동 방법을 제공하는 데 있다.

발명의 구성 및 작용

- <37> 이와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는, 일정한 패턴으로 배치된 서브픽셀들로 이루어진 다수의 픽셀들이 1수평라인 단위로 배열된 액정표시패널; 시스템으로부터 입력된 디지털 데이터들의 계조 구현을 제어하는 타이밍 컨트롤러; 및 상기 타이밍 컨트롤러의 제어에 따라, 상기 타이밍 컨트롤러로부터 입력된 디지털 데이터들의 데이터 패턴을 1수평라인 단위로 k수평주기마다 다르게 재정렬하고, 재정렬된 데이터 패턴의 디지털 데이터들을 아날로그 데이터전압으로 변환시킨 후 버퍼링하고, 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치시켜 각 픽셀에 공급하는 데이터 구동회로를 포함한다.
- <38> 본 발명에 따른 액정표시장치의 데이터 구동회로는, 입력된 디지털 데이터들의 데이터 패턴을 1수평라인 단위로 k수평주기마다 다르게 재정렬하는 제어부; 상기 제어부에 의해 재정렬된 패턴의 디지털 데이터들을 래치시키는 래치부; 상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 래치된 디지털 데이터들을 아날로그 데이터전압으로 변환시키는 제 1 내지 제 m A/D 컨버터; 상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 제 1 내지 제 m 출력버퍼; 상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들이 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치되어 출력되도록 제어하는 출력 제어부; 및 상기 출력 제어부의 제어에 따라, 상기 제어부에 의해 재정렬된 데이터 패턴과 일치되게 상기 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치시켜 각 픽셀에 공급하는 제 1 내지 제 m 스위치를 포함한다.
- <39> 본 발명에 따른 액정표시장치의 구동 방법은, 입력된 디지털 데이터들의 데이터 패턴을 1수평라인 단위로 k수평주기마다 다르게 재정렬하는 단계; 상기 재정렬된 패턴의 디지털 데이터들을 래치시키는 단계; 상기 재정렬된 데이터 패턴과 일치되게 래치된 디지털 데이터들을 아날로그 데이터전압으로 변환시키는 단계; 상기 재정렬된 데이터 패턴과 일치되게 변환된 아날로그 데이터전압들을 버퍼링하는 단계; 및 상기 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들을 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치시켜 각 픽셀에 공급하는 단계를 포함한다.
- <40> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.
- <41> 도 4는 본 발명의 실시예에 따른 액정표시장치의 구성도이다.
- <42> 도 4를 참조하면, 본 발명의 액정표시장치(200)는, 다수의 데이터라인들(DL1 내지 DLm)과 다수의 게이트라인들(GL1 내지 GLn)이 대응되게 교차되며 그 교차부에 액정셀(C1c)을 구동하기 위한 박막트랜지스터(TFT : Thin Film Transistor)가 형성된 액정표시패널(210)과, 액정표시패널(210)의 데이터라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 구동회로(220)와, 액정표시패널(210)의 게이트라인들(GL1 내지 GLn)에 스캔펄스를 공급하기 위한 게이트 구동회로(230)와, 감마기준전압을 발생하여 데이터 구동회로(220)에 공급하기 위한 감마기준전압 발생부(240)와, 액정표시패널(210)에 광을 조사하기 위한 백라이트 어셈블리(250)와, 백라이트 어셈블리(250)에 교류 전압 및 전류를 인가하기 위한 인버터(260)와, 공통전압(Vcom)을 발생하여 액정표시패널(210)의 액정셀(C1c)의 공통전극에 공급하기 위한 공통전압 발생부(270)와, 게이트 하이전압(VGH)과 게이트 로우전압(VGL)을 발생하여 게이트 구동회로(230)에 공급하기 위한 게이트구동전압 발생부(280)와, 데이터 구동회로(220) 및 게이트 구동회로(230)를 제어하기 위한 타이밍 컨트롤러(290)를 구비한다.
- <43> 액정표시패널(210)은 두 장의 유리기판 사이에 액정이 주입된다. 액정표시패널(210)의 하부 유리기판 상에는 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)이 직교된다. 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)의 교차로 정의되는 셀영역에는 서브픽셀이 형성되고, 그 서브픽셀에는 TFT가 형성된다. TFT는 스캔펄스에 응답하여 데이터라인들(DL1 내지 DLm) 상의 데이터를 액정셀(C1c)에 공급하게 된다. TFT의 게이트전극은 게이트라인들(GL1 내지 GLn)에 접속되며, TFT의 소스전극은 데이터라인들(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(C1c)의 화소전극과 스토리지 캐패시터(Cst)에 접속된다.

- <44> TFT는 게이트라인들(GL1 내지 GLn) 중에서 자신의 게이트단자에 접속된 게이트라인을 경유하여 게이트단자에 공급되는 스캔펄스에 응답하여 턴-온된다. TFT의 턴-온시 데이터라인들(DL1 내지 DLm) 중에서 TFT의 드레인단자에 접속된 데이터라인 상의 비디오 데이터는 액정셀(C1c)의 화소전극에 공급된다.
- <45> 데이터 구동회로(220)는 타이밍 컨트롤러(290)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 타이밍 컨트롤러(290)를 통해 1수평라인 단위로 입력된 디지털 RGB 데이터를 아날로그 데이터전압으로 변환시켜 데이터라인들(DL1 내지 DLm)에 공급하는데, 하나의 게이트라인을 포함하는 1수평라인에 공급되는 m/3개(1수평라인에 형성된 픽셀 수)의 RGB 데이터들을 1수평기간 동안 동시에 공급한다. 여기서, RGB 데이터는 각각 하나의 픽셀을 구성하는 R서브픽셀, G서브픽셀 및 B서브픽셀에 대응되어 공급된다.
- <46> 보다 구체적으로, 데이터 구동회로(220)는 타이밍 컨트롤러(290)로부터 1수평기간 동안 직렬로 입력된 m/3개의 RGB 데이터들을 병렬로 변환시킴과 아울러 하나의 픽셀에 공급되는 RGB 데이터를 3수평라인 단위로 1수평주기마다 재정렬시킨다. 즉, 데이터 구동회로(220)는 타이밍 컨트롤러(290)로부터 입력된 RGB 데이터를 초기에는 재정렬시키지 않고 아날로그 데이터전압으로 변환시킨 후 버퍼링하여 출력하지만, 초기 이후부터 입력된 RGB 데이터를 3수평라인 단위로 1수평주기마다 RGB 패턴이나 BRG 패턴 또는 GBR 패턴으로 재정렬시켜 버퍼링한다. 즉, 데이터 구동회로(220)는 입력된 RGB 데이터 패턴을 BRG 데이터 패턴으로 재정렬시킨 후 1수평기간이 경과하면, 입력된 RGB 데이터 패턴을 GBR 데이터 패턴으로 재정렬시킨다. GBR 데이터 패턴으로 재정렬 후 1수평기간이 경과하면, 데이터 구동회로(220)는 입력된 RGB 데이터 패턴을 재정렬시키지 않고 입력된 데이터 패턴에 따라 버퍼링하여 출력시킨다. 이와 같이 데이터 구동회로(220)는 3개의 데이터 패턴들(RGB, BRG, GBR)을 1수평주기마다 반복적으로 재정렬시켜 버퍼링한다.
- <47> 단, 데이터 구동회로(220)는 타이밍 컨트롤러(290)로부터의 게이트스타트펄스(GSP)에 응답하여 데이터라인들(DL1 내지 DLm)로 공급되는 아날로그 데이터전압의 출력패턴을 타이밍 컨트롤러(290)로부터 입력된 디지털 RGB 데이터의 패턴, 즉 1수평라인의 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치시킨다. 즉, 데이터 구동회로(220)는 데이터들의 버퍼링 위치에 관계없이 아날로그 R데이터전압, 아날로그 G데이터전압 및 아날로그 B데이터전압을 각각 R서브픽셀, G서브픽셀 및 B서브픽셀로 공급한다.
- <48> 게이트 구동회로(230)는 타이밍 컨트롤러(290)로부터 공급되는 게이트구동 제어신호(GDC)와 게이트스타트펄스(GSP)에 따라 스캔펄스를 순차적으로 발생하여 게이트라인들(GL1 내지 GLn)에 공급한다. 이때, 게이트 구동회로(230)는 게이트구동전압 발생부(280)로부터 공급되는 게이트 하이전압(VGH)과 게이트 로우전압(VGL)에 따라 각각 스캔펄스의 하이레벨전압과 로우레벨전압을 결정한다.
- <49> 감마기준전압 발생부(240)는 고전위 전원전압(VDD)을 공급받아 정극성 감마기준전압과 부극성 감마기준전압을 발생하여 데이터 구동회로(220)로 출력한다.
- <50> 백라이트 어셈블리(250)는 액정표시패널(210)의 후면에 배치되며, 인버터(260)로부터 공급되는 교류 전압과 전류에 의해 발광되어 광을 액정표시패널(210)의 각 픽셀로 조사한다.
- <51> 인버터(260)는 내부에 발생하는 구형파신호를 삼각파신호로 변환시킨 후 삼각파신호와 상기 시스템으로부터 공급되는 직류 전원전압(VCC)을 비교하여 비교결과에 비례하는 버스트디밍(Burst Dimming)신호를 발생한다. 이렇게 내부의 구형파신호에 따라 결정되는 버스트디밍신호가 발생되면, 인버터(260) 내에서 교류 전압과 전류의 발생을 제어하는 구동 IC(미도시)는 버스트디밍신호에 따라 백라이트 어셈블리(250)에 공급되는 교류 전압과 전류의 발생을 제어한다.
- <52> 공통전압 발생부(270)는 고전위 전원전압(VDD)을 공급받아 공통전압(Vcom)을 발생하여 액정표시패널(210)의 각 픽셀에 구비된 액정셀(C1c)들의 공통전극에 공급한다.
- <53> 게이트구동전압 발생부(280)는 고전위 전원전압(VDD)을 인가받아 게이트 하이전압(VGH)과 게이트 로우전압(VGL)을 발생시켜 게이트 구동회로(230)에 공급한다. 여기서, 게이트구동전압 발생부(280)는 액정표시패널(210)의 각 서브픽셀에 구비된 TFT의 문턱전압 이상이 되는 게이트 하이전압(VGH)을 발생하고 TFT의 문턱전압 미만이 되는 게이트 로우전압(VGL)을 발생한다. 이렇게 발생된 게이트 하이전압(VGH)과 게이트 로우전압(VGL)은 각각 게이트 구동회로(230)에 의해 발생하는 스캔펄스의 하이레벨전압과 로우레벨전압을 결정하는데 이용된다.
- <54> 타이밍 컨트롤러(290)는 시스템으로부터 공급되는 디지털 비디오 데이터(RGB)를 데이터 구동회로(220)에 공급하고, 또한 시스템으로부터의 시스템클럭(SCLK)에 따라 수평/수직 동기신호(H,V)를 이용하여 데이터구동 제어신호(DDC)와 게이트구동 제어신호(GDC)를 발생하여 각각 데이터 구동회로(220)와 게이트 구동회로(230)에 공급한다.

여기서, 데이터구동 제어신호(DDC)는 소스슈프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함하고, 게이트구동 제어신호(GDC)는 게이트슈프트클럭(GSC), 클럭(CLK) 및 게이트출력인에이블(GOE) 등을 포함한다.

- <55> 또한, 타이밍 컨트롤러(290)는 시스템으로부터의 시스템클럭(SCLK)에 따라 수평/수직 동기신호(H,V)를 이용하여 스캔펄스의 공급을 지시하는 게이트스타트펄스(GSP)를 발생하여 데이터 구동회로(220)와 게이트 구동회로(230)에 공급한다.
- <56> 그리고, 타이밍 컨트롤러(290)는 시스템으로부터 입력된 디지털 RGB 데이터를 액정표시패널(110)에 형성된 픽셀 타입과 일치되도록 정렬시켜 데이터 구동회로(220)로 출력한다. 여기서, 각 픽셀은 스트라이프 타입(Stripe Type)으로 배치된 R서브픽셀, G서브픽셀 및 B서브픽셀로 이루어지므로, 타이밍 컨트롤러(290)는 입력된 디지털 데이터를 스트라이프 타입, 즉 RGB 패턴으로 정렬시킨다.
- <57> 도 5는 도 4에 도시된 데이터 구동회로의 세부 구성도이다.
- <58> 도 5를 참조하면, 데이터 구동회로(220)는, 타이밍 컨트롤러(290)로부터 직렬로 입력된 RGB 데이터를 병렬로 변환시킴과 아울러 3수평라인 단위로 입력된 디지털 RGB 데이터의 데이터 패턴을 1수평주기마다 다르게 재정렬하는 제어부(221)와, 데이터의 래치에 이용되는 샘플링신호를 발생하는 쉬프트 레지스터(222)와, 샘플링신호에 따라 제어부(221)에 의해 재정렬된 패턴의 디지털 데이터들을 래치시키는 래치부(223)와, 제어부(221)에 의해 재정렬된 데이터 패턴과 일치되게 래치된 디지털 데이터들을 각각 아날로그 데이터전압으로 변환시키는 제 1 내지 제 m A/D 컨버터(224-1 내지 224-m)와, 제어부(221)에 의해 재정렬된 데이터 패턴과 일치되게 변환된 아날로그 데이터전압들을 각각 버퍼링하는 제 1 내지 m 버퍼(225-1 내지 225-m)와, 제어부(221)에 의해 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들이 1수평라인의 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치되어 출력되도록 제어하는 출력 제어부(226)와, 제 1 내지 제 m 출력채널(227-1 내지 227-m)과 일대일로 대응되게 접속되고, 출력 제어부(226)에 의해 출력 스위칭 방향이 제어되어 버퍼링된 아날로그 데이터전압들을 1수평라인의 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치되게 접속된 출력채널로 스위칭시키는 제 1 내지 제 m 스위치(228-1 내지 228-m)를 구비한다.
- <59> 제어부(221)는 타이밍 컨트롤러(290)로부터 1수평기간 동안 직렬로 입력된 m/3개의 RGB 데이터들을 병렬로 변환시킴과 아울러 하나의 픽셀에 공급되는 RGB 데이터를 3수평라인 단위로 1수평주기마다 다르게 재정렬시킨다. 즉, 제어부(221)는 타이밍 컨트롤러(290)로부터 입력된 RGB 데이터를 초기에는 재정렬시키지 않고 래치부(223)로 출력하지만, 초기 이후부터 입력된 RGB 데이터를 3수평라인 단위로 1수평주기마다 RGB 패턴이나 BRG 패턴 또는 GBR 패턴으로 재정렬시킨다. 즉, 제어부(221)는 입력된 RGB 데이터 패턴을 BRG 데이터 패턴으로 재정렬시킨 후 1수평기간이 경과하면, 입력된 RGB 데이터 패턴을 GBR 데이터 패턴으로 재정렬시킨다. GBR 데이터 패턴으로 재정렬 후 1수평기간이 경과하면, 제어부(221)는 입력된 RGB 데이터 패턴을 동일한 패턴으로 정렬시켜 래치부(223)로 출력한다.
- <60> 이와 같이 제어부(221)는 3개의 데이터 패턴들(RGB, BRG, GBR)을 3수평라인 단위로 1수평주기마다 반복적으로 재정렬시킨다. 즉, 도 6에 도시된 바와 같이 제어부(221)는 도 6(A)에 도시된 RGB 패턴의 R₁,G₁,B₁ 데이터 내지 R_i,G_i,B_i 데이터, 도 6(B)에 도시된 BRG 패턴의 B₁,R₁,G₁ 데이터 내지 G_i,R_i,B_i 데이터 및 도 6(C)에 도시된 GBR 패턴의 G₁,B₁,R₁ 데이터 내지 G_i,B_i,R_i 데이터를 1수평주기마다 교번적으로 출력한다.
- <61> 쉬프트 레지스터(222)는 타이밍 컨트롤러(290)로부터의 소스슈프트클럭신호(SSC)에 따라 타이밍 컨트롤러(290)로부터의 소스스타트펄스(SSP)를 쉬프트시켜 데이터의 래치에 이용되는 샘플링신호를 발생하여 래치부(223)로 공급한다.
- <62> 래치부(223)는 쉬프트 레지스터(222)로부터의 샘플링신호에 따라 제어부(221)에 의해 재정렬된 패턴의 디지털 데이터들, 예로서 도 6(A)에 도시된 RGB 패턴의 R₁,G₁,B₁ 데이터 내지 R_i,G_i,B_i 데이터나 도 6(B)에 도시된 BRG 패턴의 B₁,R₁,G₁ 데이터 내지 B_i,R_i,G_i 데이터 또는 도 6(C)에 도시된 G₁,R₁,B₁ 데이터 내지 G_i,R_i,B_i를 래치시킨 다음, 타이밍 컨트롤러(230)로부터의 데이터출력인에이블신호(SOE)에 응답하여 래치된 1수평라인분의 디지털 데이터들을 동시에 제 1 내지 제 m A/D 컨버터(224-1 내지 224-m)로 출력한다.
- <63> 제 1 내지 제 m A/D 컨버터(224-1 내지 224-m)는 래치부(223)에 의해 래치된 디지털 데이터들 중 자신에게 입력된 디지털 데이터를 아날로그 데이터전압으로 변환시키고, 변환된 아날로그 데이터전압을 제 1 내지 제 m 출력버퍼(225-1 내지 225-m) 중 자신의 출력단과 접속된 출력버퍼로 출력한다. 여기서, 제 1 내지 제 m A/D 컨버터(224-1 내지 224-m)로부터 동시에 출력되는 아날로그 데이터전압의 데이터 패턴은 제어부(221)에 의해 재정렬된

데이터 패턴과 일치된다.

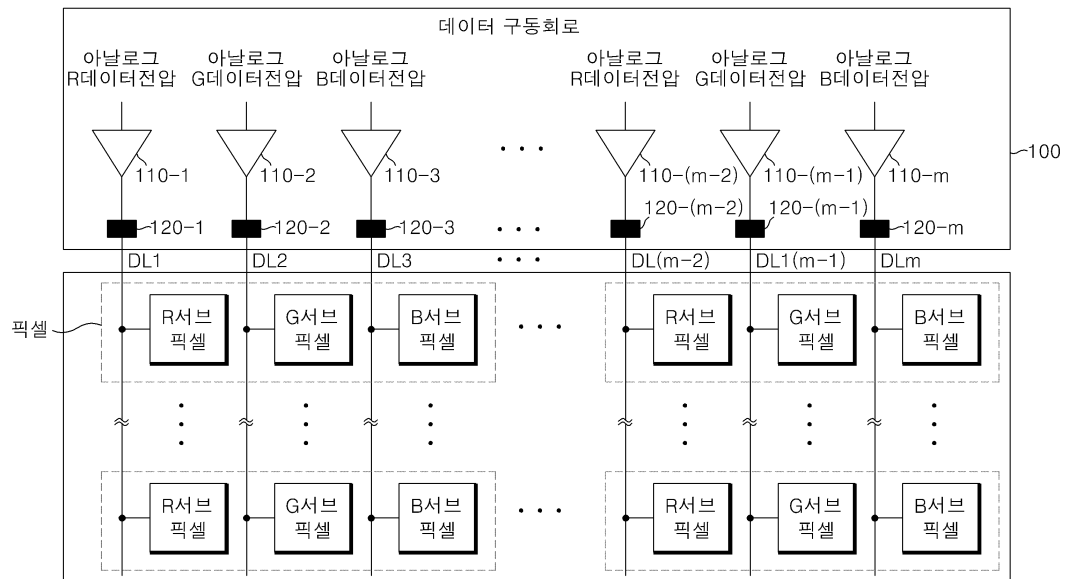
- <64> 그리고, 제 1 내지 제 m A/D 컨버터(224-1 내지 224-m)는 타이밍 콘트롤러(290)로부터의 극성제어신호(POL)에 따라 래치부(223)에 의해 래치된 디지털 데이터를 아날로그 정극성 데이터전압이나 부극성 데이터전압으로 변환하는데, 또한 도트 인버전, N 도트 인버전, 라인 인버전, 컬럼 인버전 방식 등의 인버전 방식 중 극성제어신호(POL)에 의해 지시되는 인버전 방식에 따라 데이터의 극성을 변환한다.
- <65> 제 1 내지 m 버퍼(225-1 내지 225-m)의 입력단은 각각 제 1 내지 제 m A/D 컨버터(224-1 내지 224-m)의 출력단과 대응되게 접속되고, 제 1 내지 m 버퍼(225-1 내지 225-m)의 출력단은 각각 제 1 내지 제 m 스위치(228-1 내지 228-m)의 일측단과 대응되게 접속된다. 이러한 제 1 내지 m 버퍼(225-1 내지 225-m)은 제 1 내지 제 m A/D 컨버터(224-1 내지 224-m) 중 자신의 입력단과 접속된 A/D 컨버터로부터 공급된 아날로그 데이터전압을 제 1 내지 제 m 스위치(228-1 내지 228-m) 중 자신의 출력단과 접속된 스위치로 출력하는데, 특히 제어부(221)에 의해 재정렬된 데이터 패턴과 동일한 데이터 패턴의 아날로그 데이터전압들을 제 1 내지 제 m 스위치(228-1 내지 228-m)로 출력한다.
- <66> 출력 제어부(226)는 타이밍 콘트롤러(290)로부터의 게이트스타트펄스(GSP)에 응답하여 제 1 내지 제 m 스위치(228-1 내지 228-m)의 스위치 방향을 제어하는데, 제어부(221)에 의해 재정렬된 데이터 패턴과 일치되게 버퍼링된 아날로그 데이터전압들이 1수평라인의 각 픽셀을 구성하는 서브픽셀들의 배치 패턴과 일치되어 출력되도록 한다. 단, 출력 제어부(226)는 초기 상태 이후부터 1수평주기마다 제어부(221)에 의해 재정렬되는 데이터 패턴을 미리 알고 있는 것을 특징으로 하는데, 즉 출력 제어부(226)에 설정된 스위칭 패턴 제어프로그램은 제어부(221)의 데이터 재정렬 패턴에 따라 설정된다.
- <67> 제 1 내지 제 m 스위치(228-1 내지 228-m)는 3방향 스위치로서, 첫번째 배치된 제 1 스위치(228-1)로부터 마지막 번째 배치된 제 m 스위치(228-m)까지 배치 순서에 따라 이웃한 3개의 스위치들이 하나의 스위치 그룹을 형성하는데, 하나의 스위치 그룹에 포함된 스위치는 다른 스위치 그룹에 중복하여 포함되지 않는다. 즉, 이웃한 제 1 내지 제 3 스위치(228-1, 228-2, 228-3), 그 다음으로 이웃한 제 4 내지 제 6 스위치(228-4, 228-5, 228-6), 그리고 마지막 번째로 이웃한 제 m-2 내지 제 m 스위치(228-(m-2), 228-(m-1), 228-m) 등이 각각 하나의 스위치 그룹을 형성한다.
- <68> 제 1 내지 제 m 스위치(228-1 내지 228-m) 중 3개의 스위치들로 이루어진 각 스위치 그룹은 일측단이 제 1 내지 제 m 출력버퍼(225-1 내지 225-m) 중 자기 그룹과 대응되는 3개의 출력버퍼들에 공통 접속되고 아울러 타측단이 제 1 내지 제 m 출력채널(227-1 내지 227-m) 중 자기 그룹과 대응되는 3개의 출력채널들에 일대일로 대응되게 접속된다.
- <69> 예를 들어, 하나의 스위치 그룹을 형성하는 제 1 내지 제 3 스위치(228-1, 228-2, 228-3)는 일측이 자기 그룹과 대응되는 제 1 내지 제 3 출력버퍼(225-1, 225-2, 225-3)에 공통 접속되고 아울러 타측이 자기 그룹과 대응되는 제 1 내지 제 3 출력채널(227-1, 227-2, 227-3)에 일대일로 대응되게 접속된다. 구체적으로, 제 1 스위치(228-1)는 일측이 제 1 내지 제 3 출력버퍼(225-1, 225-2, 225-3)에 공통 접속되고 아울러 타측이 제 1 출력채널(227-1)에 접속되고, 제 2 스위치(228-2)는 일측이 제 1 내지 제 3 출력버퍼(225-1, 225-2, 225-3)에 공통 접속되고 아울러 타측이 제 2 출력채널(227-2)에 접속된다. 그리고, 제 3 스위치(228-3)는 일측이 제 1 내지 제 3 출력버퍼(225-1, 225-2, 225-3)에 공통 접속되고 아울러 타측이 제 3 출력채널(227-3)에 접속된다.
- <70> 이와 같은 구조를 갖는 각 스위치 그룹의 스위칭 패턴은 출력 제어부(226)에 의해 동일하게 제어되므로, 각 스위치 그룹의 스위칭 패턴은 제 1 내지 제 3 스위치(228-1, 228-2, 228-3)을 포함하는 하나의 스위치 그룹을 예로 들어 설명한다.
- <71> 제어부(221)가 RGB 패턴의 R1, G1, B1 데이터 내지 Ri, Gi, Bi 데이터를 병렬로 출력하는 경우, 제 1 내지 제 3 출력버퍼(225-1, 225-2, 225-3)는 각각 R1 데이터, G1 데이터 및 B1 데이터를 자신의 오프셋에 따라 버퍼링하여 출력한다. 이 경우, 도 7a에 도시된 바와 같이 출력 제어부(226)는 제 1 내지 제 3 스위치(228-1, 228-2, 228-3)의 스위칭 방향을 제어한다.
- <72> 도 7a에서와 같이, 제 1 스위치(228-1)는 제 1 출력버퍼(225-1) 방향으로 스위칭되어 R1데이터가 제 1 출력채널(227-1)을 통해 첫번째 데이터라인(DL1)과 접속된 R서브픽셀로 공급되도록 하고, 제 2 스위치(228-2)는 제 2 출력버퍼(225-2) 방향으로 스위칭되어 G1데이터가 제 2 출력채널(227-2)을 통해 두번째 데이터라인(DL2)과 접속된 G서브픽셀로 공급되도록 한다. 그리고, 제 3 스위치(228-3)는 제 3 출력버퍼(225-3) 방향으로 스위칭되어 B1데이터가 제 3 출력채널(227-3)을 통해 세번째 데이터라인(DL3)과 접속된 B서브픽셀로 공급되도록 한다.

- <73> 제어부(221)가 BRG 패턴의 B1,R1,G1 데이터 내지 Bi,Ri,Gi 데이터를 병렬로 출력하는 경우, 제 1 내지 제 3 출력버퍼(225-1, 225-2, 225-3)는 각각 B1 데이터, R1 데이터 및 G1 데이터를 자신의 오프셋에 따라 버퍼링하여 출력한다. 이 경우, 도 7b에 도시된 바와 같이 출력 제어부(226)는 제 1 내지 제 3 스위치(228-1, 228-2, 228-3)의 스위칭 방향을 제어한다.
- <74> 도 7b에서와 같이, 제 1 스위치(228-1)는 제 2 출력버퍼(225-2) 방향으로 스위칭되어 R1데이터가 제 1 출력채널(227-1)을 통해 첫번째 데이터라인(DL1)과 접속된 R서브픽셀로 공급되도록 하고, 제 2 스위치(228-2)는 제 3 출력버퍼(225-3) 방향으로 스위칭되어 G1데이터가 제 2 출력채널(227-2)을 통해 두번째 데이터라인(DL2)과 접속된 G서브픽셀로 공급되도록 한다. 그리고, 제 3 스위치(228-3)는 제 1 출력버퍼(225-1) 방향으로 스위칭되어 B1데이터가 제 3 출력채널(227-3)을 통해 세번째 데이터라인(DL3)과 접속된 B서브픽셀로 공급되도록 한다.
- <75> 제어부(221)가 GBR 패턴의 G1,B1,R1 데이터 내지 Gi,Bi,Ri 데이터를 병렬로 출력하는 경우, 제 1 내지 제 3 출력버퍼(225-1, 225-2, 225-3)는 각각 G1 데이터, B1 데이터 및 R1 데이터를 자신의 오프셋에 따라 버퍼링하여 출력한다. 이 경우, 도 7c에 도시된 바와 같이 출력 제어부(226)는 제 1 내지 제 3 스위치(228-1, 228-2, 228-3)의 스위칭 방향을 제어한다.
- <76> 이처럼, 각 스위치 그룹이 제 1 내지 제 m 출력버퍼(225-1 내지 225-m)를 통해 버퍼링된 BRG 패턴의 BRG 데이터를 RGB 패턴의 RGB 데이터로 변경시킴으로써, 제어부(221)에 의해 데이터 패턴이 각 픽셀의 RGB 서브픽셀 패턴과 다른 BRG 패턴으로 재정렬되더라도, 동일 수평라인 상의 각 픽셀에는 각 스위치 그룹에 의해 변경된 RGB 패턴의 RGB 데이터가 동시에 공급된다.
- <77> 도 7c에 보여지는 바와 같이, 제 1 스위치(228-1)는 제 3 출력버퍼(225-3) 방향으로 스위칭되어 R1데이터가 제 1 출력채널(227-1)을 통해 첫번째 데이터라인(DL1)과 접속된 R서브픽셀로 공급되도록 하고, 제 2 스위치(228-2)는 제 1 출력버퍼(225-1) 방향으로 스위칭되어 G1데이터가 제 2 출력채널(227-2)을 통해 두번째 데이터라인(DL2)과 접속된 G서브픽셀로 공급되도록 한다. 그리고, 제 3 스위치(228-3)는 제 2 출력버퍼(225-2) 방향으로 스위칭되어 B1데이터가 제 3 출력채널(227-3)을 통해 세번째 데이터라인(DL3)과 접속된 B서브픽셀로 공급되도록 한다.
- <78> 이렇게, 각 스위치 그룹이 제 1 내지 제 m 출력버퍼(225-1 내지 225-m)를 통해 버퍼링된 GRB 패턴의 GRB 데이터를 RGB 패턴의 RGB 데이터로 변경시킴으로써, 제어부(221)에 의해 데이터 패턴이 각 픽셀의 RGB 서브픽셀 패턴과 다른 GRB 패턴으로 재정렬되더라도, 동일 수평라인 상의 각 픽셀에는 각 스위치 그룹에 의해 변경된 RGB 패턴의 RGB 데이터가 동시에 공급된다.
- <79> 이와 같이 본 발명은 이웃한 3개의 수평라인 단위로 1수평주기마다 출력버퍼의 위치를 교번적으로 변경하는 것을 특징으로 하고 있으므로, 만일 첫번째 배치된 제 1 출력버퍼(225-1)에 오프셋 에러가 발생되어 제 1 출력버퍼(225-1)를 통해 버퍼링된 데이터의 계조가 원하는 계조보다 밝아지거나 어두워지는 경우, 도 8에 도시된 바와 같이 이웃한 3개의 수평라인 단위로 원하는 계조보다 밝거나 어두운 계조가 구현되는 서브픽셀의 위치가 변경된다. 이에 따라, 제 1 출력버퍼(225-1)의 오프셋 에러로 인해 비정상적으로 구현되는 계조들의 평균화가 이루어져 사용자가 시각적으로 느끼는 화질이 도 3에 도시된 경우에 비해 현저하게 개선된다. 아울러, 본 발명은 출력버퍼들과 출력채널들 사이에만 스위치 소자들을 채용함으로써, 화질 개선을 위해 채용되는 스위치 소자의 갯수를 최소화시키고, 이로 인해 데이터 구동회로의 칩 사이즈를 최적화시킬 수 있도록 한다.
- <80> 한편, 본 발명은 RGB 데이터의 버퍼링 위치를 1수평주기로 변경하는 것으로 개시하고 있으나, 이에 한정되지 않고, 다른 예로서 RGB 데이터의 버퍼링 위치를 j수평주기(j는 2 이상의 자연수)로 변경할 수도 있다.
- <81> 그리고, 본 발명은 각 픽셀이 스트라이프 타입의 RGB 서브픽셀로 구현되는 경우를 예로 들어 적용하고 있으나, 이에 한정되는 것은 아니고, 각 픽셀의 구조에 따라 재정렬되는 데이터 패턴과 스위칭 패턴도 변경됨은 자명한 이치이다.

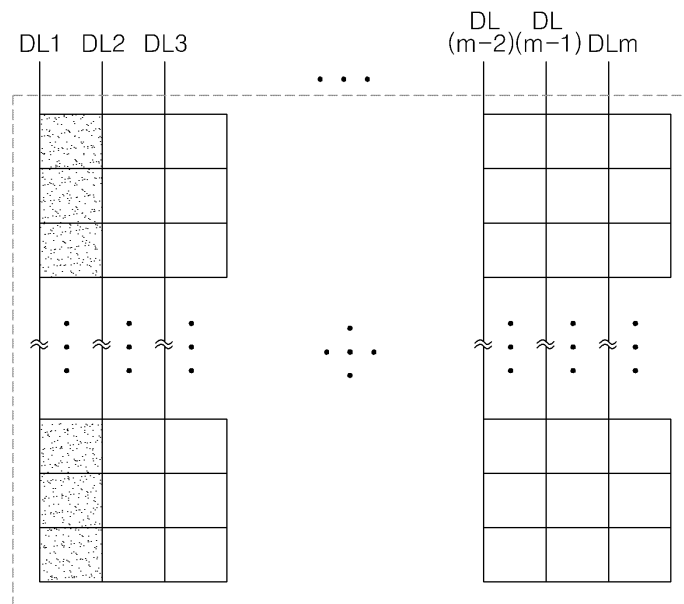
발명의 효과

- <82> 이상에서 설명한 바와 같이 본 발명은, 1수평단위로 공급되는 아날로그 데이터전압들의 버퍼링 위치를 일정 주기로 변경시킴으로써, 사용자가 시각적으로 느껴지는 화질을 개선할 수 있다.
- <83> 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명

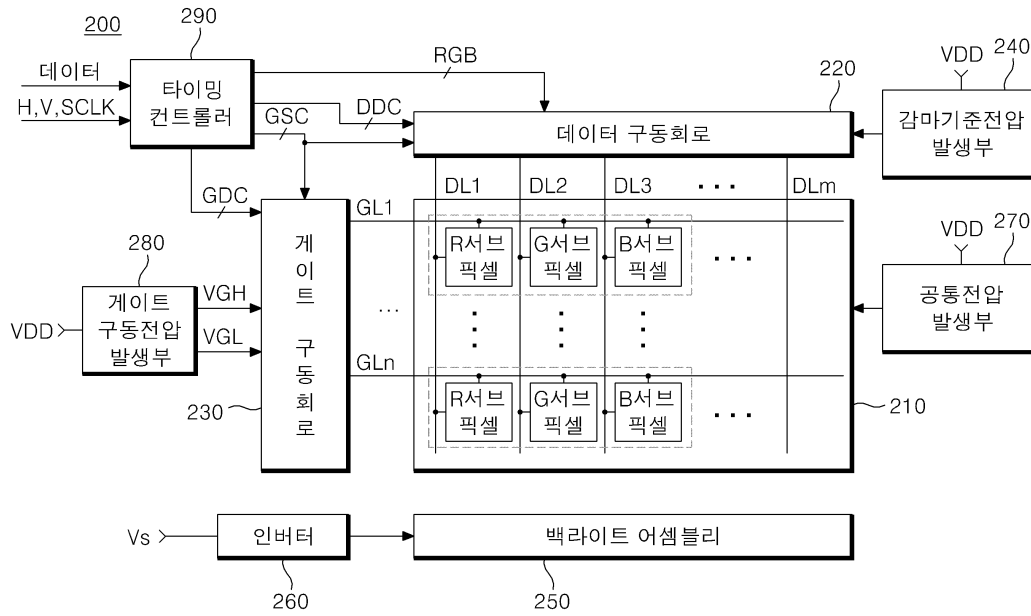
도면2



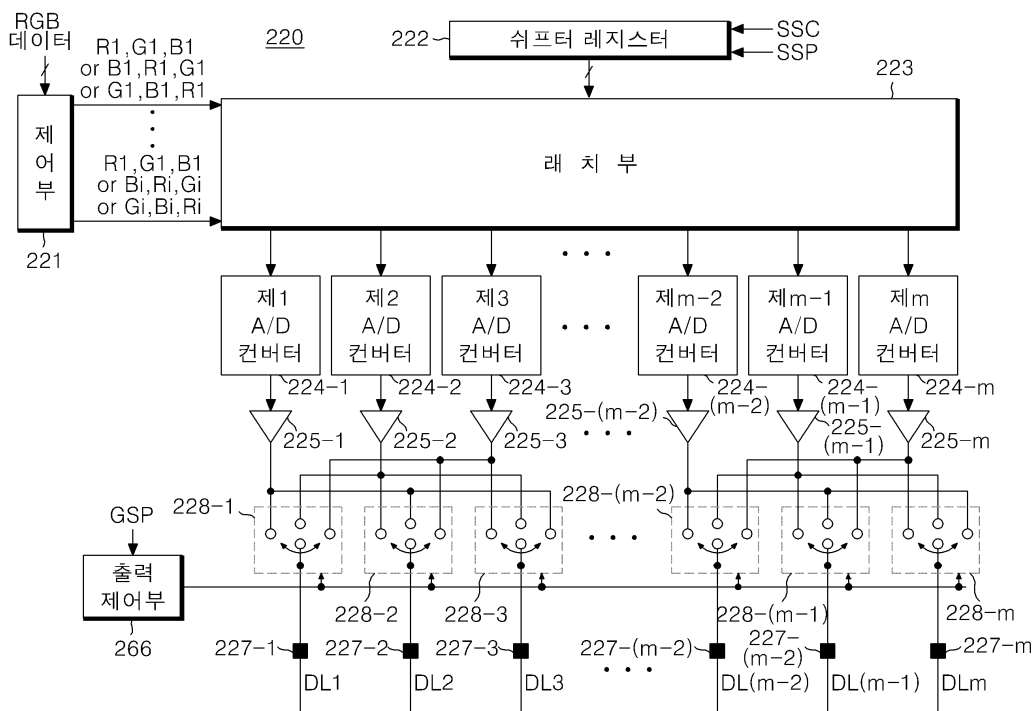
도면3



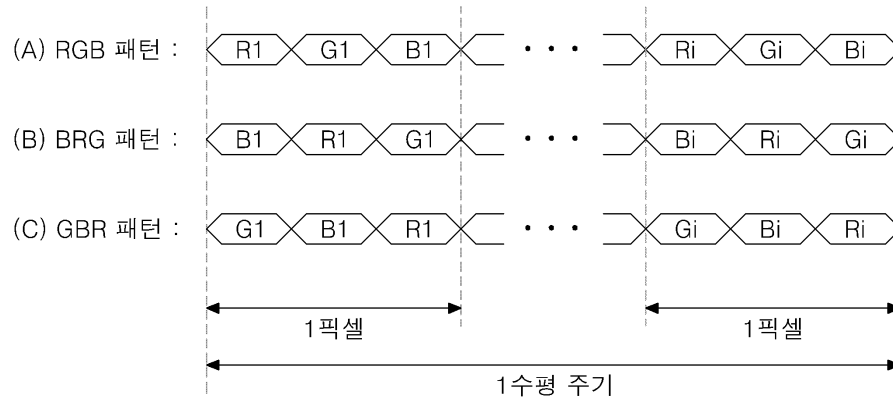
도면4



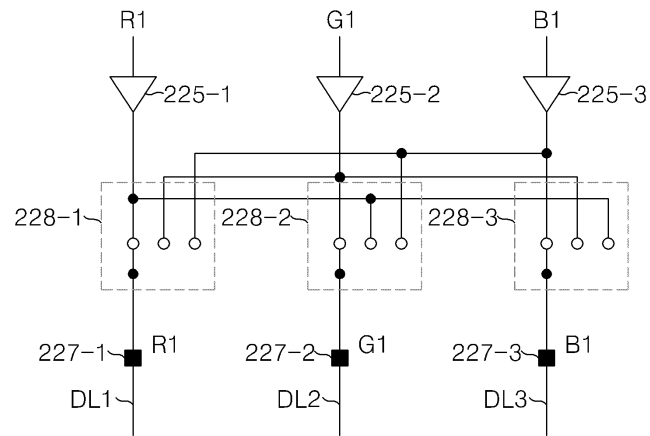
도면5



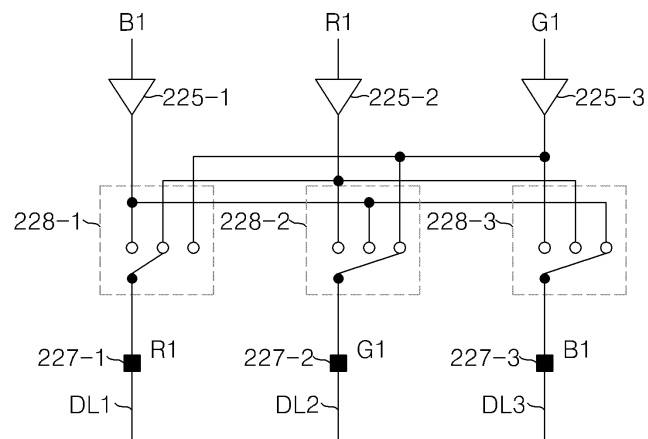
도면6



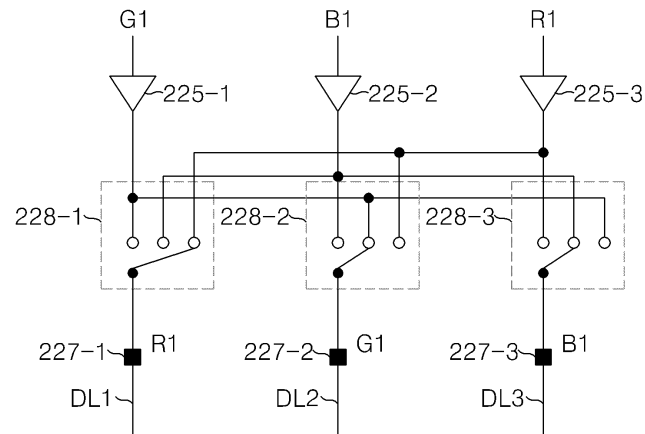
도면7a



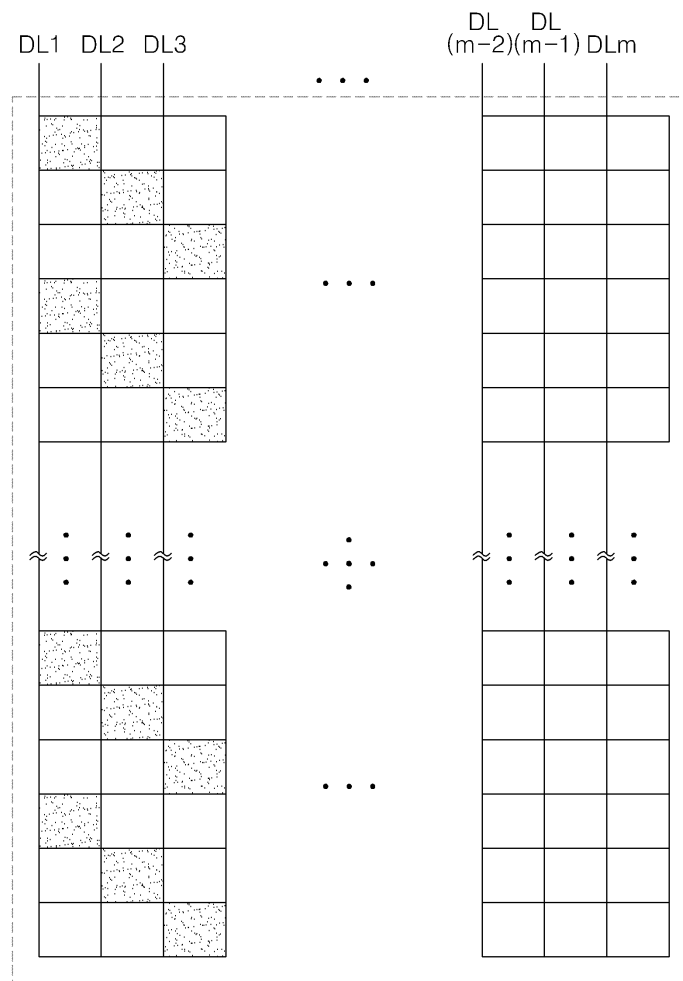
도면7b



도면7c



도면8



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020080059854A	公开(公告)日	2008-07-01
申请号	KR1020060133692	申请日	2006-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SUN YOUNG 김선영 CHOI JIN CHUL 최진철		
发明人	김선영 최진철		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2310/027 G09G2320/0233 G09G2310/0297 G09G3/3688		
其他公开文献	KR101363669B1		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种液晶显示装置及其驱动方法，用于改变以1水平为单位提供的模拟数据电压的缓冲位置至恒定周期，并提高对发光的图像质量，使数字数据的数据模式成为可能。在LCD面板的控制下，从定时控制器输入的不同的是重新排列到k水平周期：定时控制器：以1水平线为单位控制从系统和定时控制器输入的数字数据的灰度级实现。在将重新排列的数据模式的数字数据改变为模拟数据电压之后，以1个水平线为单位排列由排列为固定模式的子像素组成的多个像素。符合模拟数据电压，其被缓冲以与重新排列的数据模式一致，其中包括子像素的每个像素的排列图案和包括的每个像素提供的数据驱动电路。液晶显示器，输出缓冲器，输出通道，偏移，像素。

