



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0097961
(43) 공개일자 2007년10월05일

(51) Int. Cl.

G02F 1/133(2006.01)

(21) 출원번호 10-2006-0028978

(22) 출원일자 2006년03월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김현석

대구 북구 동천동 화성3차아파트 108동 903호

(74) 대리인

김용인, 심창섭

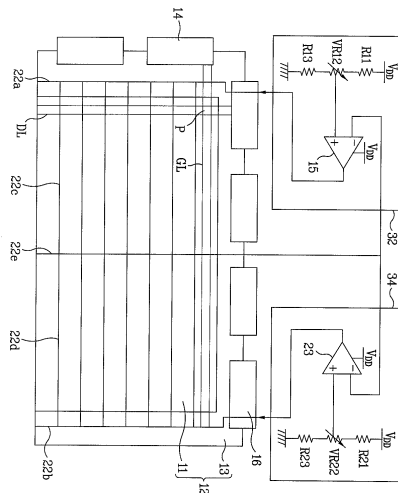
전체 청구항 수 : 총 6 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 본 발명에 따른 액정표시장치는 화소영역을 정의하기 위해 서로 수직하게 배열된 게이트라인과 데이터라인들과, 상기 각 화소영역에 공통전압을 인가하기 위한 공통배선을 구비한 액정패널과, 상기 액정패널을 좌우영역으로 분할하고 분할된 각 영역에 제1 및 제2 공통전압을 각각 공급하는 제1 및 제2 공통전압발생부를 구비한다.

대표도 - 도2



특허청구의 범위

청구항 1

화소영역을 정의하기 위해 서로 수직하게 배열된 게이트라인과 데이터라인들과,
 상기 각 화소영역에 공통전압을 인가하기 위한 공통배선을 구비한 액정패널과,
 상기 액정패널을 좌우영역으로 분할하고 분할된 각 영역에 제1 및 제2 공통전압을 각각 공급하는 제1 및 제2
 공통전압발생부를 구비하는 액정표시장치.

청구항 2

제1 항에 있어서, 상기 공통배선은
 상기 게이트라인과 평행하게 형성되어 각 화소영역에 형성되는 공통전극을 연결하는 복수 개의 제1
 공통배선과,
 상기 제1 공통전압을 인가하기 위해 상기 복수 개의 제1 공통배선의 일측끝단을 연결하는 제2 공통배선과,
 상기 제2 공통전압을 인가하기 위해 상기 복수 개의 제1 공통배선의 타측끝단들을 연결하는 제3 공통배선과,
 상기 인가된 제1, 제2 공통전압을 상기 제1, 제2 공통전압발생부로 피드백시키기 위해 상기 복수 개의 제1 공
 통배선의 중앙부분을 연결하는 제4 공통배선을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제2 항에 있어서, 상기 제1 공통전압발생부는
 시리얼로 연결된 다수의 저항으로 이루어진 저항부와,
 상기 제4 공통배선과 연결된 비반전단자 및 상기 저항부의 출력단에 연결된 반전단자를 구비하여 상기 제2 공통
 배선에 공급될 공통전압을 출력하는 연산증폭부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제3 항에 있어서, 상기 연산증폭부는
 상기 비반전단자와 상기 제4 공통배선 사이에 연결된 제1 저항과,
 상기 연산증폭부의 출력단과 상기 비반전단자 사이에 연결된 제2 저항과,
 상기 연산증폭부의 출력단과 상기 제2 공통배선 사이에 연결된 제3 저항을 더 구비하는 것을 특징으로 하는 액
 정표시장치.

청구항 5

제2 항에 있어서, 상기 제2 공통전압발생부는
 시리얼로 연결된 다수의 저항으로 이루어진 저항부와,
 상기 제4 공통배선과 연결된 비반전단자 및 상기 저항부의 출력단과 연결된 반전단자를 구비하여 상기 제3 공통
 배선에 공급될 공통전압을 출력하는 연산증폭부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제5 항에 있어서, 상기 연산증폭부는
 상기 비반전단자와 상기 제4 공통배선과의 사이에 연결된 제4 저항과,
 상기 연산증폭부의 출력단과 상기 비반전단자 사이에 연결된 제5 저항과,
 상기 연산증폭부의 출력단과 상기 제3 공통배선 사이에 연결된 제6 저항을 더 구비하는 것을 특징으로 하는 액
 정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 액정패널의 전영역에 균일한 공통전압이 인가될 수 있도록 하는 액정표시장치에 관한 것이다.
- <10> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 이 액정패널을 구동하기 위한 구동회로를 구비하게 된다.
- <11> 실제로, 일반적인 액정표시장치는, 도 1에 도시된 바와 같이 화소영역을 정의하기 위하여 게이트라인들(GL)과 데이터라인들(DL)이 교차하게 배열된 액정패널(2)과, 상기 게이트라인들(GL)과 접속된 게이트 구동집적회로(4)와, 상기 데이터라인들(DL)과 접속된 데이터 구동집적회로(6)를 구비한다.
- <12> 상기 액정패널(2)에는 액정셀(P)들 각각에 전계를 인가하기 위한 화소전극들과 공통전극들이 마련된다. 상기 액정패널(2)이 IPS(In-Plane Switching mode, 이하, IPS형이라 함)인 경우, 공통전극들은 하부기판(3)의 각 화소영역에 상기 화소전극과 일정간격을 갖고 평행하게 형성되고, 화소전극은 하부기판(3)상에 액정셀 별로 형성된다.
- <13> 즉, 상기 각 게이트라인과 데이터라인에 교차되는 부분에 각각 박막트랜지스터(Thin Film Transistor; 이하 “TFT” 라 함)가 형성된다. 상기 박막트랜지스터는 상기 게이트라인의 게이트전극이 연결되고 상기 데이터라인에 소스전극이 연결되며, 화소전극에 드레인전극이 연결된 구조를 갖는다. 따라서, 게이트라인의 스캔신호에 따라 상기 박막트랜지스터가 턴온되어 상기 데이터라인의 데이터전압을 상기 화소전극에 인가한다.
- <14> 게이트 구동집적회로(4)는 스캐닝신호 즉, 게이트신호를 게이트라인들(GL)에 순차적으로 공급한다.
- <15> 데이터 구동집적회로(6)는 게이트 라인들(GL) 중 어느 하나에 게이트 신호가 공급될 때마다 데이터라인들(DL) 각각에 데이터신호를 공급하게 된다.
- <16> 상기와 같은 액정표시장치의 동작을 살펴보면, 게이트 제어신호들을 인가하여 게이트 라인들에 연결된 TFT를 도통시킨 후, 소스전극에 인가된 화상신호인 데이터 신호를 드레인 전극으로 인가되도록 한다. 이어, 데이터 신호는 화소전극을 통해 각각 액정용량(Clc)과 축적 용량(Cst)에 인가되고, 화소전극의 데이터신호와 공통전극(Vcom)의 공통전압간의 전위차에 의해 전계가 형성된다.
- <17> 이때, 액정에 같은 방향의 전계가 계속해서 인가되면 액정이 열화되기 때문에, 액정패널에서는 액정의 열화를 방지하기 위해 데이터 신호를 공통전극에 대해 양(+), 음(-)이 반복되도록 구동한다.
- <18> 한편, 액정에 인가되는 전압의 실효치는 화소전극에 인가되는 전압(즉, 데이터신호의 전압)과 공통전극에 인가되는 전압(공통전압)의 정도에 따라 정해지는 데, 액정표시장치를 인버전 구동방식으로 구동하는 경우에는 공통전압을 중심으로 한 화소전압이 대칭이 되도록 공통전압의 레벨을 조절할 필요가 있으며, 이를 위해 화소전압이 대칭이 되는 균일한 공통전압을 공통전극에 인가해 주어야 한다.
- <19> 공통전압을 중심으로 한 화소전압이 대칭이 되지 않을 경우에는 각 화소에 충전되는 화소전압의 양이 프레임(frame)마다 차이가 발생하여 화소전압이 반전될 때 화면이 깜박이는 플리커(flicker) 현상이 발생하기 때문이다.
- <20> 따라서, 균일한 공통전압을 공통전극에 인가해주기 위해 액정표시장치는 공통전압 발생부를 구비하게 된다.
- <21> 공통전압 발생부(8)는 기준전압이 되는 전원전압단(VDD)과 접지전압단 사이에 시리얼하게 연결된 제1, 제2, 제3 저항(R1, VR2, R3) 및 전원전압단(VDD)을 인에이블 신호로 받아 증폭하는 증폭수단(5)으로 구성된다.
- <22> 여기서, 제1, 제3 저항(R11, R21)은 고정 저항이고, 제2 저항(VR2)은 가변저항이며, 상기 증폭수단(5)은 통상 반전 증폭기를 사용한다.
- <23> 상기 액정패널(3)이 IPS모드인 경우, 상기 공통전압 발생부(8)로부터 발생된 공통전압은 액정패널의 일측에 형

성된 제1 공통배선(12a)을 통해 액정패널 전면에 상기 게이트라인(GL)에 평행하게 형성되어 각 화소의 공통전극을 연결하는 제2 공통배선(12b)에 인가되고 상기 제2 공통배선(12b)에 인가된 공통전압은 상기 제1 공통배선에 대항하여 상기 액정패널의 다른 일측에 형성된 제3 공통배선을 통해 상기 공통전압발생부(8)로 다시 피드백되어 반전증폭기(5)를 이용하여 그 차이를 보상하고 이는 다시 액정패널로 공급된다.

<24> 한편, 액정패널의 일측에 형성된 제1 공통배선에 공급된 공통전압은 액정패널의 다른 일측에 형성된 제3 공통배선에 전달되는 공통전압과 일정하게 유지되어야 한다.

<25> 그러나, 상기 액정패널 전면에 형성된 제2 공통배선의 라인저항으로 인해 제1 공통배선에 공급된 공통전압과 제3 공통배선에 전달된 공통전압간에는 전압차가 발생하게 되고, 이는 액정표시장치의 화면이 대형화되어 갈수록 더 큰 전압차를 갖게 된다.

<26> 따라서 각 액정셀들에 공급되는 공통전압이 액정패널 좌우측에 균일하게 인가되지 못하므로, 공통전압이 화소전압의 중심값으로 유지되지 못하기 때문에 프레임 단위로 화소전극에 충전되는 전압의 값이 달라지게 되어 플리커 현상을 유발하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<27> 상술한 문제점을 해결하기 위한 본 발명은 액정패널의 전영역에 균일한 공통전압이 인가될 수 있도록 하는 액정표시장치를 제공함에 있다.

발명의 구성 및 작용

<28> 상술한 목적을 달성하기 위한 액정표시장치는 화소영역을 정의하기 위해 서로 수직하게 배열된 게이트라인과 데이터라인들과, 상기 각 화소영역에 공통전압을 인가하기 위한 공통배선을 구비한 액정패널과, 상기 액정패널을 좌우영역으로 분할하고 분할된 각 영역에 제1 및 제2 공통전압을 각각 공급하는 제1 및 제2 공통전압발생부를 구비한다.

<29> 상기 공통배선은 상기 게이트라인과 평행하게 형성되어 각 화소영역에 형성되는 공통전극을 연결하는 복수 개의 제1 공통배선과, 상기 제1 공통전압을 인가하기 위해 상기 복수 개의 제1 공통배선의 일측끝단을 연결하는 제2 공통배선과, 상기 제2 공통전압을 인가하기 위해 상기 복수 개의 제1 공통배선의 타측끝단들을 연결하는 제3 공통배선과, 상기 인가된 제1, 제2 공통전압을 상기 제1, 제2 공통전압발생부로 피드백시키기 위해 상기 복수 개의 제1 공통배선의 중앙부분을 연결하는 제4 공통배선을 구비한다.

<30> 상기 제1 공통전압발생부는 시리얼로 연결된 다수의 저항으로 이루어진 저항부와, 상기 제4 공통배선과 연결된 비반전단자 및 상기 저항부의 출력단에 연결된 반전단자를 구비하여 상기 제2 공통배선에 공급될 공통전압을 출력하는 연산증폭부를 포함한다.

<31> 상기 연산증폭부는 상기 비반전단자와 상기 제4 공통배선 사이에 연결된 제1 저항과, 상기 연산증폭부의 출력단과 상기 비반전단자 사이에 연결된 제2 저항과, 상기 연산증폭부의 출력단과 상기 제2 공통배선 사이에 연결된 제3 저항을 더 구비한다.

<32> 상기 제2 공통전압발생부는 시리얼로 연결된 다수의 저항으로 이루어진 저항부와, 상기 제4 공통배선과 연결된 비반전단자 및 상기 저항부의 출력단과 연결된 반전단자를 구비하여 상기 제3 공통배선에 공급될 공통전압을 출력하는 연산증폭부를 포함한다.

<33> 상기 연산증폭부는 상기 비반전단자와 상기 제4 공통배선과의 사이에 연결된 제4 저항과, 상기 연산증폭부의 출력단과 상기 비반전단자 사이에 연결된 제5 저항과, 상기 연산증폭부의 출력단과 상기 제3 공통배선 사이에 연결된 제6 저항을 더 구비한다.

<34> 상기와 같은 특징을 갖는 본 발명에 따른 액정표시장치에 대한 실시예를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<35> 도 2에 도시된 바와 같이 본 발명의 제1 실시예에 따른 액정표시장치는, 복수 개의 게이트라인(GL)과 복수 개의 데이터라인(DL)에 의해 정의되는 영역마다 화소셀(P)이 형성된 액정패널(12)과, 액정패널의 게이트라인(GL)들에 접속된 게이트 구동집적회로(14)와, 액정패널의 데이터라인(DL)들에 접속된 데이터 구동집적회로(16)와, 액정패널의 일측영역에 형성된 제2 공통배선(22a)과 접속된 제1 공통전압 발생부(32) 및 액정패널의 다른 일측영역에 형성된 제3 공통배선(22b)과 접속된 제2 공통전압 발생부(34)를 구비한다.

- <36> 게이트 구동집적회로(14)는 스캐닝신호 즉, 게이트신호를 게이트라인들(GL)에 순차적으로 공급한다.
- <37> 데이터 구동집적회로(16)는 게이트 라인들(GL) 중 어느 하나에 게이트 신호가 공급될 때마다 데이터라인들(DL) 각각에 데이터신호를 공급하게 된다.
- <38> 액정패널(12)에는 액정셀(P)들 각각에 전계를 인가하기 위한 화소전극들과 공통전극들이 마련된다. 즉, 상기 화소전극과 공통전극은 하부기판(13)상에 형성되고, 횡전계를 발생하기 위해 액정패널의 액정셀(P)들 각각의 화소전극은 세로방향을 가지며 상기 공통전극과 일정간격을 갖고 서로 엇갈리게 배치되며, TFT와 연결된다.
- <39> 따라서, 상기 액정패널(12)은 상기 게이트라인(GL) 및 데이터라인(DL) 뿐만 아니라, 상기 각 게이트라인(GL)에 평행한 방향으로 각 화소영역에 형성된 공통전극들을 연결하는 복수 개의 제1 공통배선(22c, 22d)과, 상기 액정패널 일측에서 제1 공통전압을 인가하기 위해 상기 복수 개의 제1 공통배선(22c, 22d)을 연결하는 제2 공통배선(22a)과, 상기 액정패널 타측에서 제2 공통전압을 인가하기 위해 상기 복수 개의 제1 공통배선(22c, 22d)을 연결하는 제3 공통배선(22b)과, 상기 인가된 제1 및 제2 공통전압을 제1 및 제2 공통전압발생부(32, 34)로 피드백시키기 위해 상기 복수 개의 제1 공통배선(22c, 22d)의 중앙부를 연결하는 제4 공통배선(22e)을 구비한다.
- <40> 제1 공통전압발생부(32)는 제1 공통전압을 생성하여 이를 제2 공통배선(22a) 및 제1 공통배선(22c)을 통해 액정패널의 좌측영역에 형성된 각 공통전극에 공급하고, 제4 공통배선(22e)으로 전달된 제1 공통전압을 입력받아 보상한다.
- <41> 제2 공통전압발생부(34)는 제2 공통전압을 생성하여 이를 제3 공통배선(22b) 및 제1 공통배선(22d)을 통해 액정패널의 우측영역에 형성된 각 공통전극에 공급하고, 제4 공통배선(22e)으로 전달된 제2 공통전압을 입력받아 보상한다.
- <42> 제1 공통전압발생부(32)는 전원전압단(VDD)과 접지단 사이에 시리얼하게 연결된 제1, 제2 및 제3 저항(R11, VR12, R13) 및 전원전압단(VDD)을 구동전원으로 받아 증폭하되, 비반전단자(-)에는 액정패널에 형성된 제4 공통배선(22e)에서 출력된 제1 공통전압을 각각 인가받고, 반전단자(+)에는 상기 저항들의 출력단이 연결되는 제1 연산증폭기(15)로 구성된다.
- <43> 제2 공통전압발생부(34)는 전원전압단(VDD)과 접지단 사이에 시리얼하게 연결된 제1, 제2 및 제3 저항(R21, VR22, R23) 및 전원전압단(VDD)을 구동전원으로 받아 증폭하되, 비반전단자(-)에는 액정패널에 형성된 제4 공통배선(22e)에서 출력된 제2 공통전압을 각각 인가받고, 반전단자(+)에는 상기 저항들의 출력단이 연결되는 제2 연산증폭기(23)로 구성된다.
- <44> 이와 같은 제1 및 제2 공통전압발생부가 구비된 액정표시장치의 구동방법을
- <45> 설명하면 다음과 같다.
- <46> 우선, 제1 공통전압발생부(32)에서 생성된 제1 공통전압은 구동전원인 전원전압(VDD)이 인가된 반전증폭기(13)의 반전단자(+)에 제1, 제2 및 제3 저항(R11, VR12, R13)의 저항분배를 통해 공급된 전원전압원(VDD)을 입력하여 생성되고, 상기 제1 공통전압은 제2 공통배선(22a) 및 제1 공통배선(22c)을 통해 액정패널의 좌측영역에 위치된 액정셀들의 공통전극으로 각각 공급된다.
- <47> 이때, 상기 제1 공통전압발생부(32)에서 출력된 제1 공통전압(A)은 도 4a에 도시된 바와 같은 일정한 파형을 가진다.
- <48> 이어, 제1 공통배선(22c)과 연결되어 제4 공통배선(22e)으로 전달된 제1 공통전압은 다시 제1 공통전압발생부(32)의 반전증폭기(15)의 비반전단자(-)로 입력된다. 이때, 상기 액정패널(12)을 통과하여 비반전단자(-)로 입력되는 제1 공통전압(B)은 도 4b에 도시된 바와 같은 액정패널의 캐패시턴스성분으로 발생된 커플링현상에 의해 리플(ripple)이 형성된 파형을 가진다.
- <49> 이어, 반전증폭기(15)의 비반전단자(-)로 입력되는, 리플이 형성된 파형을 갖는 제1 공통전압(C)은 도 4c에 도시된 바와 같이 리플이 형성된 파형을 반전하여 출력하고, 이를 액정패널의 제2 공통배선(22a)을 통해 각 공통전극에 입력한다.
- <50> 따라서 액정패널의 제2 공통배선(22a)에서 제4 공통배선(22e)을 거치는 동안 리플이 형성된 파형을 갖는 제1 공통전압은 제1 공통전압발생부의 반전증폭기(15)로 피드백되어 반전된 리플이 형성된 제1 공통전압을 출력하고, 반전된 리플이 형성된 제1 공통전압은 액정패널 내부로 입력되어 액정패널 내부에서 발생하는 리플과 상쇄됨

로써, 일정한 파형을 갖는 제1 공통전압을 액정패널의 좌측영역에 계속적으로 공급될 수 있게 된다.

- <51> 마찬가지로, 제2 공통전압발생부(34)에서 생성된 제2 공통전압은 구동전원인 전원전압(VDD)이 인가된 반전증폭기(23)의 반전단자(+)에 제1, 제2 및 제3저항(R21, VR22, R23)의 저항분배를 통해 공급된 전원전압(VDD)을 입력하여 생성되고, 상기 제2 공통전압은 제3 공통배선(22b) 및 제1 공통배선(22d)을 통해 액정패널의 우측영역에 위치한 액정셀들의 공통전극으로 각각 공급된다. 이때, 상기 제2 공통전압발생부(34)에서 출력된 제2 공통전압(A)은 도 4a에 도시된 바와 같은 일정한 파형을 가진다.
- <52> 이어, 제1 공통배선(22d)과 연결되어 제4 공통배선(22e)으로 전달된 제2 공통전압은 다시 제2 공통전압발생부(34)의 반전증폭기(23)의 비반전단자(-)로 입력된다. 이때, 상기 액정패널(12)을 통과하여 비반전단자(-)로 입력되는 제2 공통전압(B)은 도 4b에 도시된 바와 같은 액정패널의 캐패시턴스성분으로 발생된 커플링현상에 의해 리플(ripple)이 형성된 파형을 가진다.
- <53> 이어, 반전증폭기(23)의 비반전단자(-)로 입력되는, 리플이 형성된 파형을 갖는 제2 공통전압(C)은 도 4c에 도시된 바와 같이 리플이 형성된 파형을 반전하여 출력하고, 이를 액정패널의 제3 공통배선(22b)을 통해 각 공통전극에 입력한다.
- <54> 따라서 액정패널의 제3 공통배선(22b)에서 제4 공통배선(22e)을 거치는 동안 리플이 형성된 파형을 갖는 제2 공통전압은 제2 공통전압발생부의 반전증폭기(23)로 피드백되어 반전된 리플이 형성된 제2 공통전압을 출력하고, 반전된 리플이 형성된 제2 공통전압은 액정패널 내부로 입력되어 액정패널 내부에서 발생하는 리플과 상쇄됨으로써, 일정한 파형을 갖는 제2 공통전압을 액정패널의 좌측영역에 계속적으로 공급될 수 있게 된다.
- <55> 한편, 리플이 형성된 파형을 갖는 공통전압(도 4b의 C)을 반전증폭기로 입력하여 반전된 리플이 형성된 공통전압을 출력할 때, 공통전압발생부의 입출력과 연결된 저항들을 통해 상기 리플의 증폭도는 조정될 수 있다.
- <56> 도 3에 도시된 바와 같이 본 발명의 제2 실시예에 따른 액정표시장치에는 제3 및 제4 공통전압발생부(42, 44)를 각각 구비한다.
- <57> 상기 제3 공통전압발생부(42)는 전원전압단(VDD)과 접지단 사이에 시리얼하게 연결된 제1, 제2 및 제3 저항(R31, VR32, R33) 및 전원전압단(VDD)을 구동전원으로 받아 증폭하되, 비반전단자(-)에는 액정패널에 형성된 제4 공통배선(22e)에서 출력된 제3 공통전압을 각각 인가받고, 반전단자(+)에는 상기 저항들의 출력단이 연결되는 제3 연산증폭기(33)로 구성된다. 또한, 제3 연산증폭기(33)의 비반전단자(-)와 제4 공통배선(22e)사이에는 제4 저항(R14)이 연결되고, 상기 제4 저항(R14)과 제3 연산증폭기(33)의 출력단자 사이에는 제5 저항(R15)이 연결되고, 제5 저항(R15)과 제2 공통배선(22a)에는 제6 저항(R16)이 연결된다.
- <58> 상기 제4 공통전압발생부(44)는 전원전압단(VDD)과 접지단 사이에 시리얼하게 연결된 제1, 제2 및 제3 저항(R41, VR42, R43) 및 전원전압단(VDD)을 구동전원으로 받아 증폭하되, 비반전단자(-)에는 액정패널에 형성된 제4 공통배선(22e)에서 출력된 제4 공통전압을 각각 인가받고, 반전단자(+)에는 상기 저항들의 출력단이 연결되는 제4 연산증폭기(43)로 구성된다. 또한, 제4 연산증폭기(43)의 비반전단자(-)와 제4 공통배선(22e)사이에는 제4 저항(R24)이 연결되고, 상기 제4 저항(R24)과 제3 연산증폭기(33)의 출력단자 사이에는 제5 저항(R25)이 연결되고, 제5 저항(R25)과 제3 공통배선(22b)에는 제6 저항(R26)이 연결된다.
- <59> 이와 같은 제3 및 제4 공통전압발생부가 구비된 액정표시장치의 구동방법은 제1 및 제2 공통전압발생부가 구비된 액정표시장치의 구동방법과 유사하다.
- <60> 단지 액정패널을 통과한 제3 및 제4 공통전압(도 4b의 B) 및 제3 및 제4 반전증폭기에서 출력된 제3 및 제4 공통전압(도 4b의 C)에 발생된 리플의 증폭도는 제4, 제5 및 제6의 저항(제3 공통전압발생부는 R14, R15, R16이고, 제4 공통전압발생부는 R24, R25, R26이다.)을 통해 조정될 수 있다.
- <61> 한편, 도 5는 본 발명의 도 2 및 도 3에 도시된 A부분을 확대한 도면으로써, 도 2 및 도 3의 A부분은 본 발명의 액정표시장치의 화소영역 중 제4 공통배선(22e)이 형성된 영역을 도시하고 있다.
- <62> 본 발명의 액정표시장치는 IPS모드인 것으로, 도 5에 도시된 바와 같이, 수직으로 교차하여 화소영역을 정의하는 복수 개의 게이트라인(GL) 및 데이터라인(DL)이 형성되고, 상기 게이트라인(GL)에 평행한 방향으로 제1 공통배선(22c, 22d)이 연결되어 형성되고, 상기 제1 공통배선(22c, 22d)들 각각에서 각 화소영역으로 돌출되어 일정 간격을 갖는 공통전극(57)이 형성된다. 그리고, 상기 각 게이트라인(GL) 및 데이터라인(DL)이 교차하는 부분에 소스/드레인 전극(52a, 52b)을 구비한 박막 트랜지스터(TFT)가 형성되고, 상기 박막 트랜지스터의 드레인 전극(52b)에 연결되어 상기 각 화소영역의 공통전극(57)과 평행하게 상기 공통전극 사이에 화소전극(53)이

형성된다.

- <63> 이때, 액정패널의 중심부에 위치한 화소영역들 각각에 형성된 공통전극(57)들은 서로 연결되어 제4 공통배선(22e)으로 사용된다.
- <64> 상기 제4 공통배선(22e)은 제1 공통배선(22c, 22d)과 연결되어 액정패널의 좌우측에서 각각 전달되는 제1 및 제2 공통전압(또는 제2 실시예의 경우 제3 및 제4 공통전압)을 제1 및 제2 공통전압발생부(또는 제2 실시예의 경우 제3 및 제4 공통전압발생부)로 각각 전달한다.
- <65> 이와 같은 제4 공통배선(22e)을 갖는 액정표시장치의 TFT어레이기관 제조방법을 간단히 설명하면 다음과 같다.
- <66> 즉, 유리기관에 금속물질을 전면 증착한 후 사진 식각공정으로 상기 금속물질을 패터닝하여 게이트라인(GL) 및 게이트전극(51)을 형성한다.
- <67> 이어, 상기 게이트라인(GL)을 포함한 기관 전면에 절연물질을 전면 증착하여 게이트절연막(미도시)을 형성하고, 상기 게이트절연막 상에 반도체층을 증착하고 패터닝하여 상기 게이트전극(51)의 상측 게이트절연막 상에 반도체층(54)을 형성한다.
- <68> 그리고, 금속물질을 전면 증착하고 사진식각공정을 통해 상기 금속물질을 패터닝하여 상기 게이트라인(GL)에 수직인 방향으로 데이터라인(DL)을 형성하고 상기 반도체층(54) 양측에 소스전극(52a), 드레인전극(52b)을 형성한다. 여기서, 상기 소스전극(52a)은 상기 데이터라인(DL)에서 돌출되어 형성된다.
- <69> 상기 소스전극(52a) 및 드레인 전극(52b)을 포함한 기관 전면에 보호막(미도시)을 증착한다.
- <70> 그리고, 보호막(미도시)의 일부를 선택적으로 식각하여, 드레인전극(52b)의 일부를 노출시키는 콘택홀을 형성하고, 상기 콘택홀이 형성된 기관 전면에 투명도전막을 증착한다.
- <71> 이 투명도전막을 패터닝하여, 상기 콘택홀을 통해 상기 드레인전극(52b)에 연결된 화소전극(53)을 형성함과 동시에 게이트라인(GL)과 평행한 제1 공통배선(22d, 22e)을 형성하고, 화소전극(53)과 평행하게 상기 화소전극(53) 사이에 위치되도록 상기 화소영역에 공통전극(57)을 형성한다.
- <72> 이때, 액정패널의 중심부에 위치한 서로 이웃된 화소영역들 각각에 형성되어 있는 공통전극(57)들은 하나로 연결되도록 패터닝되고, 이는 제4 공통배선(22e)으로 사용된다.
- <73> 본 발명에 의하면, 액정패널을 소정영역들로 분할하고, 이 분할된 각 영역에 공통전압을 인가할 수 있는 공통전압발생부를 각각 구비함으로써, 액정패널 전영역에 공통전압의 인가시 발생하는 라인저항에 의한 전압차를 줄일 수 있게 되어, 액정패널의 전영역에 균일한 공통전압을 공급할 수 있는 효과가 있다.

발명의 효과

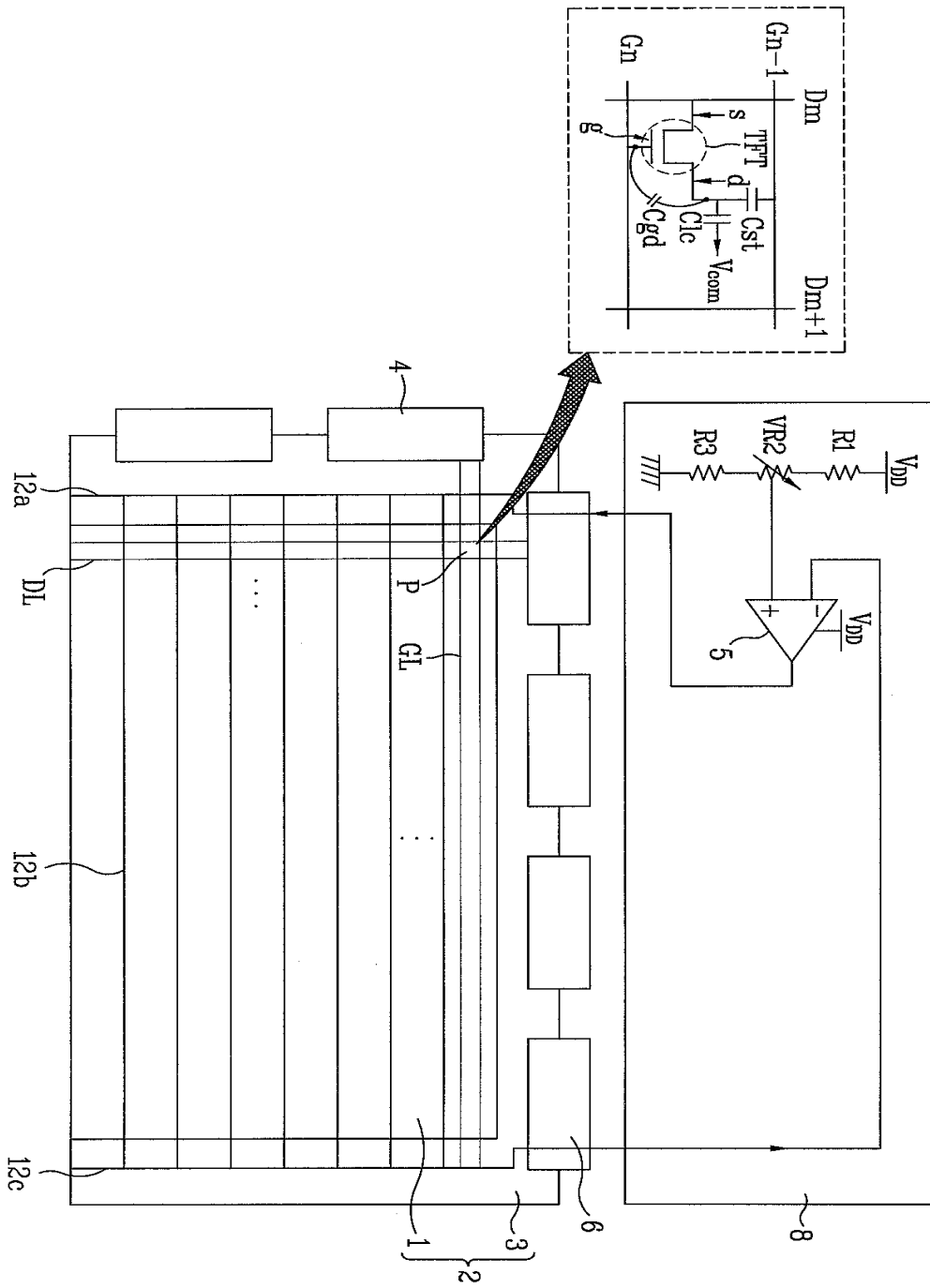
- <74> 본 발명에 의하면, 액정패널을 소정영역들로 분할하고, 이 분할된 각 영역에 공통전압을 인가할 수 있는 공통전압발생부를 각각 구비함으로써, 액정패널 전영역에 공통전압의 인가시 발생하는 라인저항에 의한 전압차를 줄일 수 있게 되어, 액정패널의 전영역에 균일한 공통전압을 공급할 수 있는 효과가 있다.

도면의 간단한 설명

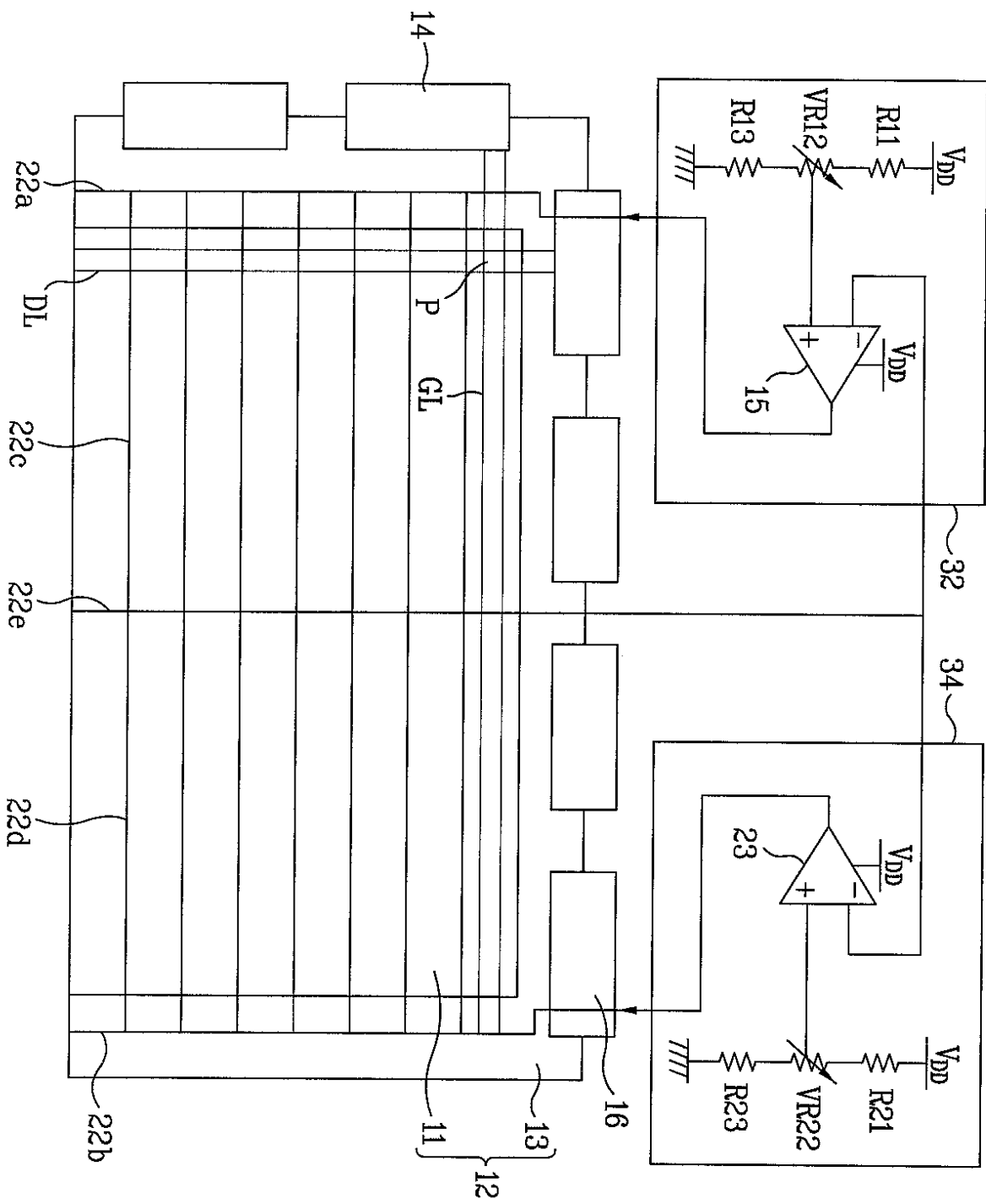
- <1> 도 1은 종래 기술에 따른 액정표시장치를 개략적으로 도시한 평면도
- <2> 도 2는 본 발명의 제1 실시예에 따른 액정표시장치를 개략적으로 도시한 평면도
- <3> 도 3은 본 발명의 제2 실시예에 따른 액정표시장치를 개략적으로 도시한 평면도
- <4> <도면의 주요부분에 대한 부호설명>
- <5> 12: 액정패널
- <6> 14: 게이트 구동집적회로 16: 데이터 구동집적회로
- <7> 32, 34, 42, 44: 공통전압발생부
- <8> 12a, 12b, 12c, 22a, 22b, 22c, 22d, 22e: 공통배선

도면

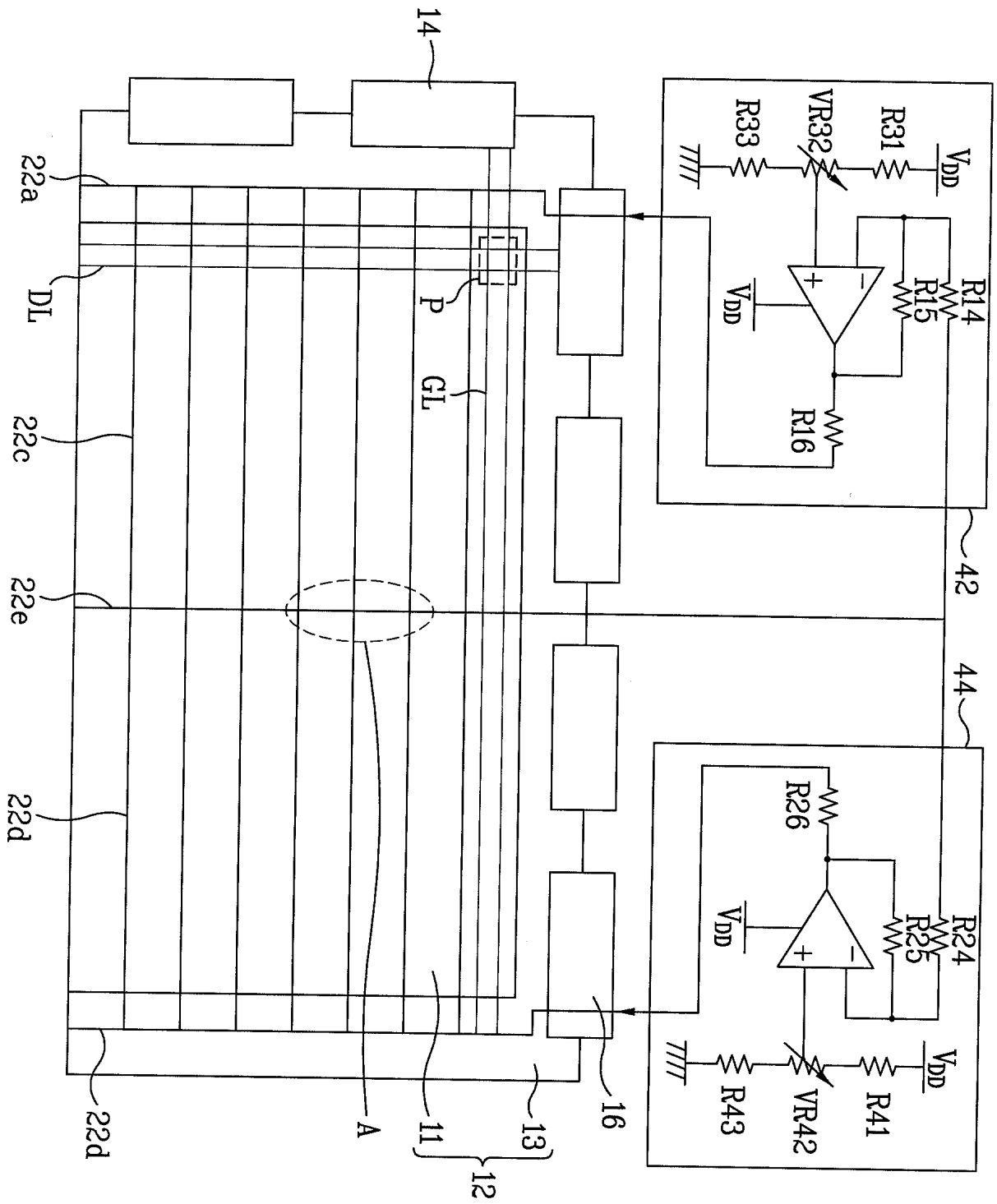
도면1



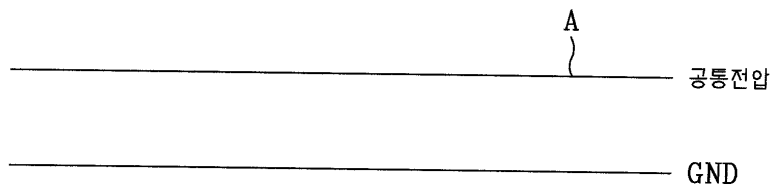
도면2



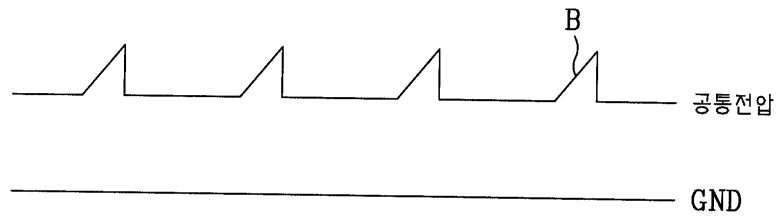
도면3



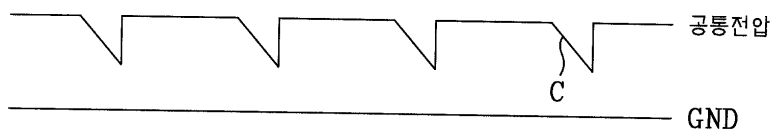
도면4a



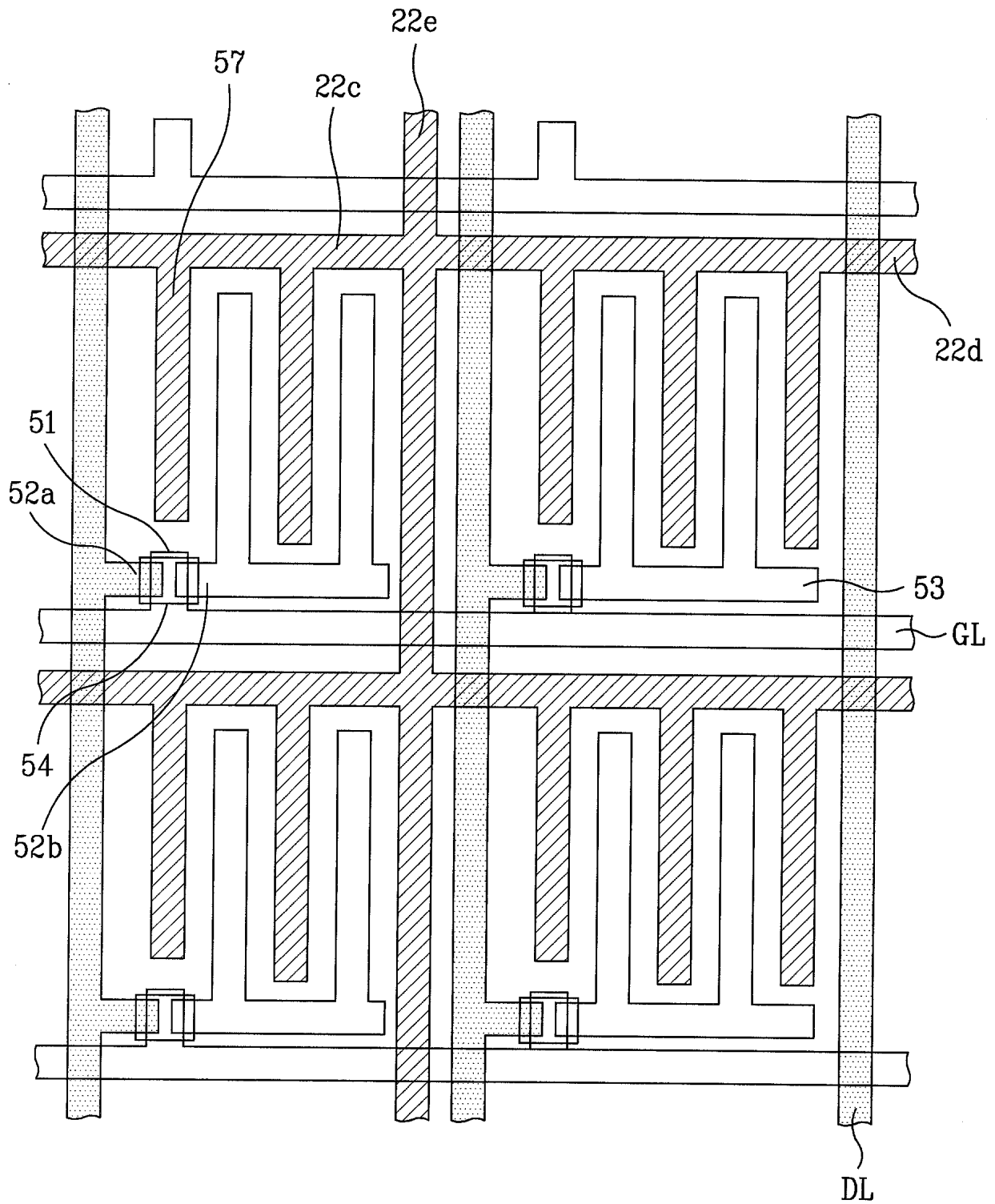
도면4b



도면4c



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070097961A	公开(公告)日	2007-10-05
申请号	KR1020060028978	申请日	2006-03-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUN SEOK		
发明人	KIM, HYUN SEOK		
IPC分类号	G02F1/133		
CPC分类号	G02F1/1343 G02F1/13452 G02F1/136286 G02F2201/121		
代理人(译)	金勇 新昌		
其他公开文献	KR101222967B1		
外部链接	Espacenet		

摘要(译)

本发明涉及根据本发明的液晶显示器和液晶显示器，包括在液晶面板中提供第一和第二公共电压的相应的第一和第二公共电压产生部分，其包括栅极线和数据线，以及公共线用于授权每个像素区域中的公共电压，以便限定像素区域和每个划分区域，液晶面板被分成严格和左侧区域。栅极线和数据线彼此垂直排列。公共电压和公共电压产生部分。

