



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0060298
G02F 1/133 (2006.01) (43) 공개일자 2007년06월13일

(21) 출원번호 10-2005-0119557
(22) 출원일자 2005년12월08일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박재형
경기 용인시 기흥읍 농서리 7-1
문승환
경기 용인시 상현동 현대6차아파트 205동 1504호 (만현마을2단지)
박행원
경기 성남시 분당구 야탑동 장미마을 현대아파트 835동 1006호
이용순
충남 천안시 목천읍 신계리 103-4 신도브래뉴 1차 102동 803호
전병길
경기 안양시 만안구 안양2동 817-15 영화 I-NIX아파트 1101호
이창수
서울 성북구 하월곡4동 월곡두산아파트 304동 1405호

(74) 대리인 권혁수
송윤호
오세준

전체 청구항 수 : 총 11 항

(54) 액정 표시 장치

(57) 요약

액정 패널의 픽셀 구조에 따라 적합한 데이터 신호를 출력하는 타이밍 컨트롤러를 포함한 액정 표시 장치에 관한 것이다. 액정 표시 장치는 액정 패널, 타이밍 컨트롤러, 소스 드라이버, 및 게이트 드라이버를 포함한다. 타이밍 컨트롤러는 화상의 한 수평 라인의 색상 데이터에 해당하는 적색, 녹색, 청색 데이터를 입력받아 순차적으로 출력하되, 클럭 신호와 데이터 활성 신호에 응답하여 색상 데이터 중에서 하나의 색상 데이터를 다수의 출력 라인들을 통해 분할하여 출력한다.

대표도

도 2

특허청구의 범위

청구항 1.

다수의 게이트 라인들과, 상기 게이트 라인들에 교차되어 구성된 다수의 소스 라인들로 구성되어, 화상을 표시하는 액정 패널;

상기 화상의 한 수평 라인의 색상 데이터에 해당하는 적색, 녹색, 청색 데이터를 입력받아 순차적으로 출력하되, 클럭 신호와 데이터 활성화 신호에 응답하여 상기 색상 데이터 중에서 하나의 색상 데이터를 다수의 출력 라인들을 통해 분할하여 출력하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터 출력되는 상기 적색, 녹색, 청색 데이터와 수평 동기 시작 신호에 응답하여 상기 다수의 소스 라인들을 구동하는 소스 드라이버; 및

상기 타이밍 컨트롤러로부터 출력되는 수직 동기 시작 신호에 응답하여 상기 다수의 게이트 라인들을 구동하는 게이트 드라이버를 포함하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 데이터 활성화 신호의 활성화 구간 동안 상기 화상의 한 수평 라인에 해당하는 상기 색상 데이터가 상기 타이밍 컨트롤러로 입력되는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

제어 신호에 응답하여, 상기 적색, 녹색, 청색 데이터를 각각 분리하여 저장하는 저장부;

상기 클럭 신호와 상기 데이터 활성화 신호에 응답하여 상기 화상의 한 수평 라인의 색상 데이터의 수를 카운팅하는 픽셀 카운터; 및

상기 카운팅된 색상 데이터의 수에 응답하여 상기 제어 신호를 발생하며, 상기 저장부에 저장된 상기 색상 데이터 각각이 상기 출력 라인들을 통해 분할되어 출력되도록 제어하는 제어 신호 발생부를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 3 항에 있어서,

상기 저장부는,

상기 화상의 한 수평 라인에 해당하는 상기 적색, 녹색, 청색 데이터를 각각 분리하여 저장하는 제 1 저장부; 및

상기 수평 라인의 다음 수평 라인에 해당하는 상기 적색, 녹색, 청색 데이터를 각각 분리하여 저장하는 제 2 저장부를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 3 항에 있어서,

상기 액정 패널은,

상기 게이트 라인들과 상기 소스 라인들로 둘러싸인 픽셀 영역에 형성되며, 상기 소스 라인의 신장 방향으로 순차적으로 배열되고, 상기 적색, 녹색, 청색 데이터에 대응하는 서브 픽셀들을 갖는 픽셀 어레이를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제 3 항에 있어서,

상기 타이밍 컨트롤러는,

상기 데이터 활성화 신호에 응답하여 상기 화상의 수평 라인 수를 카운팅하는 라인 카운터; 및

상기 카운팅된 색상 데이터의 수와 상기 카운팅된 수평 라인 수에 응답하여 상기 출력 라인들 중 출력 시작 라인을 결정하는 선택부를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 6 항에 있어서,

상기 소스 라인들은, 서로 인접한 소스 라인들로 제공되는 상기 색상 데이터 신호들이 서로 다른 극성을 갖도록 컬럼 인버전 방식으로 구동되는 액정 표시 장치.

청구항 8.

제 7 항에 있어서,

상기 서브 픽셀 중에서 제 1 군은 상기 서브 픽셀의 좌측 인접 소스 라인과 연결되고,

상기 서브 픽셀 중에서 제 2 군은 상기 서브 픽셀의 우측 인접 소스 라인과 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제 8 항에 있어서,

상기 제 1 군의 서브 픽셀들과 상기 제 2 군의 서브 픽셀들은 상기 소스 라인의 신장 방향으로 교대로 배치된 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제 8 항에 있어서,

상기 제 1 군의 서브 픽셀들은 상기 게이트 라인들 중에서 홀수 번째 게이트 라인들에 각각 연결되고,

상기 제 2 군의 서브 픽셀들은 상기 게이트 라인들 중에서 짝수 번째 게이트 라인들에 각각 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제 8 항에 있어서,

상기 제 1 군의 서브 픽셀들과 상기 제 2 군의 서브 픽셀들은 상기 소스 라인의 신장 방향으로 두 개씩 교대로 배치된 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 구체적으로 액정 표시 장치의 타이밍 컨트롤러에 관한 것이다.

액정 표시 장치(Liquid Crystal Display Device)는 일정한 공간을 갖고 합착된 두 개의 기판(유리 기판) 사이에 액정이 주입된 표시장치이다. 액정 표시 장치는 액정에 전계를 인가하고, 이 전계의 세기를 조절함으로써 기판에 투과되는 빛의 양을 조절하는 것이 가능하다. 이러한 제어 방식으로 액정 표시 장치에는 원하는 화상 신호가 표시된다.

스위치 소자로서 박막 트랜지스터(TFT: Thin Film Transistor)를 사용하는 액정 패널(Liquid Crystal Panel)은 박막 트랜지스터들의 게이트와 연결된 다수의 게이트 라인들(Gate Line)과 박막 트랜지스터들의 소스와 연결된 다수의 소스 라인들(Source Line)로 구성된다. 액정 표시 장치는 액정 패널의 게이트 라인들을 구동하기 위한 게이트 온 전압을 인가하는 게이트 드라이버(Gate Driver)와, 액정 패널의 소스 라인들을 구동하기 위한 데이터 신호를 인가하는 소스 드라이버(Source Driver)를 포함한다.

최근 들어, 액정 표시 장치의 제조 시, 게이트 드라이버는 액정 패널이 실장된 유리 기판 상에 집적하고, 소스 드라이버는 별도로 패키징하여 유리 기판과 전기적으로 연결하는 구조를 갖는 추세이다.

액정 패널에서 게이트 라인들과 소스 라인들로 둘러싸인 각 픽셀 어레이(Pixel Array)는 게이트 라인의 신장 방향(액정 패널의 가로 방향)으로 배치된 적색(Red), 녹색(Green), 청색(Blue)의 서브 픽셀들을 포함한다. 소스 드라이버는 서브 픽셀 각각에 인가되는 데이터 신호를 발생하기 위해 다수의 소스 드라이버 IC(Integrated Circuit)들을 포함한다.

소스 드라이버 IC는 비교적 값이 비싸고, 많은 수의 소스 드라이버 IC들은 액정 표시 장치의 주변 회로 면적을 증가시키는 요인이 된다. 따라서, 액정 표시 장치에서 소스 드라이버 IC의 수를 감소시키기 위해, 액정 패널의 적색, 녹색, 청색 서브 픽셀들을 소스 라인의 신장 방향(액정 패널의 세로 방향)으로 배치하는 구조가 고안되었다. 변경된 서브 픽셀 구조에서 액정 표시 장치가 구동하기 위해서는 타이밍 컨트롤러에서 출력되는 데이터 신호도 서브 픽셀 구조에 맞춰 변경되어야 한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 액정 패널의 픽셀 구조에 따라 적합한 데이터 신호를 출력하는 타이밍 컨트롤러를 포함한 액정 표시 장치를 제공하는데 있다.

발명의 구성

본 발명에 따른 액정 표시 장치는 액정 패널, 타이밍 컨트롤러, 소스 드라이버, 그리고 게이트 드라이버를 포함한다. 액정 패널은 다수의 게이트 라인들과, 상기 게이트 라인들에 교차되어 구성된 다수의 소스 라인들로 구성되어 화상을 표시한다.

타이밍 컨트롤러는 상기 화상의 한 수평 라인의 색상 데이터에 해당하는 적색, 녹색, 청색 데이터를 입력받아 순차적으로 출력하되, 클럭 신호와 데이터 활성화 신호에 응답하여 상기 색상 데이터 중에서 하나의 색상 데이터를 다수의 출력 라인들을 통해 분할하여 출력한다. 소스 드라이버는 상기 타이밍 컨트롤러로부터 출력되는 상기 적색, 녹색, 청색 데이터와 수평 동기 신호에 응답하여 상기 다수의 소스 라인들을 구동한다. 게이트 드라이버는 상기 타이밍 컨트롤러로부터 출력되는 수직 동기 신호에 응답하여 상기 다수의 게이트 라인들을 구동한다. 이상과 같이 본 발명의 타이밍 컨트롤러는 액정 패널의 픽셀 구조에 따라 적합한 데이터 신호를 출력하여, 액정 표시 장치가 오류없이 정상적으로 구동되도록 한다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면들을 참조하여 상세히 설명하도록 한다.

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

도 1을 참조하면, 액정 표시 장치(10)는 액정 패널(100), 타이밍 컨트롤러(200), 소스 드라이버(300), 및 게이트 드라이버(400)로 구성된다.

액정 패널(100)은 다수의 게이트 라인들(G1~Gm)과, 게이트 라인들(G1~Gm)에 교차되어 구성된 다수의 소스 라인들(S1~Sn), 및 게이트 라인들(G1~Gm)과 소스 라인들(S1~Sn)에 둘러싸인 픽셀 어레이(P)를 포함한다. 픽셀 어레이(P)는 소스 라인 신장 방향으로 배치된 적색(Red), 녹색(Green), 청색(Blue) 서브 픽셀들을 포함한다. 액정 패널(100)의 제 1 게이트 라인(G1)은 적색 서브 픽셀들(R1~Rn)과 연결되고, 제 2 게이트 라인(G2)은 녹색 서브 픽셀들(G1~Gn)과 연결되고, 그리고 제 3 게이트 라인(G3)은 청색 서브 픽셀들(B1~Bn)과 연결된다.

타이밍 컨트롤러(Timing Controller, 200)는 외부로부터 색상 데이터(Ri, Gi, Bi), 및 색상 데이터의 표시를 제어하기 위한 제어 신호들, 예를 들면, 클럭 신호(CLK), 데이터 활성화 신호(DE), 수직 동기 신호(Vsync), 및 수평 동기 신호(Hsync) 등을 제공한다. 타이밍 컨트롤러(200)는 제어 신호들에 응답하여, 액정 패널(100)의 픽셀 구조에 적합하게 처리된 색상 데이터(O1, O2, O3), 라인 래치 신호(TP), 및 수평 동기 시작 신호(STH)를 소스 드라이버(300)로 제공한다. 또한, 타이밍 컨트롤러(200)는 제어 신호들에 응답하여, 출력 인에이블 신호(OE)와 수직 동기 시작 신호(STV)를 게이트 드라이버(400)로 제공한다.

소스 드라이버(Source Driver, 혹은 데이터 드라이버(Data Driver), 300)는 복수의 소스 드라이버 IC들로 구성된다. 소스 드라이버(300)는 타이밍 컨트롤러(200)로부터 제공되는 색상 데이터(O1, O2, O3) 및 제어 신호들(TP, STH)에 응답하여, 소스 라인들(S1~Sn)을 구동하기 위한 소스 라인 구동 신호를 출력한다.

게이트 드라이버(Gate Driver, 400)는 복수의 게이트 드라이버 IC들로 구성된다. 게이트 드라이버(400)는 타이밍 컨트롤러(200)로부터 제공되는 제어 신호들(OE, STV)에 응답하여, 게이트 라인들(G1~Gm)을 구동하기 위한 게이트 라인 구동 신호를 출력한다.

도 2는 도 1에 도시된 타이밍 컨트롤러의 일 실시예를 보여주는 블록도이다.

도 2를 참조하면, 타이밍 컨트롤러(200)는 메모리 컨트롤러(210)와, 메모리(220)로 구성된다.

메모리 컨트롤러(210)는 외부로부터 제공되는 클럭 신호(CLK)와, 데이터 활성화 신호(DE)에 응답하여, 메모리(220)를 제어하는 신호들을 출력한다. 메모리 컨트롤러(210)는 픽셀 카운터(211)와, 제어 신호 발생부(212)로 구성된다.

픽셀 카운터(211)는 외부로부터 입력되는 한 수평 라인의 색상 데이터(Ri, Gi, Bi) 수를 카운팅한다. 픽셀 카운터(211)에서 카운팅된 한 수평 라인의 색상 데이터 수는 액정 패널(100)에 표시되는 한 수평 라인의 서브 픽셀 수와 동일하다.

제어 신호 발생부(212)는 픽셀 카운터(211)에서 카운팅된 한 수평 라인의 색상 데이터 수에 응답하여, 메모리(220)의 읽기(Read) 및 쓰기(Write) 동작을 제어하는 제어 신호들(WRADDR, WREN, RDADDR, RDEN)을 출력한다.

메모리(220)는 메모리 컨트롤러(210)로부터 입력되는 제어 신호들(WRADDR, WREN, RDADDR, RDEN)에 응답하여, 외부로부터 제공되는 색상 데이터(Ri, Gi, Bi)를 저장하거나, 저장한 색상 데이터(Ri, Gi, Bi)를 출력한다. 메모리(220)는 외부로부터 입력되는 화상의 한 수평 라인에 해당하는 적색, 녹색, 청색 데이터를 각각 분리하여 저장하는 제 1 저장부(221)와,

제 1 저장부(221)에 저장된 한 수평 라인 데이터의 다음 수평 라인에 해당하는 적색, 녹색, 청색 데이터를 각각 분리하여 저장하는 제 2 저장부(222)로 구성된다. 제 1 저장부(221)는 화상의 홀수 번째 수평 라인에 해당하는 색상 데이터(Ri, Gi, Bi)가 저장되고, 제 2 저장부(222)는 화상의 짝수 번째 수평 라인에 해당하는 색상 데이터(Ri, Gi, Bi)가 저장된다.

제 1 저장부(221)는 외부로부터 입력되는 홀수 번째 한 수평 라인의 색상 데이터(Ri, Gi, Bi) 중에서 적색 데이터(Ri)가 저장되는 제 1 적색 저장부(221a), 녹색 데이터(Gi)가 저장되는 제 1 녹색 저장부(221b), 및 청색 데이터(Bi)가 저장되는 제 1 청색 저장부(221c)로 구성된다.

제 2 저장부(222)는 짝수 번째 수평 라인에 해당하는 색상 데이터(Ri, Gi, Bi) 중에서 적색 데이터(Ri)가 저장되는 제 2 적색 저장부(222a), 녹색 데이터(Gi)가 저장되는 제 2 녹색 저장부(222b), 및 청색 데이터(Bi)가 저장되는 제 2 청색 저장부(222c)로 구성된다.

메모리(220)는 외부로부터 입력되는 화상의 한 수평 라인에 해당하는 적색, 녹색, 청색 데이터를 각각 분리하여 저장하고, 메모리 컨트롤러(210)의 제어에 따라, 하나의 색상 데이터는 출력 라인들(OL1, OL2, OL3)을 통해 분할되어, 소스 드라이버(300)로 입력된다. 예를 들어, 제 1 적색 저장부(221a)에 저장된 적색 데이터(Ri)는 출력 라인들(OL1, OL2, OL3)을 통해 분할되어 소스 드라이버(300)로 입력된다. 제 1 녹색 저장부(221b)에 저장된 녹색 데이터(Gi)와 제 1 청색 저장부(221c)에 저장된 청색 데이터(Bi)도 출력 라인들(OL1, OL2, OL3)을 통해 분할되어 순차적으로 전송된다. 출력 라인들(OL1, OL2, OL3) 각각은 하나의 색상 데이터만을 전송하는 것이 아니라, 적색, 녹색, 청색 데이터(Ri, Gi, Bi) 모두를 순차적으로 전송한다.

도 3A와 도 3B는 도 2에 도시된 각 신호의 구체적인 타이밍도이다.

도 3A에 있어서, 데이터 활성화 신호(DE)는 화상의 한 수평 라인(1H) 동안 활성화되어, 타이밍 컨트롤러(200)로 한 수평 라인(1H)에 해당하는 적색, 녹색, 청색 데이터(Ri, Gi, Bi)가 입력되도록 하는 기준 신호가 된다.

클럭 신호(CLK)는 타이밍 컨트롤러(200)로 입력되는 적색, 녹색, 청색 데이터(Ri, Gi, Bi)의 동기 신호가 된다.

타이밍 컨트롤러(200)로 입력되는 적색, 녹색, 청색 데이터(Ri, Gi, Bi)는 각각의 입력 라인들을 통해 동시에 전송된다. 즉, 클럭 신호(CLK)의 한 주기 동안, 각 입력 라인들을 통해 하나의 적색 데이터(R1)와, 녹색 데이터(G1), 및 청색 데이터(B1)가 동시에 타이밍 컨트롤러(200)로 입력된다. 색상 데이터(Ri, Gi, Bi)가 입력되는 각 입력 라인들은 하나의 색상 데이터(Ri, Gi, Bi)만을 전송한다. 예를 들어, 하나의 입력 라인은 화상의 한 수평 라인(1H)에 해당하는 적색 데이터(R1~Rn)만을 전송한다.

데이터 저장 제어 신호들(WRADDR, WREN)은 데이터 활성화 신호(DE)와 클럭 신호(CLK)에 응답하여, 제어 신호 발생부(212)에서 출력된다. 데이터 저장 제어 신호들(WRADDR, WREN)은 외부로부터 입력된 적색, 녹색, 청색 데이터(Ri, Gi, Bi)를 메모리(220)에 각각 분리하여 저장하도록 제어한다. 제 1 저장 인에이블 신호들(WREN_ODD1, WREN_ODD2, WREN_ODD3)은 화상의 홀수 번째 한 수평 라인에 해당하는 적색, 녹색, 청색 데이터(Ri, Gi, Bi) 각각이 제 1 저장부(221)에 분리되어 저장되도록 제어한다. 제 2 저장 인에이블 신호들(WREN_EVEN1, WREN_EVEN2, WREN_EVEN3)은 화상의 짝수 번째 한 수평 라인에 해당하는 적색, 녹색, 청색 데이터(Ri, Gi, Bi) 각각이 제 2 저장부(222)에 분리되어 저장되도록 제어한다.

도 3B에 있어서, 데이터 출력 제어 신호들(RDADDR, RDEN)은 데이터 활성화 신호(DE)와 클럭 신호(CLK), 및 데이터 저장 제어 신호들(WRADDR, WREN)에 응답하여, 제어 신호 발생부(212)에서 출력된다. 데이터 출력 제어 신호들(RDADDR, RDEN)은 메모리(220)에 각각 분리되어 저장된 적색, 녹색, 청색 데이터(Ri, Gi, Bi)를 출력 라인들(OL1, OL2, OL3)을 통해 출력하도록 제어한다. 제 1 출력 인에이블 신호(RDEN_ODD)는 메모리(220)의 제 1 저장부(221)에 저장된 적색, 녹색, 청색 데이터(Ri, Gi, Bi)의 출력을 제어하고, 제 2 출력 인에이블 신호(RDEN_EVEN)는 제 2 저장부(222)에 저장된 적색, 녹색, 청색 데이터(Ri, Gi, Bi)의 출력을 제어한다.

제 1 및 제 2 출력 인에이블 신호들(RDEN_ODD, RDEN_EVEN)은 세 개의 활성화 구간이 한 쌍을 이루어, 메모리(220)에 저장된 적색, 녹색, 청색 데이터(Ri, Gi, Bi)를 각각 출력한다. 예를 들어, 제 1 출력 인에이블 신호(RDEN_ODD)의 첫 번째 활성화 구간 동안(G_{3m+1}), 제 1 적색 저장부(221a)에 저장된 적색 데이터(R1~Rn)가 출력 라인들(OL1, OL2, OL3)에 분리되어 전송된다. 그리고 제 1 출력 인에이블 신호(RDEN_ODD)의 두 번째 활성화 구간 동안(G_{3m+2}), 제 1 녹색 저장부(221b)에 저장된 녹색 데이터(G1~Gn)가 출력 라인들(OL1, OL2, OL3)에 분리되어 전송된다. 이어서, 제 1 출력 인에이

블 신호(RDEN_ODD)의 세 번째 활성화 구간 동안(G_{3m+3}), 제 1 청색 저장부(221c)에 저장된 청색 데이터($B1 \sim Bn$)가 출력 라인들(OL1, OL2, OL3)에 분리되어 전송된다. 도 3의 출력 신호들(O1, O2, O3)은 출력 라인들(OL1, OL2, OL3)을 통해 전송되는 데이터 신호들을 나타낸다.

따라서, 각각의 입력 라인들을 통해 동시에 전송된 적색, 녹색, 청색 데이터(R_i, G_i, B_i)는 타이밍 컨트롤러(200)에서 액정 패널(100)의 픽셀 구조에 적합하게 변형되어, 출력 라인들(OL1, OL2, OL3)을 통해 소스 드라이버(300)로 전송된다.

도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 4에 있어서, 액정 표시 장치(20)는 서로 인접한 소스 라인들($S1 \sim Sn$)로 제공되는 소스 라인 구동 신호가 서로 반대의 극성(+, -)을 가지는 경우를 나타낸다.

도 4의 액정 패널(110)의 픽셀 어레이(P)는 소스 라인 신장 방향으로 배치된 적색, 녹색, 청색 서브 픽셀들을 포함한다. 액정 패널(110)의 제 1 게이트 라인($G1$)은 적색 서브 픽셀들($R1 \sim Rn$)과 연결되고, 제 2 게이트 라인($G2$)은 녹색 서브 픽셀들($G1 \sim Gn$)과 연결되고, 그리고 제 3 게이트 라인($G3$)은 청색 서브 픽셀들($B1 \sim Bn$)과 연결된다. 홀수 번째 게이트 라인들($G1, G3, G5, \dots$)과 연결되는 서브 픽셀들은 좌측 인접 소스 라인들과 연결되고, 짝수 번째 게이트 라인들($G2, G4, G6, \dots$)과 연결되는 서브 픽셀들은 우측 인접 소스 라인들과 연결된다. 즉, 서브 픽셀들이 행 단위로 좌측 및 우측 인접 소스 라인들과 지그재그로 연결된 구조를 갖는다.

이상과 같은 서브 픽셀들과 소스 라인들($S1 \sim Sn$)의 연결에 의하면, 소스 드라이버(300)에 의해 소스 라인들($S1 \sim Sn$)이 컬럼 인버전(Column Inversion) 방식으로 구동하더라도, 실제로 액정 패널(110)에 나타나는 화면은 도트 인버전(Dot Inversion) 방식과 같다. 즉, 인접한 서브 픽셀들로 제공되는 계조 전압들이 서로 상보적인 극성을 갖는다.

따라서, 도 4의 액정 패널(110)과 같은 서브 픽셀 구조에서 액정 표시 장치(20)가 구동하기 위해서는 타이밍 컨트롤러(500)에서 출력되는 색상 데이터도 서브 픽셀 구조에 맞춰 변경되어야 한다.

도 5는 도 4에 도시된 타이밍 컨트롤러의 일 실시예를 보여주는 블록도이다.

도 5의 타이밍 컨트롤러(500)는 도 2의 타이밍 컨트롤러(200)의 변형된 형태이다. 도 5의 타이밍 컨트롤러(500)는 픽셀 매핑부(510)와, 라인 매핑부(520)로 구성된다.

픽셀 매핑부(510)는 메모리 컨트롤러(520)와, 메모리(530)를 포함한다.

메모리 컨트롤러(520)는 외부로부터 제공되는 클럭 신호(CLK)와, 데이터 활성화 신호(DE)에 응답하여, 메모리(530)를 제어하는 신호들을 출력한다. 메모리 컨트롤러(520)는 픽셀 카운터(521)와, 라인 카운터(522), 및 제어 신호 발생부(523)로 구성된다.

픽셀 카운터(521)는 외부로부터 입력되는 한 수평 라인의 색상 데이터(R_i, G_i, B_i) 수를 카운팅하고, 라인 카운터(522)는 외부로부터 입력되는 화상의 수평 라인 수를 카운팅한다.

제어 신호 발생부(523)는 픽셀 카운터(521)에서 카운팅된 한 수평 라인의 색상 데이터 수와 라인 카운터(522)에서 카운팅된 수평 라인 수에 응답하여, 메모리(530)의 읽기 및 쓰기 동작을 제어하는 제어 신호들(WRADDR, WREN, RDADDR, RDEN)을 출력한다.

메모리(530)는 메모리 컨트롤러(520)로부터 입력되는 제어 신호들(WRADDR, WREN, RDADDR, RDEN)에 응답하여, 외부로부터 제공되는 색상 데이터(R_i, G_i, B_i)를 저장하거나, 저장한 색상 데이터(R_i, G_i, B_i)를 출력한다. 메모리(530)는 외부로부터 입력되는 화상의 한 수평 라인에 해당하는 적색, 녹색, 청색 데이터를 각각 분리하여 저장하는 제 1 저장부(531)와, 제 1 저장부(531)에 저장된 한 수평 라인 데이터의 다음 수평 라인에 해당하는 적색, 녹색, 청색 데이터를 각각 분리하여 저장하는 제 2 저장부(532)로 구성된다. 제 1 및 제 2 저장부(531, 532)는 도 2의 제 1 및 제 2 저장부(221, 222)와 대응되며, 동일한 기능을 수행한다.

라인 매핑부(540)는 메모리(530)에 저장된 색상 데이터를 출력 라인들(OL1, OL2, OL3)을 통해 전송할 때, 각 색상 데이터의 출력 시작 라인을 결정한다. 라인 매핑부(540)는 픽셀 카운터(541), 라인 카운터(542), 데이터 쉬프터(543), 및 데이

터 선택부(544)를 포함한다. 데이터 선택부(544)는 픽셀 카운터(541)에서 카운팅된 한 수평 라인의 색상 데이터 수와 라인 카운터(542)에서 카운팅된 수평 라인 수에 응답하여, 메모리(530)에서 출력된 색상 데이터의 위치를 데이터 쉬프트(543)를 통하여 이동시켜, 출력 라인들(OL1, OL2, OL3) 중 하나를 선택하여 색상 데이터를 출력한다.

도 6A와 도 6B는 도 5의 타이밍 컨트롤러에서 출력 라인들을 통해 전송되는 데이터 신호를 나타낸 것으로, 도 4의 액정 패널과 같은 서브 픽셀 구조에 적합한 신호의 형태이다.

도 6A는 액정 패널(110)의 행 방향으로 홀수 번째 픽셀 어레이(P1X, P3X, ...)로 제공되는 출력 데이터 신호(O1, O2, O3)를 나타낸다. 적색 서브 픽셀(R1~Rn)에 인가되는 신호는 제 1 출력 라인(OL1)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다. 이어서, 녹색 서브 픽셀(G1~Gn)에 인가되는 신호는 제 2 출력 라인(OL2)을 시작으로, 청색 서브 픽셀(B1~Bn)에 인가되는 신호는 다시 제 1 출력 라인(OL1)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다.

도 6B는 액정 패널(110)의 행 방향으로 짝수 번째 픽셀 어레이(P2X, P4X, ...)로 제공되는 출력 데이터 신호(O1, O2, O3)를 나타낸다. 적색 서브 픽셀(R1~Rn)에 인가되는 신호는 제 2 출력 라인(OL2)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다. 이어서, 녹색 서브 픽셀(G1~Gn)에 인가되는 신호는 제 1 출력 라인(OL1)을 시작으로, 청색 서브 픽셀(B1~Bn)에 인가되는 신호는 다시 제 2 출력 라인(OL2)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다.

도 7은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 7에 있어서, 액정 패널(120)의 픽셀 어레이(P)는 소스 라인 신장 방향으로 배치된 적색, 녹색, 청색 서브 픽셀들을 포함한다. 액정 패널(120)의 제 1 게이트 라인(G1)은 적색 서브 픽셀들(R1~Rn)과 연결되고, 제 2 게이트 라인(G2)은 녹색 서브 픽셀들(G1~Gn)과 연결되고, 그리고 제 3 게이트 라인(G3)은 청색 서브 픽셀들(B1~Bn)과 연결된다. 서브 픽셀들의 일군과 타군은 소스 라인의 신장 방향으로 두 개씩 교대로 배열되고, 서브 픽셀들의 일군은 좌측 인접 소스 라인들과 연결되고, 서브 픽셀들의 타군은 우측 인접 소스 라인들과 연결된다. 예를 들어, 제 1 및 제 2 게이트 라인들(G1, G2)과 연결된 서브 픽셀들은 각각 좌측 소스 라인들과 연결되고, 제 3 및 제 4 게이트 라인들(G3, G4)과 연결된 서브 픽셀들은 각각 우측 소스 라인들과 연결된다. 즉 서브 픽셀들이 두 개씩 교대로 극성이 반전되는 구조를 갖는다.

도 7의 타이밍 컨트롤러(500)는 액정 패널(120)과 같은 서브 픽셀 구조에서 액정 표시 장치(30)가 구동하기 적합한 색상 데이터를 출력한다. 도 7의 타이밍 컨트롤러(500)는 도 5의 타이밍 컨트롤러(500)와 동일하므로, 구체적인 설명은 생략한다.

도 8A, 도 8B, 도 8C, 및 도 8D는 타이밍 컨트롤러에서 출력 라인들을 통해 전송되는 데이터 신호를 나타낸 것으로, 도 7의 액정 패널과 같은 서브 픽셀 구조에 적합한 신호의 형태이다.

도 8A는 제 1 군의 게이트 라인들(G1, G2, G3, G13, G14, G15,...)과 대응되는 픽셀 어레이(P)로 제공되는 출력 데이터 신호(O1, O2, O3)를 나타낸다. 적색 서브 픽셀(R1~Rn)에 인가되는 신호는 제 1 출력 라인(OL1)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다. 이어서, 녹색 서브 픽셀(G1~Gn)에 인가되는 신호는 제 1 출력 라인(OL1)을 시작으로, 청색 서브 픽셀(B1~Bn)에 인가되는 신호는 제 2 출력 라인(OL2)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다.

도 8B는 제 2 군의 게이트 라인들(G4, G5, G6, G16, G17, G18,...)과 대응되는 픽셀 어레이(P)로 제공되는 출력 데이터 신호(O1, O2, O3)를 나타낸다. 적색 서브 픽셀(R1~Rn)에 인가되는 신호는 제 2 출력 라인(OL2)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다. 이어서, 녹색 서브 픽셀(G1~Gn)에 인가되는 신호는 제 1 출력 라인(OL1)을 시작으로, 청색 서브 픽셀(B1~Bn)에 인가되는 신호는 제 1 출력 라인(OL1)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다.

도 8C는 제 3 군의 게이트 라인들(G7, G8, G9, G19, G20, G21,...)과 대응되는 픽셀 어레이(P)로 제공되는 출력 데이터 신호(O1, O2, O3)를 나타낸다. 적색 서브 픽셀(R1~Rn)에 인가되는 신호는 제 2 출력 라인(OL2)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다. 이어서, 녹색 서브 픽셀(G1~Gn)에 인가되는 신호는 제 2 출력 라인(OL2)을 시작으로, 청색 서브 픽셀(B1~Bn)에 인가되는 신호는 제 1 출력 라인(OL1)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다.

도 8D는 제 4 군의 게이트 라인들(G10, G11, G12, G22, G23, G24,...)과 대응되는 픽셀 어레이(P)로 제공되는 출력 데이터 신호(O1, O2, O3)를 나타낸다. 적색 서브 픽셀(R1~Rn)에 인가되는 신호는 제 1 출력 라인(OL1)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다. 이어서, 녹색 서브 픽셀(G1~Gn)에 인가되는 신호는 제 2 출력 라인(OL2)을 시작으로, 청색 서브 픽셀(B1~Bn)에 인가되는 신호는 제 2 출력 라인(OL2)을 시작으로 세 개의 출력 라인들(OL1, OL2, OL3)에 분할되어 출력된다.

이상과 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

이상과 같은 본 발명에 의하면, 화상의 한 수평 라인의 색상 데이터에 해당하는 적색, 녹색, 청색 데이터를 입력받아 순차적으로 출력하되, 클럭 신호와 데이터 활성 신호에 응답하여 색상 데이터 중에서 하나의 색상 데이터를 다수의 출력 라인들을 통해 분할하여 출력하는 타이밍 컨트롤러를 제공한다. 따라서, 액정 패널의 픽셀 구조에 따라 적합한 데이터 신호를 출력하여 액정 표시 장치가 오류없이 정상적으로 구동될 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 도 1에 도시된 타이밍 컨트롤러의 일 실시예를 보여주는 블록도이다.

도 3A와 도 3B는 도 2에 도시된 각 신호의 구체적인 타이밍도이다.

도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 5는 도 4에 도시된 타이밍 컨트롤러의 일 실시예를 보여주는 블록도이다.

도 6A와 도 6B는 도 5의 타이밍 컨트롤러에서 출력 라인들을 통해 전송되는 데이터 신호를 나타낸 것으로, 도 4의 액정 패널과 같은 서브 픽셀 구조에 적합한 신호의 형태이다.

도 7은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 8A, 도 8B, 도 8C, 및 도 8D는 타이밍 컨트롤러에서 출력 라인들을 통해 전송되는 데이터 신호를 나타낸 것으로, 도 7의 액정 패널과 같은 서브 픽셀 구조에 적합한 신호의 형태이다.

* 도면의 주요 부분에 대한 부호의 설명 *

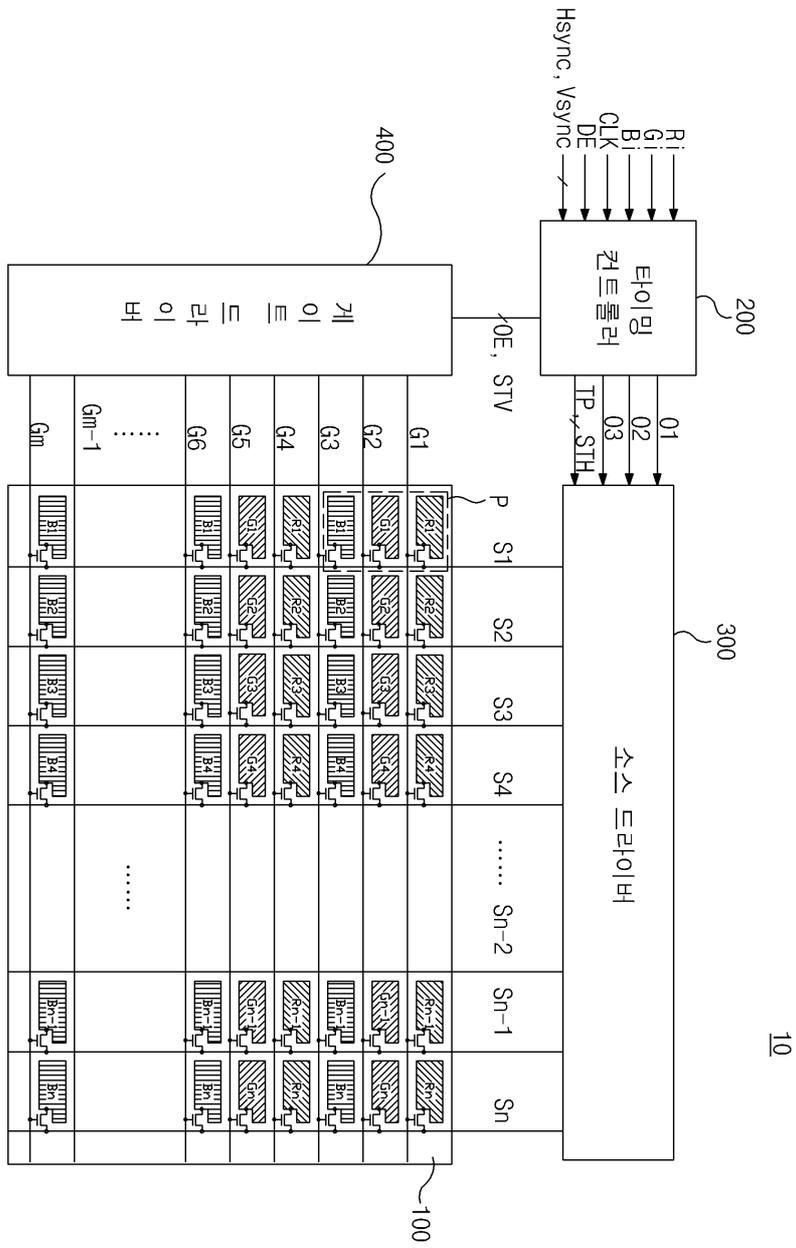
10, 20, 30: 액정 표시 장치 100, 110, 120: 액정 패널

200, 500: 타이밍 컨트롤러 300: 소스 드라이버

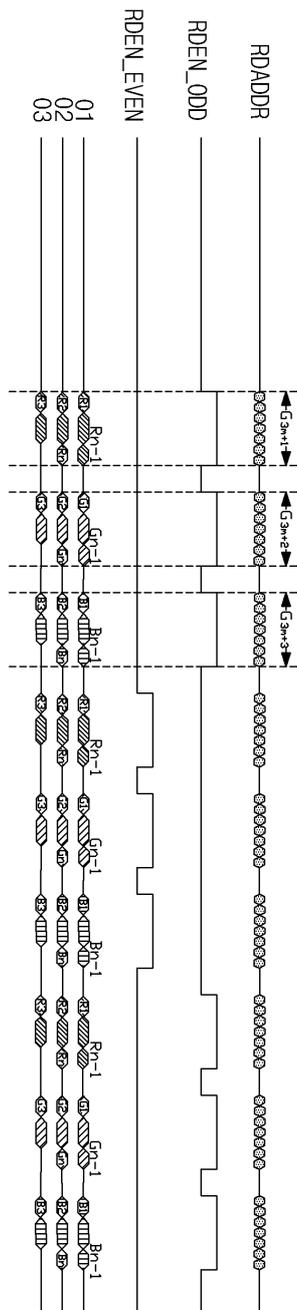
400: 게이트 드라이버

도면

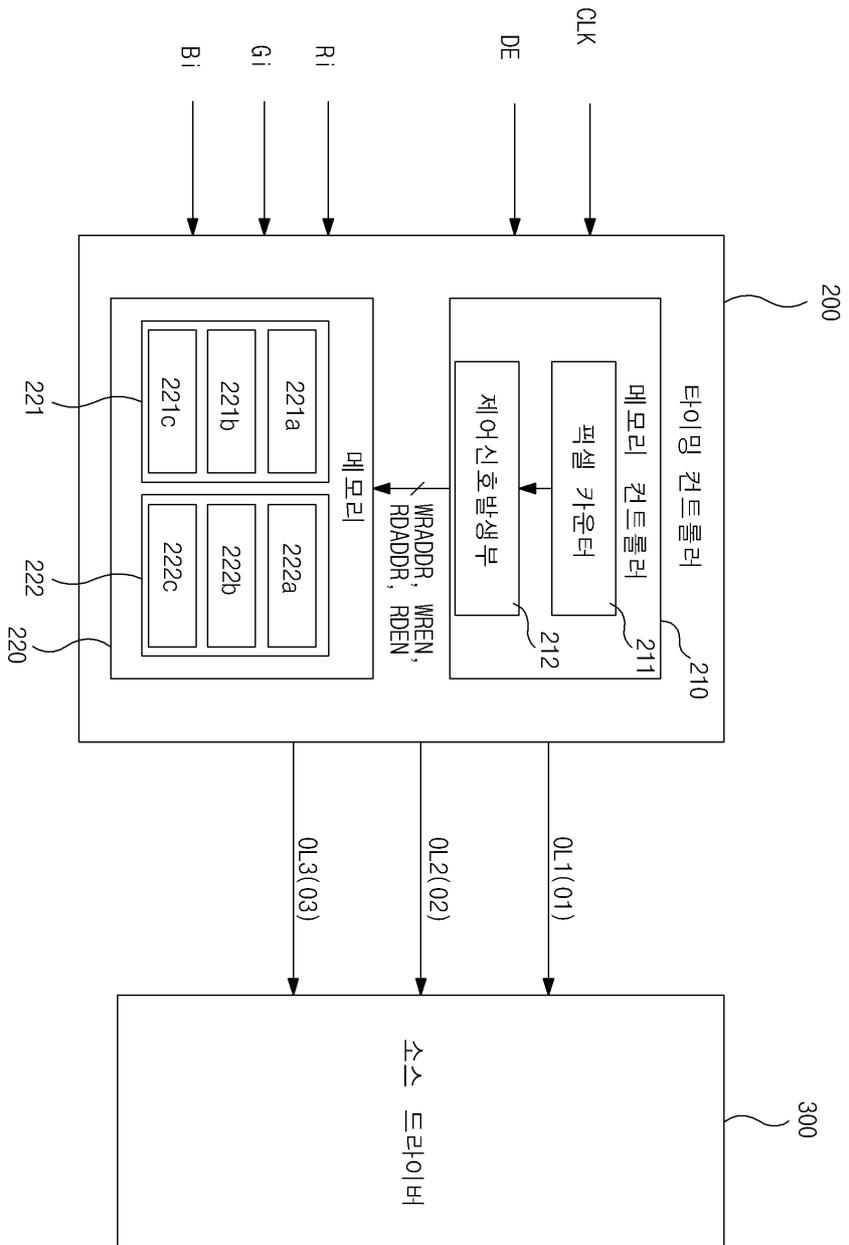
도면1



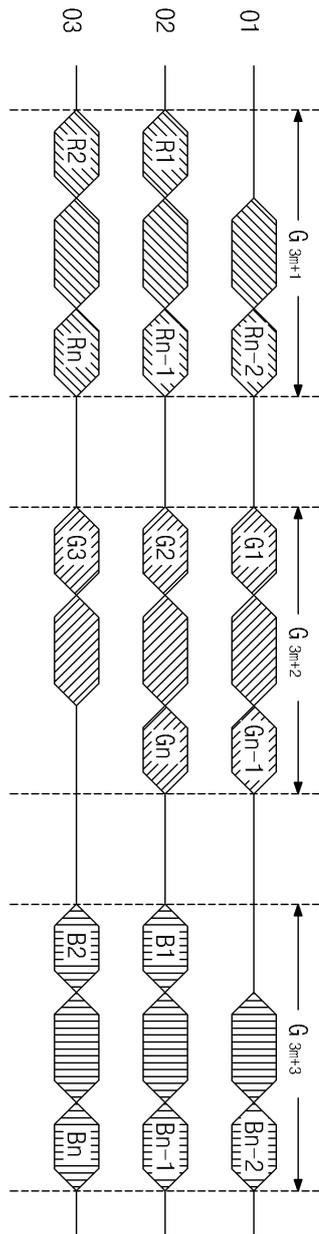
도면2



도면3a

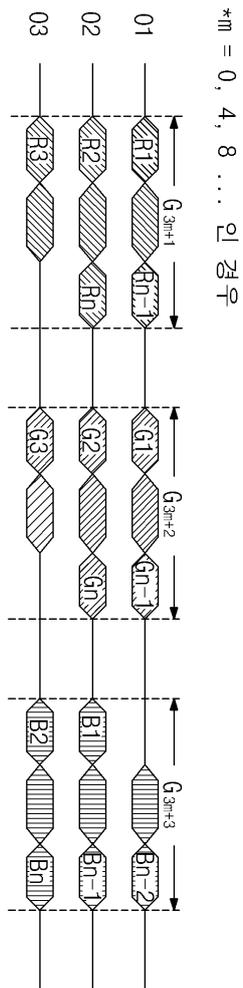


도면3b

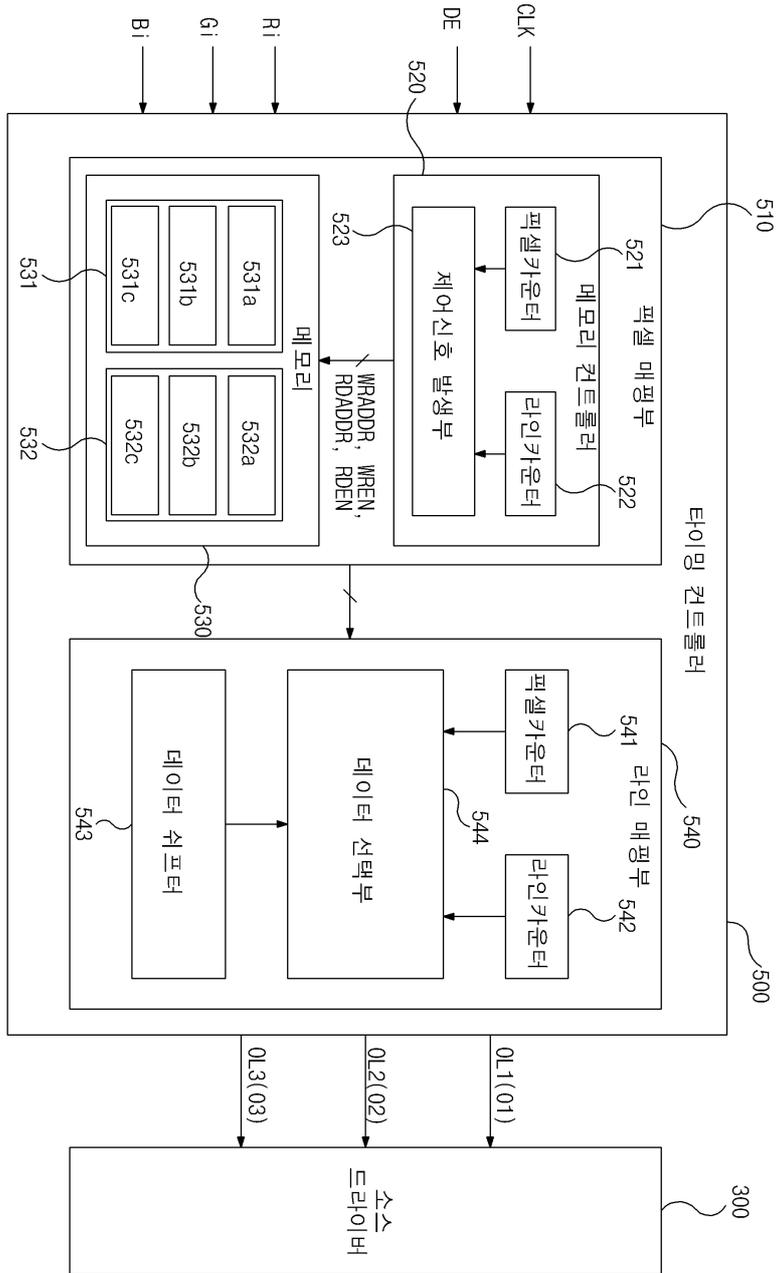


*m = 1, 3, 5...인 경우

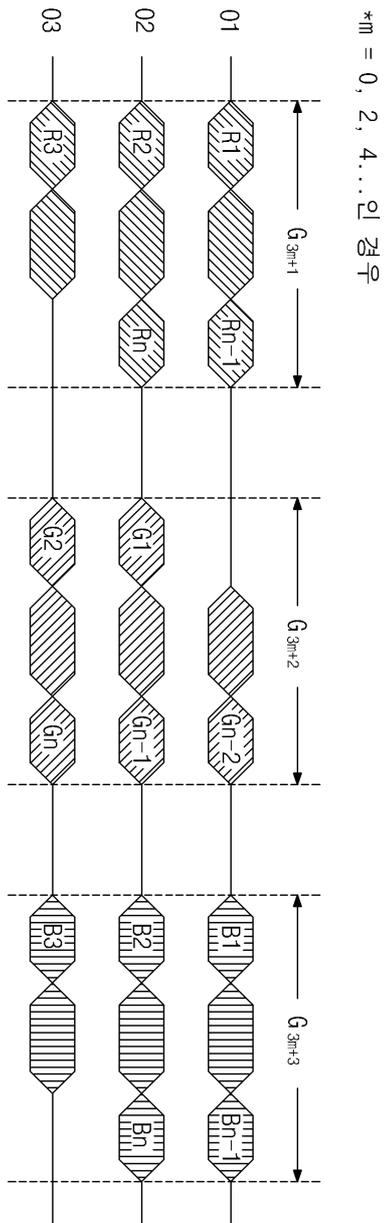
도면4



도면5

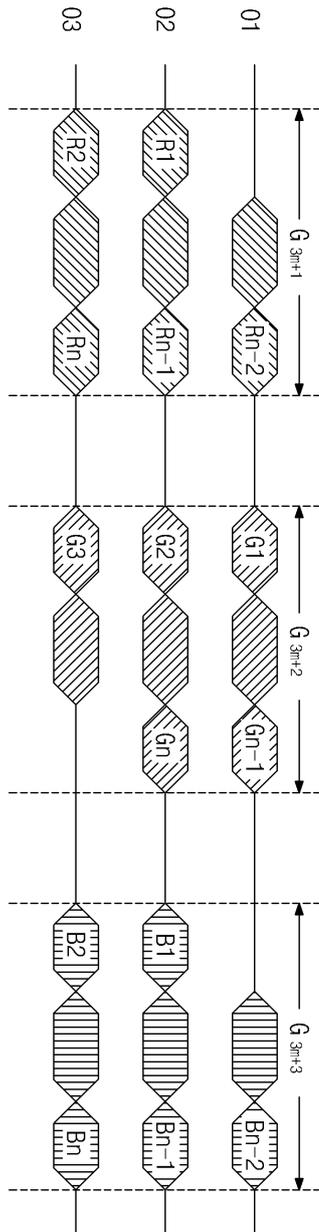


도면6a

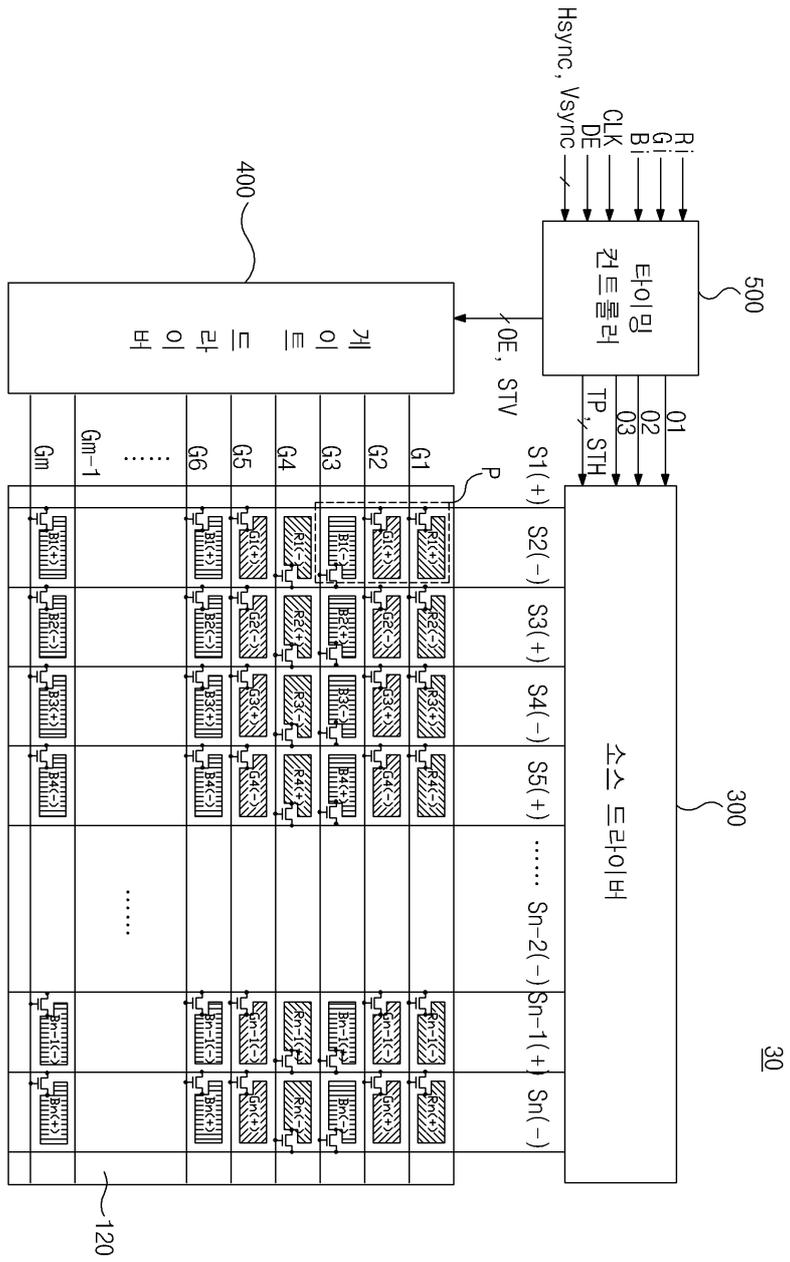


도면6b

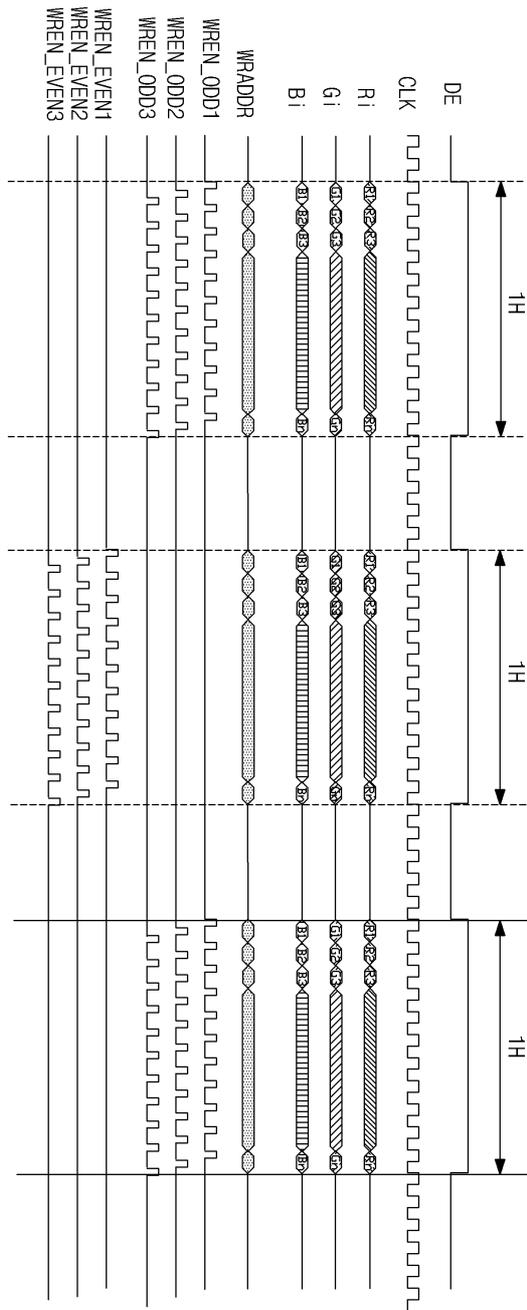
* $m = 1, 3, 5, \dots$ 인 경우



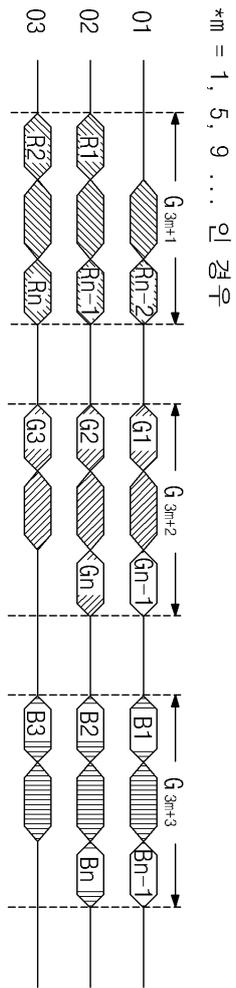
도면7



도면8a

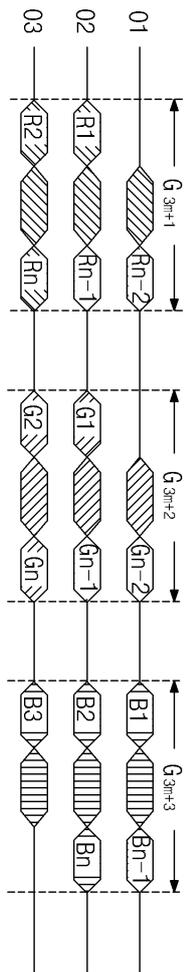


도면8b

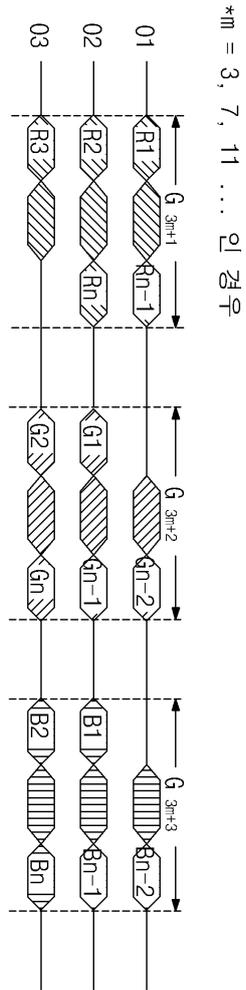


도면8c

* $m = 2, 6, 10 \dots$ 인 경우



도면8d



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070060298A	公开(公告)日	2007-06-13
申请号	KR1020050119557	申请日	2005-12-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK JAE HYOUNG 박재형 MOON SEUNG HWAN 문승환 PARK HAENG WON 박행원 LEE YONG SOON 이용순 JEON BYUNG KIL 전병길 LEE CHANG SOO 이창수		
发明人	박재형 문승환 박행원 이용순 전병길 이창수		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G09G3/3406 G09G2310/08 H05B47/10		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

它是关于包括定时控制器的液晶显示器，其根据液晶面板的像素结构输出合适的数据信号。液晶显示器包括液晶面板，时序控制器和源极驱动器，以及栅极驱动器。红色，其中时序控制器处于图像绿色的一条水平线的颜色数据下，并且输入蓝色数据和蓝色数据输出。响应于颜色数据中的时钟信号和数据有效信号，通过多个输出线和蓝色数据输出分割一种颜色数据。

