

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0021595
G02F 1/136 (2006.01) (43) 공개일자 2006년03월08일

(21) 출원번호 10-2004-0070388

(22) 출원일자 2004년09월03일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 변재성
경기 수원시 영통구 영통동 957-6번지 벽산APT 336동 504호
강호민
경기 수원시 팔달구 우만2동 600번지 월드베르디앙APT 106동 2503호
이인성
서울특별시 서초구 방배4동 878-24
민훈기
서울특별시 도봉구 쌍문4동 금호2차아파트 206-507
홍성수
서울특별시 양천구 신월7동 954-14 산장빌라 1호
안기완
경기도 고양시 덕양구 화정동 은빛마을 608-304

(74) 대리인 박영우

심사청구 : 없음

(54) 표시 장치용 기관, 액정 표시 장치 및 그 제조방법

요약

표시 장치용 기관은 플레이트, 스위칭 소자, 데이터 라인, 절연막 및 화소 전극을 포함한다. 상기 스위칭 소자는 상기 플레이트 상에 배치된다. 상기 데이터 라인은 상기 플레이트 상에 배치되어 상기 스위칭 소자의 제1 전극에 연결된다. 상기 절연막은 상기 스위칭 소자 및 상기 데이터 라인이 형성된 플레이트 상에 배치되고, 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함한다. 상기 화소 전극은 상기 절연막 상에 배치되어 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결된다. 따라서, 액정 표시 장치의 화질이 향상되고, 제조비용이 감소한다.

대표도

도 18

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 2는 상기 도 1의 I-I'라인의 단면도이다.

도 3 내지 도 12는 상기 도 1에 도시된 액정 표시 장치의 제조방법을 나타내는 단면도들이다.

도 13은 본 발명의 제2 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 14는 상기 도 13의 II-II'라인의 단면도이다.

도 15는 본 발명의 제3 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 16은 상기 도 15의 III-III'라인의 단면도이다.

도 17은 본 발명의 제4 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 18은 상기 도 17의 IV-IV'라인의 단면도이다.

도 19 내지 도 26은 상기 도 17에 도시된 액정 표시 장치의 제조방법을 나타내는 단면도들이다.

도 27은 본 발명의 제5 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 28은 상기 도 27의 V-V'라인의 단면도이다.

도 29는 본 발명의 제6 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 30은 상기 도 29의 VI-VI'라인의 단면도이다.

도 31은 본 발명의 제7 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 32는 상기 도 31의 VII-VII'라인의 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100,200,300,400:상부 플레이트 102,202,302,402:블랙 매트릭스

104,204,304,404:컬러 필터 106,206,306,406:공통 전극

108,208,308,408:액정층 112,212,312,412:화소 전극

116,216,316,416:패시베이션막 117,217,317,417:액티브 패턴

118a, 218a, 318a, 418a : 소오스 전극

118a', 218a', 318a', 418a' : 소오스 라인

118b, 218b, 318b, 418b : 게이트 전극

118b', 218b', 318b', 418b' : 게이트 라인

118c, 218c, 318c, 418c : 드레인 전극

119,219,319,419:박막 트랜지스터 120,220,320,420:하부 플레이트

122 ,222, 322, 422 : 스토리지 캐패시터 라인

123, 223, 323, 423 : 스토리지 캐패시터

126, 226, 326, 426 : 게이트 절연막 117', 417a' : 액티브층

117'', 417a'' : 원시 액티브층 118a'', 418a'' : 원시 데이터 라인

118c'', 418c'' : 원시 소오스/드레인 전극

118c''' : 크롬층 418c''' : 폴리브덴층

131, 431 : 포토레지스트 패턴 135, 435 : 패시베이션막용 마스크

136, 436a, 436b : 레티클 437a, 437b : 그루부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치용 기판, 액정 표시 장치 및 그 제조방법에 관한 것으로 보다 상세하게는 화질이 향상된 표시 장치용 기판, 화질이 향상된 액정 표시 장치 및 그 제조방법에 관한 것이다.

액정 표시 장치(Liquid Crystal Display, LCD)는 박막 트랜지스터가 형성된 어레이 기판(Array Substrate) 및 대향 기판(Counter Substrate) 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전기장(Electric Field)을 인가하고, 이 전기장의 세기를 조절하여 기판에 투과되는 광의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다.

상기 어레이 기판은 복수의 박막 증착 공정(Thin Film Deposition Process), 복수의 사진 공정(Photo Process), 복수의 식각 공정(Lithography Process) 등을 포함한다.

일반적인 금속 라인을 플레이트 상에 형성하는 경우, 먼저 상기 플레이트 상에 금속을 증착하여 금속 박막을 형성한다. 이어, 상기 금속 박막 상에 포토레지스트를 도포한다. 이후에, 마스크를 통하여 상기 포토레지스트 상에 자외선을 조사한다. 계속해서, 상기 자외선이 조사된 포토레지스트를 현상하여 상기 금속 박막 상에 포토레지스트 패턴을 형성한다. 이어, 상기 포토레지스트 패턴이 형성된 상기 금속 박막을 식각하여 금속 라인을 형성한다. 마지막으로, 상기 금속 라인 상에 배치된 포토레지스트 패턴을 제거한다.

상기 식각 공정 중에 상기 금속 박막이 과도하게 식각되는 경우, 상기 포토레지스트 패턴의 폭보다 상기 금속 라인의 폭이 작아진다. 특히, 고도로 집적된 어레이 기판의 상기 금속 라인의 폭이 감소하는 경우, 상기 금속 라인의 저항이 증가하여 액정 표시 장치의 화질이 감소한다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 제1 목적은, 화질이 향상된 표시 장치용 기판을 제공하는데 있다.

본 발명의 제2 목적은 상기 표시 장치용 기판의 제조방법을 제공하는데 있다.

본 발명의 제3 목적은 화질이 향상된 액정 표시 장치를 제공하는데 있다.

본 발명의 제4 목적은 상기 액정 표시 장치의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 제1 목적을 달성하기 위한 본 발명의 일 실시예에 따른 표시 장치용 기판은 플레이트, 스위칭 소자, 데이터 라인, 절연막 및 화소 전극을 포함한다. 상기 스위칭 소자는 상기 플레이트 상에 배치된다. 상기 데이터 라인은 상기 플레이트 상에 배치되어 상기 스위칭 소자의 제1 전극에 연결된다. 상기 절연막은 상기 스위칭 소자 및 상기 데이터 라인이 형성된 플레이트 상에 배치되고, 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함한다. 상기 화소 전극은 상기 절연막 상에 배치되어 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결된다.

상기 제2 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 표시 장치용 기판의 제조방법에서, 먼저 플레이트 상에 스위칭 소자 및 상기 스위칭 소자의 제1 전극에 연결된 데이터 라인을 형성한다. 이어서, 상기 스위칭 소자 및 상기 데이터 라인이 형성된 플레이트의 상에 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함하는 절연막을 형성한다. 마지막으로, 상기 절연막 상에 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결되는 화소 전극을 형성한다.

상기 제3 목적을 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 제1 기판, 제2 기판 및 액정층을 포함한다. 상기 제2 기판은 하부 플레이트와, 상기 하부 플레이트 상에 배치된 스위칭 소자와, 상기 하부 플레이트 상에 배치되어 상기 스위칭 소자의 제1 전극에 연결된 데이터 라인과, 상기 스위칭 소자 및 상기 데이터 라인이 형성된 하부 플레이트 상에 배치되고 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함하는 절연막과, 상기 절연막 상에 배치되어 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결되는 화소 전극을 포함한다. 상기 제1 기판은 상기 제2 기판에 대향된다. 상기 액정층은 상기 제1 기판과 상기 제2 기판의 사이에 배치된다.

상기 제4 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 액정 표시 장치의 제조방법에서, 먼저 하부 플레이트 상에 스위칭 소자 및 상기 스위칭 소자의 제1 전극에 연결된 데이터 라인을 형성한다. 이어서, 상기 스위칭 소자 및 상기 데이터 라인이 형성된 하부 플레이트의 상에 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함하는 절연막을 형성한다. 이후에, 상기 절연막 상에 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결되는 화소 전극을 형성한다. 계속해서, 상기 하부 플레이트에 대향하는 대향 기판을 형성한다. 마지막으로, 상기 화소 전극과 상기 대향 기판의 사이에 액정층을 형성한다.

상기 제4 목적을 달성하기 위하여 본 발명의 다른 실시예에 따른 액정 표시 장치의 제조방법에서, 먼저 하부 플레이트 상에 스위칭 소자의 제어 전극 및 상기 제어 전극에 전기적으로 연결되는 게이트 라인을 형성한다. 이어서, 상기 제어 전극 및 상기 게이트 라인이 형성된 플레이트의 상에 게이트 절연막을 형성한다. 이후에, 상기 게이트 절연막 상에 액티브층 및 상기 액티브층의 상부에 배치된 몰리브덴층을 형성한다. 계속해서, 상기 액티브층 및 상기 몰리브덴의 일부를 식각하여 상기 스위칭 소자의 제1 전극, 상기 스위칭 소자의 제1 전극과 이격되어 배치된 제2 전극, 상기 제1 전극에 전기적으로 연결되는 데이터 라인, 및 상기 제1 및 제2 전극들의 하부와 상기 데이터 라인의 하부에 배치된 원시 액티브 패턴을 형성한다. 이어서, 상기 제1 전극, 상기 제2 전극, 상기 데이터 라인 및 상기 원시 액티브 패턴이 형성된 게이트 절연막 상에 절연물질을 증착한다. 이후에, 제1 마스크를 이용하는 사진식각 공정을 통하여 상기 제2 전극에 대응하는 증착된 절연물질, 상기 데이터 라인에 인접하는 증착된 절연물질 및 상기 데이터 라인에 인접하는 증착된 절연물질의 하부에 배치된 원시 액티브 패턴을 식각한다. 계속해서, 상기 절연막 상에 상기 제2 전극과 전기적으로 연결되는 화소 전극을 형성한다. 이어서, 상기 하부 플레이트에 대향하는 대향 기판을 형성한다. 마지막으로, 상기 화소 전극과 상기 대향 기판의 사이에 액정층을 형성한다.

상기 절연막은 패시베이션막, 무기 절연막, 유기 절연막, 오버코팅층 등을 포함한다. 상기 스위칭 소자는 박막 트랜지스터, MOS 트랜지스터 등을 포함한다. 상기 제1 및 제2 전극들은 소오스/드레인 전극들에 대응된다. 상기 제어 전극은 게이트 전극에 대응된다.

따라서, 동일한 마스크를 이용하여 상기 데이터 라인, 상기 소오스 전극, 상기 드레인 전극 및 상기 액티브 패턴을 형성하여 상기 액정 표시 장치의 제조공정이 단순해진다.

또한, 상기 데이터 라인이 크롬보다 저항이 낮은 몰리브덴을 포함하여 상기 데이터 라인의 저항이 감소하여 상기 액정 표시 장치의 화질이 향상된다.

더욱이, 상기 데이터 라인과 상기 화소 전극의 사이에 배치된 액티브 패턴이 제거되어 상기 화소 전극과 상기 데이터 라인 사이의 전자기적 간섭이 감소되고 상기 데이터 라인의 폭을 증가시킬 수 있다. 또한, 추가적인 공정 없이 상기 데이터 라인과 상기 화소 전극의 사이에 배치된 상기 액티브 패턴을 제거하여 상기 액정 표시 장치의 제조공정이 단순해지고 제조비용이 감소한다.

이하, 본 발명에 따른 바람직한 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.

실시예 1

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 2는 상기 도 1의 I-I'라인의 단면도이다.

도 1 및 도 2를 참조하면, 상기 액정표시장치는 제1 기판(170), 제2 기판(180), 스페이서(도시되지 않음) 및 액정층(108)을 포함한다.

상기 제1 기판(170)은 상부 플레이트(100), 블랙 매트릭스(102), 컬러 필터(104) 및 공통 전극(106)을 포함한다.

상기 제2 기판(180)은 하부 플레이트(120), 박막 트랜지스터(119), 게이트 라인(118b'), 데이터 라인(118a'), 스토리지 캐패시터(123), 스토리지 캐패시터 라인(122), 게이트 절연막(126), 액티브 패턴(117), 패시베이션막(116) 및 화소 전극(112)을 포함한다. 상기 게이트 라인(118b') 및 상기 데이터 라인(118a')은 화소를 정의한다.

상기 상부 플레이트(100) 및 상기 하부 플레이트(120)는 광을 통과시킬 수 있는 투명한 재질의 유리를 사용한다. 본 실시예에서, 상기 유리는 알칼리이온을 포함하지 않는다. 상기 유리가 알칼리이온을 포함하는 경우, 상기 유리 내의 알칼리 이온이 상기 액정층(108) 내로 용출되어, 액정 비저항이 저하되고, 셀런트(Sealant, 도시되지 않음)와 유리와의 부착력을 저하된다. 상기 액정 비저항이 저하되면, 상기 박막 트랜지스터의 오동작이 발생할 수 있다. 또한, 상기 셀런트와 유리와의 부착력이 저하되면, 상기 액정 표시 장치가 파손(Broken)될 수 있다.

이때, 상기 상부 플레이트(100) 및 상기 하부 플레이트(120)가 트리아세틸셀룰로오스 (Triacetylcellulose; TAC), 폴리카보네이트 (Polycarbonate; PC), 폴리에테르설폰 (Polyethersulfone; PES), 폴리에틸렌테라프탈레이트 (Polyethyleneterephthalate; PET), 폴리에틸렌나프탈레이트 (Polyethylenenaphthalate; PEN), 폴리비닐알콜 (Polyvinylalcohol; PVA), 폴리메틸메타아크릴레이트 (Polymethylmethacrylate; PMMA), 싸이클로올핀 폴리머 (Cyclo-Olefin Polymer; COP) 등을 포함할 수도 있다.

바람직하게는, 상기 상부 플레이트(100) 및 상기 하부 플레이트(120)는 광학적으로 등방성이다.

상기 블랙 매트릭스(102)는 상기 상부 플레이트(100) 상에 배치되어 광을 차단한다. 상기 블랙 매트릭스(102)는 액정을 제어할 수 없는 영역을 통과하는 광을 차단하여 상기 액정 표시 장치의 화질을 향상시킨다.

상기 블랙 매트릭스(102)는 금속, 금속 화합물 등을 증착하고 식각하여 형성된다. 상기 금속은 크롬(Cr) 등을 포함하고, 상기 금속 화합물은 산화 크롬(CrOx), 질화 크롬(CrNx) 등을 포함한다. 이때, 상기 블랙 매트릭스(102)는 포토레지스트 (Photoresist) 성분을 포함하는 불투명 물질을 도포한 후에, 사진 공정(Photo Process)을 통해 형성될 수도 있다. 상기 불투명한 유기물은 카본 블랙(Carbon Black), 안료 혼합물, 염료 혼합물 등을 포함한다. 상기 안료 혼합물은 적색, 녹색 및 청색 안료를 포함하고, 상기 염료 혼합물은 적색, 녹색 및 청색 염료를 포함한다. 이때, 복수의 컬러 필터들을 중첩하여 상기 블랙 매트릭스를 형성할 수도 있다.

상기 컬러 필터(104)는 상기 화소에 대응하는 상기 상부 플레이트(100) 상에 배치되어 소정의 파장을 갖는 광만을 선택적으로 투과시킨다. 상기 컬러 필터(104)는 적색 컬러 필터부, 녹색 컬러 필터부 및 청색 컬러 필터부를 포함한다. 상기 컬러 필터(104)는 광중합 개시제, 모노머, 바인더, 안료, 분산제, 용제, 포토레지스트 등을 포함한다. 이때, 상기 컬러 필터(104)가 상기 하부 플레이트(120) 또는 상기 패시베이션막(116) 상에 배치될 수도 있다.

상기 공통 전극(106)은 상기 블랙 매트릭스(102) 및 상기 컬러 필터(104)가 형성된 상기 상부 플레이트(100)의 전면에 형성된다. 상기 공통 전극(106)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 또는 ZO(Zinc Oxide)와 같은 투명한 도전성 물질을 포함한다. 이때, 상기 공통 전극(106)이 상기 하부 플레이트(120) 상에 상기 화소 전극(112)과 나란히 배치될 수도 있다.

상기 제1 기판(170)은 상기 스페이서(도시되지 않음)에 의해 상기 제2 기판(180)과 소정의 간격으로 이격된다. 상기 스페이서(도시되지 않음)는 컬럼 스페이서(Column Spacer), 볼 스페이서(Ball Spacer) 등을 포함한다. 또한, 상기 스페이서(도시되지 않음)가 상기 컬럼 스페이서와 상기 볼 스페이서가 혼합된 스페이서를 포함할 수도 있다.

상기 박막 트랜지스터(119)는 상기 하부 플레이트(120) 상의 상기 화소 내에 형성되며 소오스 전극(118a), 게이트 전극(118b), 드레인 전극(118c) 및 반도체층 패턴을 포함한다. 구동회로(도시되지 않음)는 데이터 신호를 출력하여 상기 데이터 라인(118a')을 통해서 상기 소오스 전극(118a)에 전달하고, 선택 신호를 출력하여 상기 게이트 라인(118b')을 통해서 상기 게이트 전극(118b)에 전달한다. 본 실시예에서, 상기 소오스 전극(118a), 상기 드레인 전극(118c) 및 상기 데이터 라인(118a')은 크롬(Cr)을 포함한다.

상기 게이트 절연막(126)은 상기 게이트 전극(118b) 및 상기 스토리지 캐패시터 라인(122)이 형성된 상기 하부 플레이트(120) 상에 배치되어 상기 게이트 전극(118b) 및 상기 스토리지 캐패시터 라인(122)을 상기 소오스 전극(118a) 및 상기 드레인 전극(118c)과 전기적으로 절연한다. 상기 게이트 절연막(126)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 등을 포함한다.

상기 액티브 패턴(117)은 상기 게이트 절연막 상에 배치되고, 아몰퍼스 실리콘층 및 상기 아몰퍼스 실리콘층 상에 배치된 N+ 아몰퍼스 실리콘층을 포함한다. 상기 소오스 전극(118a) 및 상기 드레인 전극(118c)의 사이에 배치된 액티브 패턴(117)은 상기 반도체층 패턴을 형성한다. 상기 게이트 전극(118b)과 상기 소오스 전극(118a)의 사이에 전위차가 발생하는 경우, 상기 반도체층 패턴 내에 채널(Channel)이 형성되어 상기 소오스 전극(118a)과 상기 드레인 전극(118c)이 전기적으로 연결된다. 본 실시예에서, 상기 액티브 패턴(117)의 폭(W1)은 상기 데이터 라인(118a')의 폭(W3)보다 크다. 상기 소오스 전극(118a), 상기 드레인 전극(118c) 및 상기 데이터 라인(118a')은 상기 액티브 패턴(117) 상에 배치된다.

상기 패시베이션막(116)은 상기 박막 트랜지스터(119), 상기 액티브 패턴(117) 및 상기 데이터 라인(118a')이 형성된 상기 게이트 절연막(126) 상에 배치되고, 상기 드레인 전극(118c)의 일부를 노출하는 콘택홀을 포함한다. 상기 패시베이션막(116)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 등을 포함한다. 이때, 상기 패시베이션막(116)이 투명한 유기물을 포함할 수도 있다.

상기 화소 전극(112)은 상기 화소 내의 상기 패시베이션막(116) 및 상기 콘택홀의 내면 상에 배치되어 상기 드레인 전극(118c)과 전기적으로 연결된다. 상기 화소 전극(112)과 상기 공통 전극(106)의 사이에 전압이 인가되는 경우, 상기 액정층(108) 내의 액정의 배열이 변화하여 상기 액정층(108)을 통과하는 광의 투과율이 변화한다. 상기 화소 전극(112)은 투명한 도전성 물질인 산화 주석 인듐(Indium Tin Oxide, ITO), 산화 아연 인듐(Indium Zinc Oxide, IZO), 산화 주석(Tin Oxide, TO), 산화 아연(Zinc Oxide, ZO) 등을 포함한다. 이때, 상기 화소 전극이 상기 투명한 도전성 물질을 갖는 투명 전극 및 반사율이 높은 물질을 갖는 반사 전극을 포함할 수도 있다.

상기 화소 전극(112)의 가장자리(Side)는 상기 액티브 패턴(117)의 가장자리와 소정 간격 이격된다. 상기 액티브 패턴(117)은 절연체가 아니다. 따라서, 상기 화소 전극(112)의 가장자리와 상기 액티브 패턴(117)의 가장자리가 가까운 경우, 상기 화소 전극(112)과 상기 액티브 패턴(117) 상에 배치된 상기 데이터 라인(118a')의 사이에 전자기적 간섭(Interference)이 발생하여 상기 액정 표시 장치의 화질이 저하된다.

상기 스토리지 캐패시터 라인(122), 상기 스토리지 캐패시터 라인(122)에 대응하는 상기 화소 전극(112) 및 상기 스토리지 캐패시터 라인(122)과 상기 스토리지 캐패시터 라인(122)에 대응하는 상기 화소 전극(112)의 사이에 배치된 게이트 절연막(126)은 상기 스토리지 캐패시터(123)를 형성한다. 상기 스토리지 캐패시터(123)는 한 프레임(Frame)동안 상기 화소 전극(112)과 상기 공통 전극(106)의 사이의 전위차를 유지시켜준다. 본 실시예에서, 상기 스토리지 캐패시터 라인(122)에는 공통 전압이 인가된다.

이때, 상기 제1 기판(170) 및 상기 제2 기판(180)의 표면에 배향막들(도시되지 않음)이 배치되어 상기 액정층(108)을 배향할 수 있다.

상기 액정층(108)은 상기 제1 기판(170) 및 상기 제2 기판(180)의 사이에 배치되고, 셀런트(Sealant, 도시되지 않음)에 의해 밀봉된다. 상기 액정층(108)은 수직 배향(Vertical Alignment, VA), 트위스트 배향(Twisted Nematic, TN), 엠티엔 배향(Mixed Twisted Nematic, MTN), 호모지니우스(Homogeneous) 배향 모드로 배열된다.

도 3 내지 도 12는 상기 도 1에 도시된 액정 표시 장치의 제조방법을 나타내는 단면도들이다.

도 3을 참조하면, 먼저 상기 하부 플레이트(120) 상에 도전성 물질을 증착한다. 상기 도전성 물질은 폴리브덴, 크롬, 구리 등의 금속을 포함한다. 계속해서, 상기 도전성 물질의 일부를 제거하여 상기 게이트 전극(118b), 상기 게이트 라인(118b') 및 상기 스토리지 캐패시터 라인(122)을 형성한다. 이후에, 상기 게이트 전극(118b), 상기 게이트 라인(118b') 및 상기 스토리지 캐패시터 라인(122)이 형성된 하부 플레이트(120)의 전면에 상기 게이트 절연막(126)을 증착한다.

도 4를 참조하면, 이어서 상기 게이트 절연막(126) 상에 아몰퍼스 실리콘을 증착한다. 계속해서, 상기 증착된 아몰퍼스 실리콘 상에 N⁺ 이온을 주입하여 상기 아몰퍼스 실리콘층 및 상기 아몰퍼스 실리콘층의 상부에 배치된 상기 N⁺ 아몰퍼스 실리콘층을 포함하는 상기 액티브층(117')을 형성한다. 이후에, 상기 액티브층(117') 상에 크롬을 증착하여 크롬층(118c'')을 형성한다.

도 2 및 도 5를 참조하면, 계속해서 상기 크롬층(118c'') 상에 포토레지스트를 도포한다. 이어서, 마스크를 통하여 상기 도포된 포토레지스트를 노광하고 현상하여 상기 크롬층(118c'') 상에 포토레지스트 패턴들(131)을 형성한다. 상기 포토레지스트 패턴들(131)은 상기 소오스 전극(118a), 상기 드레인 전극(118c) 및 상기 데이터 라인(118a')에 대응된다.

도 6을 참조하면, 이후에 상기 포토레지스트 패턴들(131)이 형성된 상기 액티브층(117') 및 상기 크롬층(118c'')을 식각하여 상기 포토레지스트 패턴들(131)의 하부에 원시 액티브층(117''), 원시 데이터 라인(118a'') 및 원시 소오스/드레인 전극(118c'')을 형성한다. 상기 식각 공정 중에, 상기 포토레지스트 패턴들(131)이 식각 물질로부터 상기 액티브층(117') 및 상기 크롬층(118c'')을 완전히 보호하는 것이 아니므로, 상기 원시 데이터 라인(118a'')의 폭(w2) 및 상기 원시 데이터 라인의 하부에 배치된 상기 원시 액티브층(117'')의 폭(w12)은 상기 원시 데이터 라인(118a'') 상에 배치된 상기 포토레지스트 패턴(131)의 폭(w11)보다 작다. 상기 액티브층(117') 내의 상기 아몰퍼스 실리콘은 상기 크롬층(118c'') 내의 상기 크롬보다 식각 저항(Etch Resistance)이 크기 때문에, 상기 원시 데이터 라인의 하부에 배치된 상기 원시 액티브층(117'')의 폭(w12)은 상기 원시 데이터 라인(118a'')의 폭(w2)보다 작다.

도 7을 참조하면, 계속해서 상기 원시 데이터 라인(118a'') 및 원시 소오스/드레인 전극(118c'') 상에 배치된 상기 포토레지스트 패턴들(131)을 제거한다. 이어서, 사진식각공정을 통하여 상기 게이트 전극(118b)에 대응하는 상기 원시 소오스/드레인 전극(118c'')의 일부를 식각하여 상기 소오스 전극(118a) 및 상기 드레인 전극(118c)을 형성한다. 따라서, 상기 소오스 전극(118a), 상기 게이트 전극(118b), 상기 드레인 전극(118c) 및 상기 반도체층 패턴을 갖는 상기 박막 트랜지스터(119)가 형성된다.

상기 원시 소오스/드레인 전극(118c'')의 일부를 식각하는 동안, 상기 원시 데이터 라인(118a'') 및 상기 원시 액티브층(117'')의 가장자리가 식각되어 상기 데이터 라인(118a') 및 상기 액티브 패턴(117)이 형성된다. 상기 데이터 라인(118a')의 폭(w3)은 상기 원시 데이터 라인(118a'')의 폭(w2)보다 작다. 상기 데이터 라인(118a')의 하부에 배치된 상기 액티브 패턴(117)의 폭(w1)은 상기 원시 액티브층(117'')의 폭(w12)보다 작다. 계속해서, 상기 소오스 전극(118a)과 상기 드레인 전극(118c)의 사이에 배치된 상기 액티브 패턴(117)의 N⁺ 아몰퍼스 실리콘층을 제거한다. 이때, 상기 소오스 전극(118a)과 상기 드레인 전극(118c)의 사이에 배치된 상기 액티브 패턴(117)의 N⁺ 아몰퍼스 실리콘층은 상기 원시 소오스/드레인 전극(118c'')과 함께 식각될 수 있다.

도 8을 참조하면, 이후에 상기 박막 트랜지스터(119), 상기 데이터 라인(118a') 및 상기 액티브 패턴(117)이 형성된 상기 게이트 절연막(126) 상에 투명한 절연물질을 증착한다. 계속해서, 상기 증착된 절연물질(116') 상에 포토레지스트를 도포한다. 이때, 상기 포토레지스트는 포지티브 포토레지스트 또는 네거티브 포토레지스트일 수 있다. 이어서, 패시베이션막용 마스크(Mask for Passivation Layer, 135)를 통하여 상기 도포된 포토레지스트(134)를 노광한다. 자외선은 상기 패시베이션막용 마스크(135)의 레티클(Reticle, 136)을 통해서 상기 도포된 포토레지스트(134)의 상기 드레인 전극(118c)의 일부에 대응되는 부분에 조사된다.

도 9를 참조하면, 이후에 상기 도포된 포토레지스트(134)를 현상한다. 이후에 상기 증착된 절연물질(116')의 일부를 식각하여 상기 드레인 전극(118c)의 일부를 노출하는 상기 콘택홀을 형성하여 상기 패시베이션막(116)을 형성한다. 계속해서, 상기 패시베이션막(116) 상에 잔류하는 포토레지스트를 제거한다.

도 10을 참조하면, 이어서 상기 패시베이션막(116) 및 상기 콘택홀의 내면 상에 상기 투명한 도전성 물질을 증착한다. 계속해서, 사진식각 공정을 이용하여 상기 증착된 투명한 도전성 물질의 일부를 제거하여 상기 화소 전극(112)을 형성한다. 따라서, 하부 플레이트(120), 박막 트랜지스터(119), 게이트 라인(118b'), 데이터 라인(118a'), 스토리지 캐패시터(123), 스토리지 캐패시터 라인(122), 게이트 절연막(126), 액티브 패턴(117), 패시베이션막(116) 및 화소 전극(112)을 포함하는 상기 제2 기관(180)이 형성된다.

도 11을 참조하면, 이후에 상기 상부 플레이트(100) 상에 상기 불투명한 물질을 증착한다. 계속해서, 상기 불투명한 물질의 일부를 제거하여 상기 블랙 매트릭스(102)를 형성한다. 이때, 불투명한 물질 및 포토레지스트를 상기 상부 플레이트(100) 상에 도포한 후에 사진 공정(Photo Process)을 이용하여 상기 블랙 매트릭스(102)를 형성할 수도 있다. 상기 사진 공정(Photo Process)은 노광 공정(Exposure Process) 및 현상 공정(Development Process)을 포함한다. 이때, 상기 블랙 매트릭스(102)를 상기 하부 플레이트(120) 상에 형성할 수도 있다.

이후에, 상기 블랙 매트릭스(102)가 형성된 상기 상부 기판(100) 상에 상기 컬러 필터(104)를 형성한다. 이때, 상기 블랙 매트릭스(102) 및 상기 컬러 필터(104)가 형성된 상기 상부 플레이트(100) 상에 오버코팅층(도시되지 않음)을 형성할 수도 있다.

이어서, 상기 블랙 매트릭스(102) 및 상기 컬러 필터(104)가 형성된 상기 상부 플레이트(100) 상에 상기 투명한 도전성 물질을 증착하여 상기 공통 전극(106)을 형성한다.

따라서, 상기 상부 플레이트(100), 상기 블랙 매트릭스(102), 상기 컬러 필터(104) 및 상기 공통 전극(106)을 포함하는 상기 제1 기판(170)이 형성된다.

도 12를 참조하면, 계속해서 상기 제1 기판(170) 및 상기 제2 기판(180) 사이에 상기 액정을 주입한 후에 셀란트(Sealant, 도시되지 않음)에 의해 밀봉하여 상기 액정층(108)을 형성한다. 이때, 셀란트(도시되지 않음)가 형성된 상기 제1 기판(170) 또는 상기 제2 기판(180) 상에 상기 액정을 적하(Drop)한 후에 상기 제1 기판(170) 및 상기 제2 기판(180)을 대향하여 결합하여 상기 액정층(108)을 형성할 수도 있다.

상기와 같은 본 실시예에 따르면, 동일한 마스크를 이용하여 상기 데이터 라인(118a'), 상기 소오스 전극(118a), 상기 드레인 전극(118c) 및 상기 액티브 패턴(117)을 형성하여 상기 액정 표시 장치의 제조공정이 단순해진다. 그러나, 상기 데이터 라인(118a')이 크롬을 포함하는 경우, 상기 데이터 라인(118a')의 저항이 증가하여 상기 데이터 라인(118a')의 폭이 증가한다. 상기 데이터 라인(118a')의 폭이 증가하는 경우, 상기 액정 표시 장치의 개구율이 저하된다.

실례 1

본 실험예의 액정 표시 장치는 실시예 1과 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 3을 참조하면, 먼저 하부 플레이트(120) 상에 게이트 전극(118b), 게이트 라인(118b'), 스토리지 캐패시터 라인(122) 및 게이트 절연막(126)을 형성했다. 상기 게이트 전극(118b), 상기 게이트 라인(118b'), 상기 스토리지 캐패시터 라인(122) 및 상기 게이트 절연막(126)의 두께는 각각 3000Å, 3000Å, 3000Å 및 4000Å이었다.

도 4를 참조하면, 이어서 상기 게이트 절연막(126) 상에 액티브층(117') 및 크롬층(118c'')을 형성했다. 상기 액티브층(117') 및 상기 크롬층(118c'')의 두께는 각각 3000Å 및 2000Å이었다.

도 2 및 도 5를 참조하면, 계속해서 상기 크롬층(118c'') 상에 포토레지스트 패턴들(131)을 형성했다. 상기 데이터 라인(118a')에 대응하는 상기 포토레지스트 패턴(131)의 폭(w11)은 7μm이었다.

도 6을 참조하면, 이후에 상기 포토레지스트 패턴들(131)이 형성된 상기 액티브층(117') 및 상기 크롬층(118c'')을 식각하여 상기 포토레지스트 패턴들(131)의 하부에 원시 액티브층(117''), 원시 데이터 라인(118a'') 및 원시 소오스/드레인 전극(118c'')을 형성했다. 상기 원시 데이터 라인(118a'')의 폭(w2)은 5.5μm이었으며, 상기 원시 데이터 라인의 하부에 배치된 상기 원시 액티브층(117'')의 폭(w12)은 6.8μm이었다.

도 7을 참조하면, 이어서 사진식각공정을 통하여 상기 게이트 전극(118b)에 대응하는 상기 원시 소오스/드레인 전극(118c'')의 일부를 식각하여 소오스 전극(118a) 및 드레인 전극(118c)을 형성했다.

상기 원시 소오스/드레인 전극(118c'')의 일부를 식각하는 동안, 상기 원시 데이터 라인(118a'') 및 상기 원시 액티브층(117'')의 가장자리가 식각되어, 상기 데이터 라인(118a')의 폭(w3) 및 상기 데이터 라인(118a')의 하부에 배치된 상기 액티브 패턴(117)의 폭(w1)은 각각 4μm 및 6.7μm가 되었다.

도 8 내지 도 10을 참조하면, 이후에 상기 박막 트랜지스터(119), 상기 데이터 라인(118a') 및 상기 액티브 패턴(117)이 형성된 상기 게이트 절연막(126) 상에 콘택홀을 갖는 패시베이션막(116) 및 화소 전극(112)을 형성했다. 상기 화소 전극(112)과 상기 액티브 패턴(117) 사이의 거리는 $3.3\mu\text{m}$ 이었고, 상기 화소 전극(112)과 상기 데이터 라인(118a') 사이의 거리는 $4.8\mu\text{m}$ 이었다.

도 11 및 도 12를 참조하면, 이후에 제1 기판(170)이 형성했고, 상기 제1 기판(170) 및 상기 제2 기판(180) 사이에 상기 액정을 주입한 후에 셀란트(Sealant, 도시되지 않음)에 의해 밀봉하여 상기 액정층(108)을 형성했다.

본 실험예에서, 상기 데이터 라인(118a')의 스큐(SKEW)는 $3\mu\text{m}$ 이었고, 상기 액티브 패턴(117)의 스큐는 $0.3\mu\text{m}$ 이었다. 이때, 상기 스큐는 상기 포토레지스트 패턴(131)의 폭(w11)에서 상기 데이터 라인(118a')의 폭(w3) 또는 상기 액티브 패턴(117)의 폭(w1)을 뺀 값이다. 상기 데이터 라인(118a')의 스큐가 증가하는 경우, 상기 데이터 라인(118a')의 선폭(Line Width)이 감소한다. 또한, 상기 데이터 라인(118a')의 스큐와 상기 액티브 패턴(117)의 스큐의 차가 증가하면, 상기 데이터 라인(118a')의 선폭(Line Width)이 감소한다.

실시예 2

도 13은 본 발명의 제2 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 14는 상기 도 13의 II-II'라인의 단면도이다. 본 실시예에서 데이터 라인, 소오스 전극 및 드레인 전극을 제외한 나머지 구성 요소들은 실시예 1과 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 13 및 도 14를 참조하면, 상기 액정 표시 장치는 제1 기판(270), 제2 기판(280), 스페이서(도시되지 않음) 및 액정층(208)을 포함한다.

상기 제1 기판(270)은 상부 플레이트(200), 블랙 매트릭스(202), 컬러 필터(204) 및 공통 전극(206)을 포함한다.

상기 제2 기판(280)은 하부 플레이트(220), 박막 트랜지스터(219), 게이트 라인(218b'), 데이터 라인(218a'), 스토리지 캐패시터(223), 스토리지 캐패시터 라인(222), 게이트 절연막(226), 액티브 패턴(217), 패시베이션막(216) 및 화소 전극(212)을 포함한다. 상기 게이트 라인(218b') 및 상기 데이터 라인(218a')은 화소를 정의한다.

상기 박막 트랜지스터(219)는 상기 하부 플레이트(220) 상의 상기 화소 내에 형성되며 소오스 전극(218a), 게이트 전극(218b), 드레인 전극(218c) 및 반도체층 패턴을 포함한다. 본 실시예에서, 상기 소오스 전극(218a), 상기 드레인 전극(218c) 및 상기 데이터 라인(218a')은 몰리브덴(Mo), 몰리브덴-알루미늄 합금(Mo-Al alloy), 몰리브덴과 알루미늄이 서로 적층된 적층물(Stack)을 포함한다. 이때, 상기 소오스 전극(218a), 상기 드레인 전극(218c) 및 상기 데이터 라인(218a')은 몰리브덴/알루미늄/몰리브덴의 삼층막을 포함할 수도 있다.

몰리브덴은 크롬보다 저항이 작다. 그러나, 몰리브덴은 크롬보다 식각 저항(Etch Resistance)이 작다. 따라서, 실시예 1의 액정 표시 장치의 제조방법을 이용하여 몰리브덴을 갖는 상기 소오스 전극(218a), 상기 드레인 전극(218c) 및 상기 데이터 라인(218a')을 구비한 액정 표시 장치를 제조하는 경우, 식각 공정 중에 상기 소오스(218a), 상기 드레인 전극(218c) 및 상기 데이터 라인(218a')의 가장자리(Side)가 급격히 식각되어 상기 데이터 라인(218a')의 폭(w4)이 감소한다.

상기 데이터 라인(218a')의 폭(w4)은 상기 액티브 패턴(217)의 폭(w1)보다 작다. 또한, 몰리브덴을 갖는 상기 데이터 라인(218a')의 폭(w4)은 크롬을 갖는 상기 제1 실시예의 데이터 라인의 폭(w3)보다 작다.

상기와 같은 본 실시예에 따르면, 비록 상기 몰리브덴을 갖는 상기 데이터 라인(218a')의 단위 저항은 상기 크롬을 갖는 상기 데이터 라인의 단위 저항보다 작으나, 몰리브덴은 크롬보다 낮은 식각 저항을 가져서, 상기 몰리브덴을 갖는 상기 데이터 라인(218a')의 선폭이 감소한다.

실험예 2

본 실험예의 액정 표시 장치는 실시예 2와 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 13 및 도 14를 참조하면, 먼저 하부 플레이트 상에 게이트 전극(218b), 게이트 라인(218b'), 스토리지 캐패시터 라인(222) 및 게이트 절연막(226)을 형성했다. 상기 게이트 전극(218b), 상기 게이트 라인(218b'), 상기 스토리지 캐패시터 라인(222) 및 상기 게이트 절연막(226)의 두께는 각각 3000Å, 3000Å, 3000Å 및 4000Å이었다.

이어서, 상기 게이트 절연막(226) 상에 액티브층 및 몰리브덴층을 형성했다. 상기 액티브층 및 상기 몰리브덴층의 두께는 각각 3000Å 및 2000Å이었다.

계속해서, 상기 몰리브덴층 상에 포토레지스트 패턴들을 형성했다. 상기 데이터 라인(218a')에 대응하는 상기 포토레지스트 패턴의 폭은 7μm이었다.

이후에, 상기 포토레지스트 패턴들이 형성된 상기 액티브층 및 상기 몰리브덴층을 식각하여 상기 포토레지스트 패턴들의 하부에 원시 액티브층, 원시 데이터 라인 및 원시 소오스/드레인 전극을 형성했다. 상기 원시 데이터 라인의 폭은 4.6μm이었으며, 상기 원시 데이터 라인의 하부에 배치된 상기 원시 액티브층의 폭은 6.8μm이었다.

이어서, 사진식각공정을 통하여 상기 게이트 전극(218b)에 대응하는 상기 원시 소오스/드레인 전극의 일부를 식각하여 소오스 전극(218a) 및 드레인 전극(218c)을 형성했다.

상기 원시 소오스/드레인 전극의 일부를 식각하는 동안, 상기 원시 데이터 라인 및 상기 원시 액티브층의 가장자리가 식각되어, 상기 데이터 라인(218a')의 폭(w4) 및 상기 데이터 라인(218a')의 하부에 배치된 상기 액티브 패턴의 폭(w1)은 각각 2.2μm 및 6.7μm가 되었다.

이후에, 상기 박막 트랜지스터(219), 상기 데이터 라인(218a') 및 상기 액티브 패턴(217)이 형성된 상기 게이트 절연막(226) 상에 콘택홀을 갖는 패시베이션막(216) 및 화소 전극(212)을 형성했다. 상기 화소 전극(212)과 상기 액티브 패턴(217) 사이의 거리는 3.3μm이었고, 상기 화소 전극(212)과 상기 데이터 라인(218a') 사이의 거리는 5.4μm이었다.

이후에, 제1 기판(270)이 형성했고, 상기 제1 기판(270) 및 상기 제2 기판(280) 사이에 상기 액정을 주입한 후에 셀런트(Sealant, 도시되지 않음)에 의해 밀봉하여 상기 액정층(208)을 형성했다.

본 실험예에서, 상기 데이터 라인(218a')의 스큐(SKEW)는 4.8μm이었고, 상기 액티브 패턴(217)의 스큐는 0.3μm이었다. 몰리브덴의 비저항(Electrical Resistivity)은 $5 \times 10^{-8} \Omega\text{m}$ 이고, 크롬의 비저항(Electrical Resistivity)은 $12.7 \times 10^{-8} \Omega\text{m}$ 이다. 또한, 상기 몰리브덴을 갖는 상기 데이터 라인의 폭(w3)은 4μm이고, 상기 크롬을 갖는 상기 데이터 라인(218a')의 폭은 2.2μm이었다. 따라서, 상기 몰리브덴을 갖는 상기 데이터 라인(218a')의 단위 저항은 상기 크롬을 갖는 상기 데이터 라인의 단위 저항의 0.9배이었다.

실시예 3

도 15는 본 발명의 제3 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 16은 상기 도 15의 III-III'라인의 단면도이다. 본 실시예에서 데이터 라인, 소오스 전극, 드레인 전극 및 액티브 패턴을 제외한 나머지 구성 요소들은 실시예 1 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 15 및 도 16을 참조하면, 상기 액정 표시 장치는 제1 기판(370), 제2 기판(380), 스페이서(도시되지 않음) 및 액정층(308)을 포함한다.

상기 제1 기판(370)은 상부 플레이트(300), 블랙 매트릭스(302), 컬러 필터(304) 및 공통 전극(306)을 포함한다.

상기 제2 기판(380)은 하부 플레이트(320), 박막 트랜지스터(319), 게이트 라인(318b'), 데이터 라인(318a'), 스토리지 캐패시터(323), 스토리지 캐패시터 라인(322), 게이트 절연막(326), 액티브 패턴(317), 패시베이션막(316) 및 화소 전극(312)을 포함한다. 상기 게이트 라인(318b') 및 상기 데이터 라인(318a')은 화소를 정의한다.

상기 박막 트랜지스터(319)는 상기 하부 플레이트(320) 상의 상기 화소 내에 형성되며 소오스 전극(318a), 게이트 전극(318b), 드레인 전극(318c) 및 반도체층 패턴을 포함한다. 본 실시예에서, 상기 소오스 전극(318a), 상기 드레인 전극

(318c) 및 상기 데이터 라인(318a')은 몰리브덴(Mo), 몰리브덴-알루미늄 합금(Mo-Al alloy), 몰리브덴과 알루미늄이 서로 적층된 적층물을 포함한다. 이때, 상기 소오스 전극(318a), 상기 드레인 전극(318c) 및 상기 데이터 라인(318a')은 몰리브덴/알루미늄/몰리브덴의 삼층막을 포함할 수도 있다.

도 2 및 도 16을 참조하면, 몰리브덴은 크롬보다 식각 저항(Etch Resistance)이 작아서, 몰리브덴을 갖는 상기 데이터 라인(318a')의 스큐(SKEW)값과 상기 액티브 패턴(317)의 스큐값의 차이는 크롬을 갖는 데이터 라인(118a')의 스큐값과 상기 액티브 패턴(317)의 스큐값의 차이보다 크다. 따라서, 몰리브덴을 갖는 상기 데이터 라인(318a')의 폭(w3)이 크롬을 갖는 상기 데이터 라인(118a')의 폭이 동일한 경우, 상기 몰리브덴을 갖는 상기 데이터 라인(318a')의 하부에 배치되는 상기 액티브 패턴(317)의 폭(w5)은 상기 크롬을 갖는 상기 데이터 라인(118a')의 하부에 배치되는 액티브 패턴의 폭(w1)보다 크다.

상기와 같은 본 실시예에 따르면, 상기 몰리브덴을 갖는 상기 데이터 라인(318a')의 단위 저항은 상기 크롬을 갖는 상기 데이터 라인(118a')의 단위 저항보다 작다. 따라서, 상기 몰리브덴을 갖는 상기 데이터 라인(318a')이 상기 크롬을 갖는 상기 데이터 라인(118a')과 동일한 폭(w3)을 갖는 경우, 상기 몰리브덴을 갖는 상기 데이터 라인(318a')의 저항이 상기 크롬을 갖는 상기 데이터 라인(118a')의 저항보다 작다. 그러나, 상기 액티브 패턴(317)의 폭(w5)이 증가하는 경우, 상기 화소 전극(312)과 상기 액티브 패턴(317) 사이의 거리가 감소하여 상기 화소 전극(312)과 상기 액티브 패턴(317) 상에 배치된 상기 데이터 라인(318a')의 사이에 전자기적 간섭(Interference)이 발생하여 상기 액정 표시 장치의 화질이 저하될 수 있다.

실험예 3

본 실험예의 액정 표시 장치는 실시예 3과 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 15 및 도 16을 참조하면, 먼저 하부 플레이트 상에 게이트 전극(318b), 게이트 라인(318b'), 스토리지 캐패시터 라인(322) 및 게이트 절연막(326)을 형성했다.

이어서, 상기 게이트 절연막(326) 상에 액티브층 및 몰리브덴층을 형성했다.

계속해서, 상기 몰리브덴층 상에 포토레지스트 패턴들을 형성했다. 상기 데이터 라인(318a')에 대응하는 상기 포토레지스트 패턴의 폭은 $8.8\mu\text{m}$ 이었다.

이후에, 상기 포토레지스트 패턴들이 형성된 상기 액티브층 및 상기 몰리브덴층을 식각하여 상기 포토레지스트 패턴들의 하부에 원시 액티브층, 원시 데이터 라인 및 원시 소오스/드레인 전극을 형성했다. 상기 원시 데이터 라인의 폭은 $6.4\mu\text{m}$ 이었으며, 상기 원시 데이터 라인의 하부에 배치된 상기 원시 액티브층의 폭은 $8.6\mu\text{m}$ 이었다.

이어서, 사진식각공정을 통하여 상기 게이트 전극(318b)에 대응하는 상기 원시 소오스/드레인 전극의 일부를 식각하여 소오스 전극(318a) 및 드레인 전극(318c)을 형성했다.

상기 원시 소오스/드레인 전극의 일부를 식각하는 동안, 상기 원시 데이터 라인 및 상기 원시 액티브층의 가장자리가 식각되어, 상기 데이터 라인(318a')의 폭(w3) 및 상기 데이터 라인(318a')의 하부에 배치된 상기 액티브 패턴의 폭(w5)은 각각 $4\mu\text{m}$ 및 $8.5\mu\text{m}$ 가 되었다.

이후에, 상기 박막 트랜지스터(319), 상기 데이터 라인(318a') 및 상기 액티브 패턴(317)이 형성된 상기 게이트 절연막(326) 상에 콘택홀을 갖는 패시베이션막(316) 및 화소 전극(312)을 형성했다. 상기 화소 전극(312)과 상기 액티브 패턴(317) 사이의 거리는 $2.1\mu\text{m}$ 이었고, 상기 화소 전극(312)과 상기 데이터 라인(328a') 사이의 거리는 $4.8\mu\text{m}$ 이었다.

이후에, 제1 기판(370)이 형성했고, 상기 제1 기판(370) 및 상기 제2 기판(380) 사이에 상기 액정을 주입한 후에 셀란트(Sealant, 도시되지 않음)에 의해 밀봉하여 상기 액정층(308)을 형성했다.

본 실험예에서, 상기 데이터 라인(318a')의 스큐(SKEW)는 $4.8\mu\text{m}$ 이었고, 상기 액티브 패턴(317)의 스큐는 $0.3\mu\text{m}$ 이었다. 몰리브덴의 비저항(Electrical Resistivity)은 $5 \times 10^{-8} \Omega\text{m}$ 이고, 크롬의 비저항(Electrical Resistivity)은 $12.7 \times 10^{-8} \Omega\text{m}$ 이다. 또한, 몰리브덴을 갖는 상기 데이터 라인(도 2의 118a')의 폭(w3)과 상기 크롬을 갖는 상기 데이터 라인(318a')의 폭(w3)은 $4\mu\text{m}$ 로 동일했다. 따라서, 상기 몰리브덴을 갖는 상기 데이터 라인(318a')의 단위 저항은 상기 크롬을 갖는 상기 데

이터 라인의 단위 저항의 0.4배이었다. 그러나, 상기 화소 전극(312)과 상기 액티브 패턴(317) 사이의 거리는 $2.1\mu\text{m}$ 이어서, 동작시에 상기 화소 전극(312)과 상기 액티브 패턴(317) 상에 배치된 상기 데이터 라인(318a') 사이에 전자기적 간섭(Interference)이 발생했다.

실시예 4

도 17은 본 발명의 제4 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 18은 상기 도 17의 IV-IV'라인의 단면도이다. 본 실시예에서 데이터 라인, 소오스 전극, 드레인 전극, 액티브 패턴 및 패시베이션막을 제외한 나머지 구성 요소들은 실시예 1 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 17 및 도 18을 참조하면, 상기 액정 표시 장치는 제1 기판(470), 제2 기판(480), 스페이서(도시되지 않음) 및 액정층(408)을 포함한다.

상기 제1 기판(470)은 상부 플레이트(400), 블랙 매트릭스(402), 컬러 필터(404) 및 공통 전극(406)을 포함한다.

상기 제2 기판(480)은 하부 플레이트(420), 박막 트랜지스터(419), 게이트 라인(418b'), 데이터 라인(418a'), 스토리지 캐패시터(423), 스토리지 캐패시터 라인(422), 게이트 절연막(426), 액티브 패턴(417a), 패시베이션막(416) 및 화소 전극(412)을 포함한다. 상기 게이트 라인(418b') 및 상기 데이터 라인(418a')은 화소를 정의한다.

상기 박막 트랜지스터(419)는 상기 하부 플레이트(420) 상의 상기 화소 내에 형성되며 소오스 전극(418a), 게이트 전극(418b), 드레인 전극(418c) 및 반도체층 패턴을 포함한다. 본 실시예에서, 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')은 몰리브덴(Mo), 몰리브덴-알루미늄 합금(Mo-Al alloy), 몰리브덴과 알루미늄이 서로 적층된 적층물을 포함한다. 이때, 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')은 몰리브덴/알루미늄/몰리브덴의 삼층막을 포함할 수도 있다.

상기 액티브 패턴(417a)은 상기 게이트 절연막(426) 상에 배치되고, 아몰퍼스 실리콘층 및 상기 아몰퍼스 실리콘층 상에 배치된 N+ 아몰퍼스 실리콘층을 포함한다. 본 실시예에서, 상기 액티브 패턴(417a)의 폭(W3)은 상기 데이터 라인(418a')의 폭(W3)과 동일하다. 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')은 상기 액티브 패턴(417a) 상에 배치된다.

상기 패시베이션막(416)은 상기 박막 트랜지스터(419), 상기 액티브 패턴(417a) 및 상기 데이터 라인(418a')이 형성된 상기 게이트 절연막(426) 상에 배치되고, 상기 드레인 전극(418c)의 일부를 노출하는 콘택홀 및 상기 데이터 라인(418a')에 인접하는 상기 게이트 절연막(426)을 노출하는 그루부들(Groove, 437a)을 포함한다. 상기 그루부들(437a)에 의해 상기 화소 전극(412)이 상기 액티브 패턴(417a)으로부터 소정 간격 이격되어, 상기 화소 전극(412)과 상기 액티브 패턴(417a) 상에 배치된 상기 데이터 라인(418a') 사이의 전자기적 간섭(Interference)이 줄어든다.

도 19 내지 도 26은 상기 도 17에 도시된 액정 표시 장치의 제조방법을 나타내는 단면도들이다.

도 17 및 도 19를 참조하면, 먼저 상기 하부 플레이트(420) 상에 상기 게이트 전극(418b), 상기 게이트 라인(418b') 및 상기 스토리지 캐패시터 라인(422)을 형성한다. 이후에, 상기 게이트 전극(418b), 상기 게이트 라인(418b') 및 상기 스토리지 캐패시터 라인(422)이 형성된 하부 플레이트(420)의 전면에 상기 게이트 절연막(426)을 증착한다.

이어서, 상기 게이트 절연막(426) 상에 아몰퍼스 실리콘을 증착한다. 계속해서, 상기 증착된 아몰퍼스 실리콘 상에 도펀트를 주입하여 상기 아몰퍼스 실리콘층 및 상기 아몰퍼스 실리콘층의 상부에 배치된 상기 N+ 아몰퍼스 실리콘층을 포함하는 상기 액티브층(417a)을 형성한다. 상기 도펀트는 N+ 이온을 포함한다. 이후에, 상기 액티브층(417a) 상에 몰리브덴을 증착하여 몰리브덴층(418c'')을 형성한다.

도 18 및 도 20을 참조하면, 계속해서 상기 몰리브덴층(418c'') 상에 포토레지스트를 도포한다. 이어서, 마스크를 통하여 상기 도포된 포토레지스트를 노광하고 현상하여 상기 몰리브덴층(418c'') 상에 포토레지스트 패턴들(431)을 형성한다. 상기 마스크는 상기 소오스 전극(418a) 및 상기 드레인 전극(418c)에 대응하는 레티클 및 상기 데이터 라인(418a')에 대응하는 레티클을 포함한다. 상기 데이터 라인(418a')에 대응하는 레티클의 폭(W₅₅)은 서로 인접하는 상기 화소 전극들(412) 사이의 거리와 같거나 길 수 있다. 또한, 상기 데이터 라인(418a')에 대응하는 레티클의 폭은 서로 인접하는 상기 화소 전극

들(412) 사이의 거리보다 짧을 수도 있다. 본 실시예에서, 상기 데이터 라인(418a')에 대응하는 레티클의 폭(W_{55})은 서로 인접하는 상기 화소 전극들(412) 사이의 거리와 동일하다. 상기 포토레지스트 패턴들(431)은 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')에 대응된다.

도 21을 참조하면, 이후에 상기 포토레지스트 패턴들(431)이 형성된 상기 액티브층(417') 및 상기 폴리브덴층(418c'')을 식각하여 상기 포토레지스트 패턴들(431)의 하부에 원시 액티브층(417a''), 원시 데이터 라인(418a'') 및 원시 소오스/드레인 전극(418c'')을 형성한다. 상기 식각 공정 중에, 상기 포토레지스트 패턴들(431)이 식각 물질로부터 상기 액티브층(417') 및 상기 폴리브덴층(418c'')을 완전히 보호하는 것이 아니므로, 상기 원시 데이터 라인(418a'')의 폭(w6) 및 상기 원시 데이터 라인의 하부에 배치된 상기 원시 액티브층(417'')의 폭(w62)은 상기 원시 데이터 라인(418a'') 상에 배치된 상기 포토레지스트 패턴(431)의 폭(w55)보다 작다. 이때, 상기 포토레지스트 패턴(431)의 폭(w55)이 서로 인접하는 상기 화소 전극들(412) 사이의 거리와 같을 수도 있다. 또한, 상기 포토레지스트 패턴(431)의 폭(w55)이 서로 인접하는 상기 화소 전극들(412) 사이의 거리보다 클 수도 있다. 상기 원시 데이터 라인(418a'')의 하부에 배치된 상기 원시 액티브층(417a'')의 폭(w62)은 상기 원시 데이터 라인(418a'')의 폭(w6)보다 넓다.

도 22를 참조하면, 계속해서 상기 원시 데이터 라인(418a'') 및 원시 소오스/드레인 전극(418c'') 상에 배치된 상기 포토레지스트 패턴들(431)을 제거한다. 이어서, 사진식각공정을 통하여 상기 게이트 전극(418b)에 대응하는 상기 원시 소오스/드레인 전극(418c'')의 일부를 식각하여 상기 소오스 전극(418a) 및 상기 드레인 전극(418c)을 형성한다.

상기 원시 소오스/드레인 전극(418c'')의 일부를 식각하는 동안, 상기 원시 데이터 라인(418a'') 및 상기 원시 액티브층(417a'')의 가장자리가 식각되어 상기 데이터 라인(418a') 및 원시 액티브 패턴(417a'')이 형성된다. 상기 데이터 라인(418a')의 폭(w3)은 상기 원시 데이터 라인(418a'')의 폭(w6)보다 작다. 상기 데이터 라인(418a')의 하부에 배치된 상기 원시 액티브 패턴(417a'')의 폭(w63)은 상기 원시 액티브층(417a'')의 폭(w62)보다 작다. 계속해서, 상기 소오스 전극(418a)과 상기 드레인 전극(418c)의 사이에 배치된 상기 원시 액티브 패턴(417a'')의 N+ 아몰퍼스 실리콘층을 제거한다. 이때, 상기 소오스 전극(418a)과 상기 드레인 전극(418c)의 사이에 배치된 상기 원시 액티브 패턴(417a'')의 N+ 아몰퍼스 실리콘층은 상기 원시 소오스/드레인 전극(418c'')과 함께 식각될 수 있다.

도 23을 참조하면, 이후에 상기 박막 트랜지스터(419), 상기 데이터 라인(418a') 및 상기 원시 액티브 패턴(417a'')이 형성된 상기 게이트 절연막(426) 상에 투명한 절연물질을 증착한다. 계속해서, 상기 증착된 절연물질(416') 상에 포토레지스트를 도포한다. 이때, 상기 포토레지스트는 포지티브 포토레지스트 또는 네거티브 포토레지스트일 수 있다. 이어서, 패시베이션막용 마스크(Mask for Passivation Layer, 435)를 통하여 상기 도포된 포토레지스트(434)를 노광한다. 자외선은 상기 패시베이션막용 마스크(435)의 제1 레티클(436a) 및 제2 레티클들(436b)을 통해서 상기 도포된 포토레지스트(434)의 상기 드레인 전극(418c)의 일부에 대응되는 부분 및 상기 데이터 라인(418a')에 인접하는 상기 원시 액티브 패턴(417a'')에 대응되는 부분들에 각각 조사된다. 이때, 상기 제2 레티클들(436b)은 슬릿(Slit)을 포함할 수 있다.

도 24를 참조하면, 이후에 상기 도포된 포토레지스트(434)를 현상한다. 이어서, 상기 증착된 절연물질(416')의 일부 및 상기 원시 액티브 패턴(417a'')의 일부를 식각하여 상기 드레인 전극(418c)의 일부를 노출하는 상기 콘택홀 및 상기 데이터 라인(418a')에 인접하는 상기 게이트 절연막(426)을 노출하는 상기 그루부들(Groove, 437a)을 형성하여 상기 패시베이션막(416)을 형성한다. 이때, 상기 그루부들(437a)의 깊이가 깊은 경우, 상기 그루부들(437a)이 상기 데이터 라인(418a')에 인접하는 상기 하부 플레이트(420)의 일부를 노출할 수도 있다. 상기 그루부들(437a)의 깊이는 식각물질의 종류, 식각시간 등에 따라 변경된다. 폴리브덴, 알루미늄 등과 같은 금속은 상기 증착된 절연물질(416') 및 상기 원시 액티브 패턴(417a'')을 식각하는 식각액에 대한 식각 저항(Etch Resistance)이 크다. 본 실시예에서는, 상기 콘택홀은 상기 그루부들(437a)과 함께 형성한다. 이때, 상기 콘택홀 및 상기 그루부들(437a)을 별도로 형성할 수도 있다. 계속해서, 상기 패시베이션막(416) 상에 잔류하는 포토레지스트를 제거한다.

도 25를 참조하면, 이어서 상기 패시베이션막(416) 및 상기 콘택홀의 내면 상에 상기 투명한 도전성 물질을 증착한다. 계속해서, 사진식각 공정을 이용하여 상기 증착된 투명한 도전성 물질의 일부를 제거하여 상기 화소 전극(412)을 형성한다.

도 26을 참조하면, 계속해서 상기 제1 기판(470)이 형성한다. 이어서, 상기 제1 기판(470) 및 상기 제2 기판(480) 사이에 상기 액정을 주입한 후에 셀란트(Sealant, 도시되지 않음)에 의해 밀봉하여 상기 액정층(408)을 형성한다.

상기와 같은 본 실시예에 따르면, 상기 데이터 라인(418a')이 폴리브덴을 포함하여 상기 데이터 라인(418a')의 저항이 감소된다. 또한, 상기 데이터 라인(418a')과 상기 화소 전극(412)의 사이에 배치된 상기 원시 액티브 패턴(417a'')이 제거되

어 상기 화소 전극(412)과 상기 데이터 라인(418a') 사이의 전자기적 간섭이 감소되고, 상기 데이터 라인(418a')의 폭(w3)을 증가시킬 수 있다. 더욱이, 추가적인 공정 없이 상기 콘택홀을 형성하는 과정에서 상기 그루브(437a)를 형성하여 상기 액정 표시 장치의 제조공정이 단순화되고 제조비용이 감소한다.

실험예 4

본 실험예의 액정 표시 장치는 실시예 4와 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 19를 참조하면, 먼저 하부 플레이트(420) 상에 게이트 전극(418b), 게이트 라인(418b'), 스토리지 캐패시터 라인(422) 및 게이트 절연막(426)을 형성했다. 이어서, 상기 게이트 절연막(426) 상에 액티브층(417') 및 폴리브덴층(418c'')을 형성했다.

도 18 및 도 20을 참조하면, 계속해서 상기 폴리브덴층(418c'') 상에 포토레지스트 패턴들(431)을 형성했다. 상기 데이터 라인(418a')에 대응하는 상기 포토레지스트 패턴(431)의 폭(w55)은 8.8 μ m이었다.

도 21을 참조하면, 이후에 상기 포토레지스트 패턴들(431)이 형성된 상기 액티브층(417a') 및 상기 폴리브덴층(418c'')을 식각하여 상기 포토레지스트 패턴들(431)의 하부에 원시 액티브층(417a''), 원시 데이터 라인(418a'') 및 원시 소오스/드레인 전극(418c'')을 형성했다. 상기 원시 데이터 라인(418a'')의 폭(w6)은 6.4 μ m이었으며, 상기 원시 데이터 라인(418a'')의 하부에 배치된 상기 원시 액티브층(417'')의 폭(w62)은 8.6 μ m이었다.

도 22를 참조하면, 이어서 사진식각공정을 통하여 상기 게이트 전극(418b)에 대응하는 상기 원시 소오스/드레인 전극(418c'')의 일부를 식각하여 소오스 전극(418a) 및 드레인 전극(418c)을 형성했다.

상기 원시 소오스/드레인 전극(418c'')의 일부를 식각하는 동안, 상기 원시 데이터 라인(418a'') 및 상기 원시 액티브층(417a'')의 가장자리가 식각되어, 상기 데이터 라인(418a')의 폭(w3) 및 상기 데이터 라인(418a')의 하부에 배치된 원시 액티브 패턴(417a'')의 폭(w63)은 각각 4 μ m 및 8.5 μ m가 되었다.

도 23 및 도 24를 참조하면, 이후에 상기 박막 트랜지스터(419), 상기 데이터 라인(418a') 및 상기 원시 액티브 패턴(417a'')이 형성된 상기 게이트 절연막(426) 상에 상기 드레인 전극(418c)의 일부를 노출하는 상기 콘택홀 및 상기 데이터 라인(418a')에 인접하는 상기 게이트 절연막(426)을 노출하는 상기 그루브들(Groove, 437a)을 갖는 상기 패시베이션막(416)을 형성했다. 상기 그루브(437a)의 폭은 상기 원시 액티브 패턴(417a'')의 스쿼 값에서 상기 데이터 라인(418a')의 스쿼 값을 뺀 값과 동일했으며, 2.3 μ m이었다.

도 25를 참조하면, 이후에 상기 패시베이션막(416) 및 상기 콘택홀의 내면 상에 화소 전극(412)을 형성했다. 상기 화소 전극(412)과 상기 액티브 패턴(417a) 사이의 거리 및 상기 화소 전극(412)과 상기 데이터 라인(418a') 사이의 거리는 4.5 μ m이었다.

도 26을 참조하면, 이후에 제1 기판(470)이 형성했고, 상기 제1 기판(470) 및 상기 제2 기판(480) 사이에 상기 액정을 주입한 후에 셀란트(Sealant, 도시되지 않음)에 의해 밀봉하여 상기 액정층(408)을 형성했다.

본 실험예에서, 상기 데이터 라인(418a')의 스쿼(SKEW)는 4.8 μ m이었고, 상기 원시 액티브 패턴(417a'')의 스쿼는 0.3 μ m이어서, 상기 원시 액티브 패턴(417a'')과 상기 화소 전극(412) 사이의 거리는 2.1 μ m이었으나, 상기 그루브(437a)의 폭이 2.3 μ m이어서, 상기 액티브 패턴(417a)과 상기 화소 전극(412) 사이의 거리는 4.4 μ m이었다.

실시예 5

도 27은 본 발명의 제5 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 28은 상기 도 27의 V-V'라인의 단면도이다. 본 실시예에서 그루브를 제외한 나머지 구성 요소들은 실시예 4와 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 27 및 도 28을 참조하면, 상기 액정 표시 장치는 제1 기판(470), 제2 기판(480), 스페이서(도시되지 않음) 및 액정층(408)을 포함한다.

상기 제1 기판(470)은 상부 플레이트(400), 블랙 매트릭스(402), 컬러 필터(404) 및 공통 전극(406)을 포함한다.

상기 제2 기판(480)은 하부 플레이트(420), 박막 트랜지스터(419), 게이트 라인(418b'), 데이터 라인(418a'), 스토리지 캐패시터(423), 스토리지 캐패시터 라인(422), 게이트 절연막(426), 액티브 패턴(417b), 패시베이션막(416) 및 화소 전극(412)을 포함한다. 상기 게이트 라인(418b') 및 상기 데이터 라인(418a')은 화소를 정의한다.

상기 박막 트랜지스터(419)는 상기 하부 플레이트(420) 상의 상기 화소 내에 형성되며 소오스 전극(418a), 게이트 전극(418b), 드레인 전극(418c) 및 반도체층 패턴을 포함한다. 본 실시예에서, 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')은 몰리브덴(Mo), 몰리브덴-알루미늄 합금(Mo-Al alloy), 몰리브덴과 알루미늄이 서로 적층된 적층물을 포함한다.

상기 액티브 패턴(417b)은 상기 게이트 절연막(426) 상에 배치되고, 아몰퍼스 실리콘층 및 상기 아몰퍼스 실리콘층 상에 배치된 N+ 아몰퍼스 실리콘층을 포함한다. 본 실시예에서, 상기 액티브 패턴(417b)의 폭(W7)은 상기 데이터 라인(418a')의 폭(W3)보다 커서 상기 액티브 패턴(417b)의 가장자리(Side)는 상기 데이터 라인(418a')으로부터 돌출된다. 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')은 상기 액티브 패턴(417b) 상에 배치된다.

상기 패시베이션막(416)은 상기 박막 트랜지스터(419), 상기 액티브 패턴(417b) 및 상기 데이터 라인(418a')이 형성된 상기 게이트 절연막(426) 상에 배치되고, 상기 드레인 전극(418c)의 일부를 노출하는 콘택홀 및 상기 데이터 라인(418a')에 인접하는 상기 게이트 절연막(426)을 노출하는 그루브들(Groove, 437b)을 포함한다. 상기 그루브들(437b)의 폭을 조절하여 구동시 상기 게이트 라인(418a')과 상기 화소 전극(412) 사이의 전자기적 간섭을 줄인다.

상기와 같은 본 실시예에 따르면, 상기 그루브들(437b)에 의해 상기 화소 전극(412)이 상기 액티브 패턴(417b)으로부터 소정 간격 이격되어, 상기 화소 전극(412)과 상기 액티브 패턴(417b) 상에 배치된 상기 데이터 라인(418a') 사이의 전자기적 간섭(Interference)이 줄어든다.

실례 5

본 실험예의 액정 표시 장치는 실시예 5와 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 27 및 도 28을 참조하면, 먼저 하부 플레이트(420) 상에 게이트 전극(418b), 게이트 라인(418b'), 스토리지 캐패시터 라인(422) 및 게이트 절연막(426)을 형성했다. 이어서, 상기 게이트 절연막(426) 상에 액티브층 및 몰리브덴층을 형성했다.

계속해서, 상기 몰리브덴층 상에 포토레지스트 패턴들을 형성했다. 상기 데이터 라인(418a')에 대응하는 상기 포토레지스트 패턴의 폭은 8.8 μ m이었다.

이후에, 상기 포토레지스트 패턴들이 형성된 상기 액티브층 및 상기 몰리브덴층을 식각하여 상기 포토레지스트 패턴들의 하부에 원시 액티브층, 원시 데이터 라인 및 원시 소오스/드레인 전극을 형성했다. 상기 원시 데이터 라인의 폭은 6.4 μ m이었으며, 상기 원시 데이터 라인의 하부에 배치된 상기 원시 액티브층의 폭은 8.6 μ m이었다.

이어서 사진식각공정을 통하여 상기 게이트 전극(418b)에 대응하는 상기 원시 소오스/드레인 전극의 일부를 식각하여 소오스 전극(418a) 및 드레인 전극(418c)을 형성했다.

상기 원시 소오스/드레인 전극의 일부를 식각하는 동안, 상기 원시 데이터 라인 및 상기 원시 액티브층의 가장자리가 식각되어, 상기 데이터 라인(418a')의 폭(w3) 및 상기 데이터 라인(418a')의 하부에 배치된 원시 액티브 패턴의 폭은 각각 4 μ m 및 8.5 μ m가 되었다.

이후에, 상기 박막 트랜지스터(419), 상기 데이터 라인(418a') 및 상기 원시 액티브 패턴이 형성된 상기 게이트 절연막(426) 상에 상기 드레인 전극(418c)의 일부를 노출하는 상기 콘택홀 및 상기 데이터 라인(418a')에 인접하는 상기 게이트 절연막(426)을 노출하는 상기 그루브들(Groove, 437b)을 갖는 상기 패시베이션막(416)을 형성했다. 상기 그루브(437b)의 폭은 1.5 μ m이었고, 상기 액티브 패턴(417b)의 폭(w7)은 5.5 μ m이었다.

계속해서, 상기 패시베이션막(416) 및 상기 콘택홀의 내면 상에 화소 전극(412)을 형성했다. 상기 화소 전극(412)과 상기 액티브 패턴(417a) 사이의 거리는 3.6 μ m이었으며, 상기 화소 전극(412)과 상기 데이터 라인(418a') 사이의 거리는 4.5 μ m이었다.

이어서, 제1 기관(470)을 형성했고, 상기 제1 기관(470) 및 상기 제2 기관(480) 사이에 상기 액정을 주입한 후에 셀런트(Sealant, 도시되지 않음)에 의해 밀봉하여 상기 액정층(408)을 형성했다.

본 실험예에서, 상기 데이터 라인(418a')의 폭(w3)은 $4\mu\text{m}$ 이었고, 상기 액티브 패턴(417b)과 상기 화소 전극(412) 사이의 거리는 $3.6\mu\text{m}$ 이었다.

실시예 6

도 29는 본 발명의 제6 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 30은 상기 도 29의 VI-VI'라인의 단면도이다. 본 실시예에서 스토리지 캐패시터를 제외한 나머지 구성 요소들은 실시예 4와 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 29 및 도 30을 참조하면, 상기 액정 표시 장치는 제1 기관(470), 제2 기관(480), 스페이서(도시되지 않음) 및 액정층(408)을 포함한다.

상기 제1 기관(470)은 상부 플레이트(400), 블랙 매트릭스(402), 컬러 필터(404) 및 공통 전극(406)을 포함한다.

상기 제2 기관(480)은 하부 플레이트(420), 박막 트랜지스터(419), 게이트 라인(418b'), 데이터 라인(418a'), 스토리지 캐패시터(423), 게이트 절연막(426), 액티브 패턴(417a), 패시베이션막(416) 및 화소 전극(412)을 포함한다. 상기 게이트 라인(418b') 및 상기 데이터 라인(418a')은 화소를 정의한다.

상기 박막 트랜지스터(419)는 상기 하부 플레이트(420) 상의 상기 화소 내에 형성되며 소오스 전극(418a), 게이트 전극(418b), 드레인 전극(418c) 및 반도체층 패턴을 포함한다. 본 실시예에서, 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')은 몰리브덴(Mo), 몰리브덴-알루미늄 합금(Mo-Al alloy), 몰리브덴과 알루미늄이 서로 적층된 적층물을 포함한다.

상기 화소 전극(412)의 상부(Upper Portion)는 상기 게이트 라인(418b')의 일부와 오버랩되어 상기 스토리지 캐패시터(423)를 형성한다.

상기와 같은 본 실시예에 따르면, 스토리지 캐패시터 라인이 생략되어 상기 액정 표시 장치의 개구율이 향상된다.

실시예 7

도 31은 본 발명의 제7 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 32는 상기 도 31의 VII-VII'라인의 단면도이다. 본 실시예에서 그루부를 제외한 나머지 구성 요소들은 실시예 5와 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 31 및 도 32를 참조하면, 상기 액정 표시 장치는 제1 기관(470), 제2 기관(480), 스페이서(도시되지 않음) 및 액정층(408)을 포함한다.

상기 제1 기관(470)은 상부 플레이트(400), 블랙 매트릭스(402), 컬러 필터(404) 및 공통 전극(406)을 포함한다.

상기 제2 기관(480)은 하부 플레이트(420), 박막 트랜지스터(419), 게이트 라인(418b'), 데이터 라인(418a'), 스토리지 캐패시터(423), 스토리지 캐패시터 라인(422), 게이트 절연막(426), 액티브 패턴(417b), 패시베이션막(416) 및 화소 전극(412)을 포함한다. 상기 게이트 라인(418b') 및 상기 데이터 라인(418a')은 화소를 정의한다.

상기 박막 트랜지스터(419)는 상기 하부 플레이트(420) 상의 상기 화소 내에 형성되며 소오스 전극(418a), 게이트 전극(418b), 드레인 전극(418c) 및 반도체층 패턴을 포함한다. 본 실시예에서, 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')은 몰리브덴(Mo), 몰리브덴-알루미늄 합금(Mo-Al alloy), 몰리브덴과 알루미늄이 서로 적층된 적층물을 포함한다.

상기 게이트 절연막(426)은 상기 게이트 전극(418b) 및 상기 스토리지 캐패시터 라인(422)이 형성된 상기 하부 플레이트(420) 상에 배치되어 상기 게이트 전극(418b) 및 상기 스토리지 캐패시터 라인(422)을 상기 소오스 전극(418a) 및 상기 드레인 전극(418c)과 전기적으로 절연한다.

상기 액티브 패턴(417b)은 상기 게이트 절연막(426) 상에 배치되고, 아몰퍼스 실리콘층 및 상기 아몰퍼스 실리콘층 상에 배치된 N+ 아몰퍼스 실리콘층을 포함한다. 본 실시예에서, 상기 액티브 패턴(417b)의 폭(W7)은 상기 데이터 라인(418a')의 폭(W3)보다 커서 상기 액티브 패턴(417b)의 가장자리(Side)는 상기 데이터 라인(418a')으로부터 돌출된다. 상기 소오스 전극(418a), 상기 드레인 전극(418c) 및 상기 데이터 라인(418a')은 상기 액티브 패턴(417b) 상에 배치된다.

상기 패시베이션막(416)은 상기 박막 트랜지스터(419), 상기 액티브 패턴(417b) 및 상기 데이터 라인(418a')이 형성된 상기 게이트 절연막(426) 상에 배치되고, 상기 드레인 전극(418c)의 일부를 노출하는 콘택홀을 포함한다.

상기 게이트 절연막(426) 및 상기 패시베이션막(416)은 상기 데이터 라인(418a')에 인접하는 상기 하부 플레이트(420)를 노출하는 그루부들(Groove, 437c)을 포함한다. 상기 그루부들(437c)의 폭을 조절하여 구동시 상기 게이트 라인(418a')과 상기 화소 전극(412) 사이의 전자기적 간섭을 줄인다.

상기 그루부들(437c)이 상기 게이트 절연막(426) 및 상기 패시베이션막(416) 내에 형성되는 경우, 상기 하부 플레이트(420)가 식각저지층(Etch Stop Layer) 역할을 하여 상기 액정 표시 장치의 제조공정이 단순해진다.

발명의 효과

상기와 같은 본 발명에 따르면, 동일한 마스크를 이용하여 데이터 라인, 소오스 전극, 드레인 전극 및 액티브 패턴을 형성하여 액정 표시 장치의 제조공정이 단순해진다.

또한, 상기 데이터 라인이 크롬보다 저항이 낮은 폴리브텐을 포함하여 상기 데이터 라인의 저항이 감소하여 상기 액정 표시 장치의 화질이 향상된다.

더욱이, 상기 데이터 라인과 화소 전극의 사이에 배치된 액티브 패턴이 제거되어 상기 화소 전극과 상기 데이터 라인 사이의 전자기적 간섭이 감소되고 상기 데이터 라인의 폭을 증가시킬 수 있다. 또한, 추가적인 공정 없이 상기 데이터 라인과 화소 전극의 사이에 배치된 상기 액티브 패턴을 제거하여 상기 액정 표시 장치의 제조공정이 단순해지고 제조비용이 감소한다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

스위칭 소자가 형성된 플레이트;

상기 플레이트 상에 배치되어 스위칭 소자의 제1 전극에 연결된 데이터 라인;

상기 스위칭 소자 및 상기 데이터 라인이 형성된 플레이트 상에 배치되고, 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함하는 절연막; 및

상기 절연막 상에 배치되어 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결되는 화소 전극을 포함하는 표시 장치용 기관.

청구항 2.

제1항에 있어서, 상기 데이터 라인의 하부, 상기 제1 전극의 하부, 상기 제2 전극의 하부 및 상기 제1 전극과 상기 제2 전극의 사이에 배치된 액티브 패턴을 더 포함하는 것을 특징으로 하는 표시 장치용 기판.

청구항 3.

제2항에 있어서, 상기 액티브 패턴은 아몰퍼스 실리콘층 및 상기 아몰퍼스 실리콘층 상에 배치된 N+ 아몰퍼스 실리콘층을 포함하는 것을 특징으로 하는 표시 장치용 기판.

청구항 4.

제2항에 있어서, 상기 데이터 라인의 폭은 상기 데이터 라인의 하부에 배치된 액티브 패턴의 폭과 동일한 것을 특징으로 하는 표시 장치용 기판.

청구항 5.

제2항에 있어서, 상기 데이터 라인의 폭은 상기 데이터 라인의 하부에 배치된 액티브 패턴의 폭보다 좁은 것을 특징으로 하는 표시 장치용 기판.

청구항 6.

제1항에 있어서, 상기 제1 전극, 상기 제2 전극 및 상기 데이터 라인은 몰리브덴, 몰리브덴-알루미늄 합금 또는 몰리브덴과 알루미늄이 서로 적층된 적층물을 포함하는 것을 특징으로 하는 표시 장치용 기판.

청구항 7.

제6항에 있어서, 상기 적층물은 제1 몰리브덴층, 상기 제1 몰리브덴층 상에 배치된 알루미늄층 및 상기 알루미늄층 상에 배치된 제2 몰리브덴층을 포함하는 것을 특징으로 하는 표시 장치용 기판.

청구항 8.

제1항에 있어서, 상기 그루부는 상기 플레이트의 일부를 노출하는 것을 특징으로 하는 표시 장치용 기판.

청구항 9.

제1항에 있어서, 상기 스위칭 소자는 상기 플레이트 상에 배치된 제어 전극을 더 포함하고,

상기 표시 장치용 기판은 상기 제어 전극 상에 배치되어 상기 제어 전극을 상기 데이터 라인, 상기 제1 전극 및 상기 제2 전극과 절연하는 게이트 절연막을 더 포함하며,

상기 그루부는 상기 게이트 절연막의 일부를 노출하는 것을 특징으로 하는 표시 장치용 기판.

청구항 10.

플레이트 상에 스위칭 소자 및 상기 스위칭 소자의 제1 전극에 연결된 데이터 라인을 형성하는 단계;

상기 스위칭 소자 및 상기 데이터 라인이 형성된 플레이트의 상에 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함하는 절연막을 형성하는 단계; 및

상기 절연막 상에 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함하는 표시 장치용 기판의 제조방법.

청구항 11.

제10항에 있어서, 상기 스위칭 소자 및 상기 데이터 라인을 형성하는 단계는, 상기 제1 전극 및 상기 제2 전극의 사이에 채널을 형성하는 액티브 패턴을 형성하는 단계를 더 포함하고,

상기 절연막을 형성하는 단계는,

상기 스위칭 소자 및 상기 데이터 라인이 형성된 상기 플레이트의 상에 절연 물질을 증착하는 단계;

상기 제2 전극에 대응하는 증착된 절연 물질의 일부를 제거하는 단계; 및

상기 데이터 라인에 인접하는 증착된 절연 물질 및 상기 데이터 라인에 인접하는 증착된 절연물질의 하부에 배치된 상기 액티브 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 표시 장치용 기판의 제조방법.

청구항 12.

제11항에 있어서, 상기 제2 전극에 대응하는 증착된 절연 물질의 일부는 상기 데이터 라인에 인접하는 증착된 절연 물질 및 상기 데이터 라인에 인접하는 증착된 절연물질의 하부에 배치된 액티브 패턴과 함께 제거되는 것을 특징으로 하는 표시 장치용 기판의 제조방법.

청구항 13.

제10항에 있어서, 상기 절연막은 제1 마스크를 이용하는 사진식각 공정을 통하여 형성되고, 상기 제1 마스크는 상기 콘택홀에 대응하는 제1 레티클 및 상기 그루부에 대응하는 제2 레티클을 포함하는 것을 특징으로 하는 표시 장치용 기판의 제조방법.

청구항 14.

제13항에 있어서, 상기 제2 레티클의 가장자리는 상기 데이터 라인의 가장자리에 대응하는 것을 특징으로 하는 표시 장치용 기판의 제조방법.

청구항 15.

제10항에 있어서, 상기 스위칭 소자 및 상기 데이터 라인을 형성하는 단계는,

상기 플레이트 상에 상기 스위칭 소자의 제어 전극 및 상기 제어 전극에 전기적으로 연결되는 게이트 라인을 형성하는 단계;

상기 제어 전극 및 상기 게이트 라인이 형성된 플레이트의 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 아몰퍼스 실리콘을 증착하는 단계;

상기 증착된 아몰퍼스 실리콘의 상부에 도펀트를 주입하는 단계;

상기 도펀트가 주입된 아몰퍼스 실리콘 상에 폴리브덴을 증착하는 단계; 및

상기 증착된 아몰퍼스 실리콘, 상기 도펀트가 주입된 아몰퍼스 실리콘 및 상기 증착된 폴리브덴의 일부를 제거하는 단계를 포함하는 것을 특징으로 하는 표시 장치용 기판의 제조방법.

청구항 16.

제15항에 있어서, 상기 증착된 아몰퍼스 실리콘, 상기 도펀트가 주입된 아몰퍼스 실리콘 및 상기 증착된 폴리브덴은 제2 마스크를 이용하는 사진식각 공정을 통하여 제거되는 것을 특징으로 하는 표시 장치용 기판의 제조방법.

청구항 17.

제16항에 있어서, 상기 제2 마스크는 상기 데이터 라인에 대응하는 제3 레티클과, 상기 제1 및 제2 전극들에 대응하는 제4 레티클을 포함하고, 상기 화소 전극을 형성하는 단계는 복수의 화소 전극을 형성하는 단계이며, 상기 제3 레티클의 폭은 서로 인접하는 화소 전극들 사이의 거리와 동일한 것을 특징으로 하는 표시 장치용 기판의 제조방법.

청구항 18.

제1 기판;

하부 플레이트와, 상기 하부 플레이트 상에 배치된 스위칭 소자와, 상기 하부 플레이트 상에 배치되어 상기 스위칭 소자의 제1 전극에 연결된 데이터 라인과, 상기 스위칭 소자 및 상기 데이터 라인이 형성된 하부 플레이트 상에 배치되고 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함하는 절연막과, 상기 절연막 상에 배치되어 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결되는 화소 전극을 포함하며, 상기 제1 기판에 대향하는 제2 기판; 및

상기 제1 기판과 상기 제2 기판의 사이에 배치된 액정층을 포함하는 액정 표시 장치.

청구항 19.

제18항에 있어서, 상기 제2 기판은 상기 하부 플레이트 상에 배치되어 상기 제1 기판의 공통 전극과 제2 기판의 화소 전극 사이의 전위차를 유지시켜주는 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 20.

제19항에 있어서, 상기 제2 기판은 공통 전압이 인가되는 스토리지 캐패시터 라인을 더 포함하고, 상기 스토리지 캐패시터 라인은 상기 화소 전극의 일부와 중첩되어 상기 스토리지 캐패시터를 형성하는 것을 특징으로 하는 액정 표시 장치.

청구항 21.

제19항에 있어서, 상기 화소 전극의 일부는 상기 스위칭 소자의 제어 전극에 연결된 게이트 라인의 일부와 중첩되어 상기 스토리지 캐패시터를 형성하는 것을 특징으로 하는 액정 표시 장치.

청구항 22.

제18항에 있어서, 상기 제2 기관은 상기 데이터 라인의 하부, 상기 제1 전극의 하부, 상기 제2 전극의 하부 및 상기 제1 전극과 상기 제2 전극의 사이에 배치된 액티브 패턴을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 23.

제18항에 있어서, 상기 제1 전극, 상기 제2 전극 및 상기 데이터 라인은 몰리브덴, 몰리브덴-알루미늄 합금 또는 몰리브덴과 알루미늄이 서로 적층된 적층물을 포함하는 것을 특징으로 하는 표시 장치용 기관.

청구항 24.

하부 플레이트 상에 스위칭 소자 및 상기 스위칭 소자의 제1 전극에 연결된 데이터 라인을 형성하는 단계;

상기 스위칭 소자 및 상기 데이터 라인이 형성된 하부 플레이트의 상에 상기 스위칭 소자의 제2 전극을 노출하는 콘택홀 및 상기 데이터 라인에 인접하는 부분에 배치된 그루부를 포함하는 절연막을 형성하는 단계;

상기 절연막 상에 상기 콘택홀을 통하여 상기 제2 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계;

상기 하부 플레이트에 대향하는 대향 기관을 형성하는 단계; 및

상기 화소 전극과 상기 대향 기관의 사이에 액정층을 형성하는 단계를 포함하는 액정 표시 장치의 제조방법.

청구항 25.

제23항에 있어서, 상기 절연막을 형성하는 단계는,

상기 스위칭 소자 및 상기 데이터 라인이 형성된 상기 하부 플레이트의 상에 절연 물질을 증착하는 단계;

상기 제2 전극에 대응하는 증착된 절연 물질의 일부를 제거하는 단계; 및

상기 데이터 라인에 인접하는 증착된 절연 물질 및 상기 데이터 라인에 인접하는 증착된 절연물질의 하부에 배치된 액티브 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조방법.

청구항 26.

하부 플레이트 상에 스위칭 소자의 제어 전극 및 상기 제어 전극에 전기적으로 연결되는 게이트 라인을 형성하는 단계;

상기 제어 전극 및 상기 게이트 라인이 형성된 플레이트의 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 액티브층 및 상기 액티브층의 상부에 배치된 몰리브덴층을 형성하는 단계;

상기 액티브층 및 상기 몰리브덴의 일부를 식각하여 상기 스위칭 소자의 제1 전극, 상기 스위칭 소자의 제1 전극과 이격되어 배치된 제2 전극, 상기 제1 전극에 전기적으로 연결되는 데이터 라인, 및 상기 제1 및 제2 전극들의 하부와 상기 데이터 라인의 하부에 배치된 원시 액티브 패턴을 형성하는 단계;

상기 제1 전극, 상기 제2 전극, 상기 데이터 라인 및 상기 원시 액티브 패턴이 형성된 게이트 절연막 상에 절연물질을 증착하는 단계;

제1 마스크를 이용하는 사진식각 공정을 통하여 상기 제2 전극에 대응하는 증착된 절연물질, 상기 데이터 라인에 인접하는 증착된 절연물질 및 상기 데이터 라인에 인접하는 증착된 절연물질의 하부에 배치된 원시 액티브 패턴을 식각하는 단계;

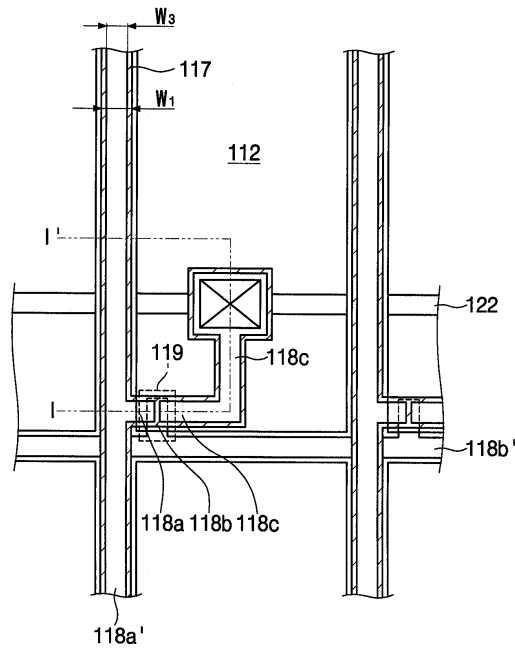
상기 절연막 상에 상기 제2 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계;

상기 하부 플레이트에 대향하는 대향 기판을 형성하는 단계; 및

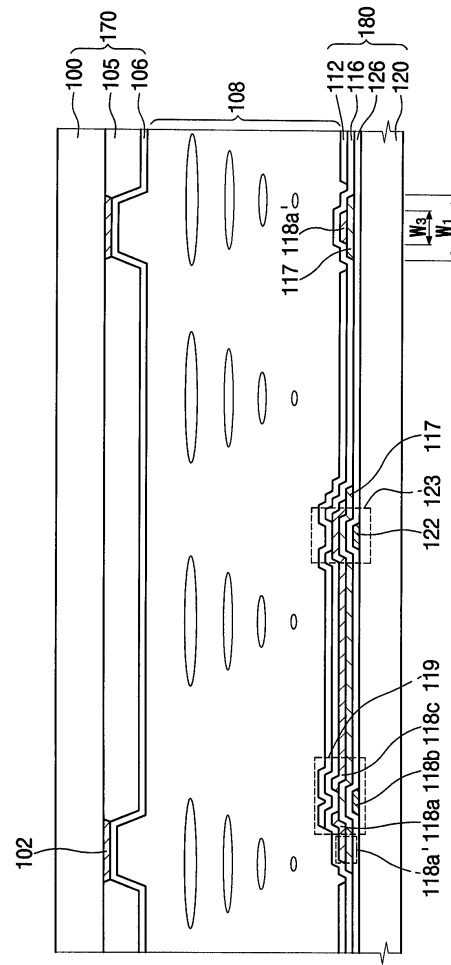
상기 화소 전극과 상기 대향 기판의 사이에 액정층을 형성하는 단계를 포함하는 액정 표시 장치의 제조방법.

도면

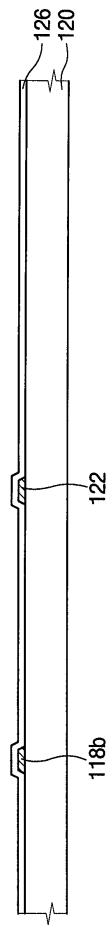
도면1



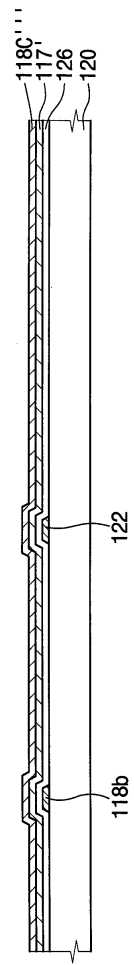
도면2



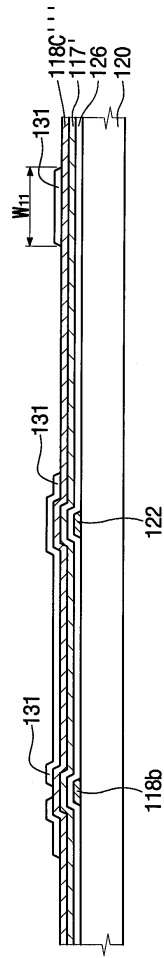
도면3



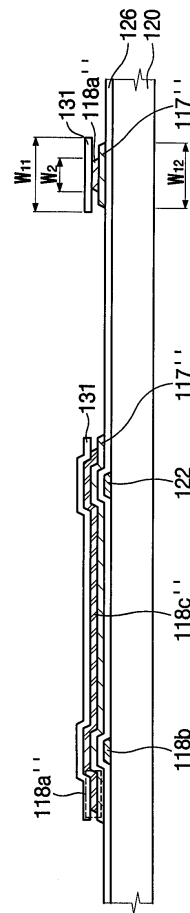
도면4



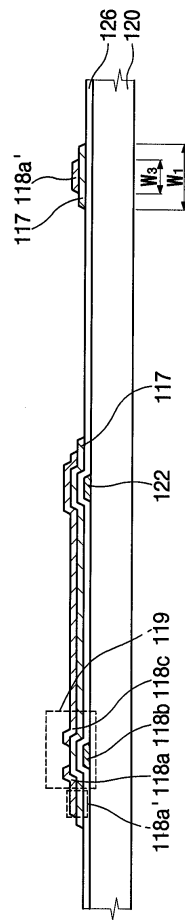
도면5



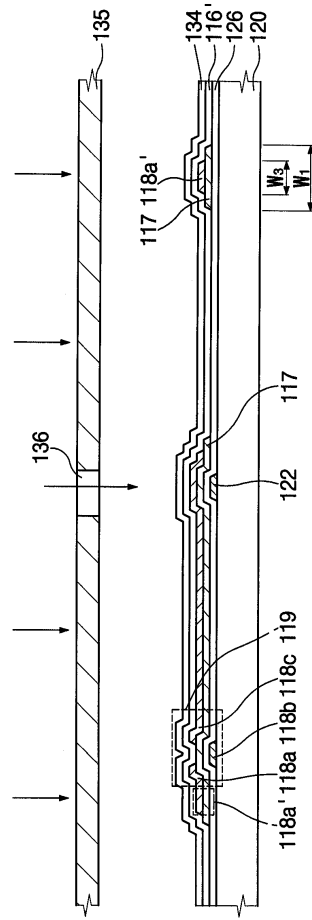
도면6



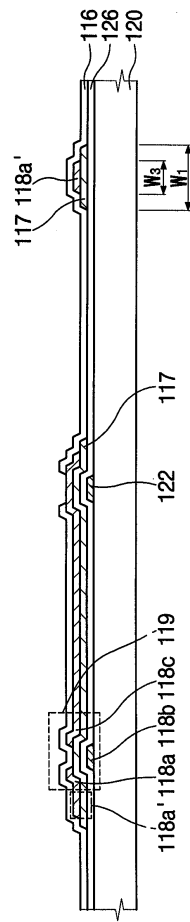
도면7



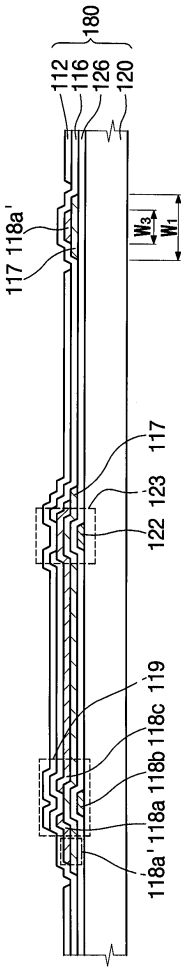
도면8



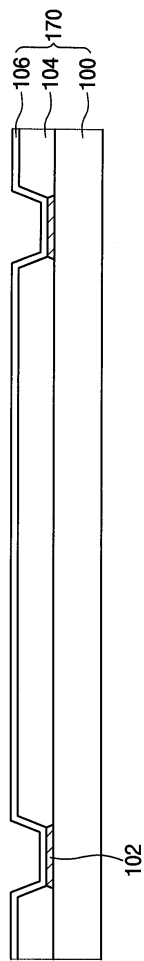
도면9



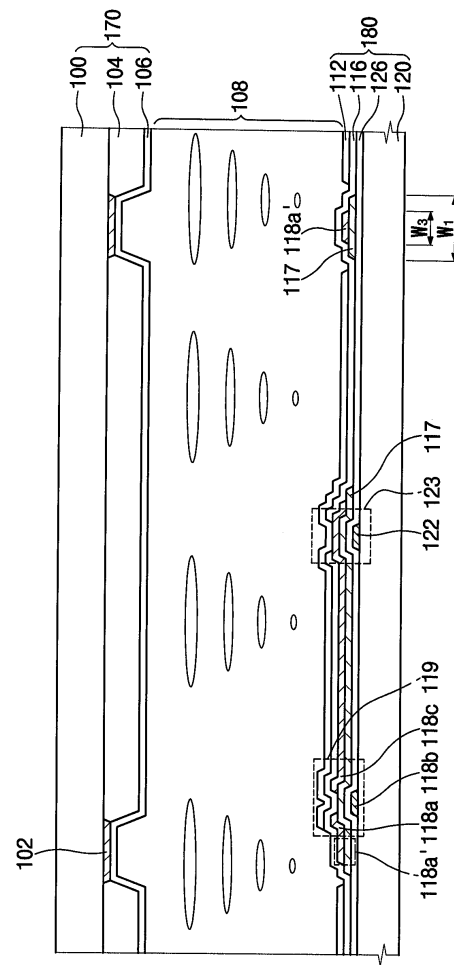
도면10



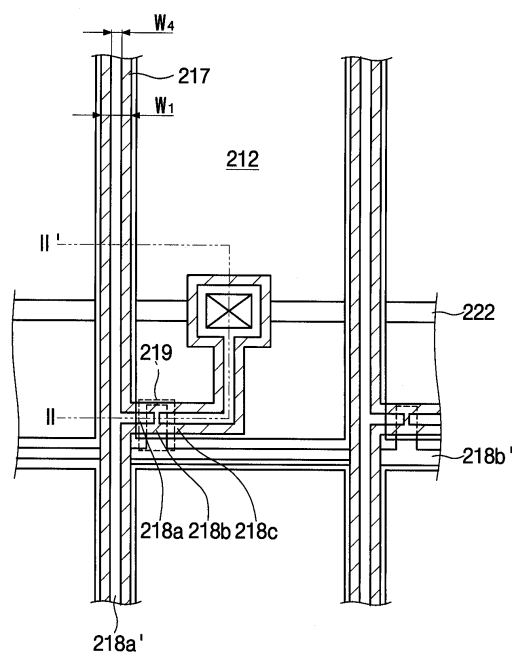
도면11



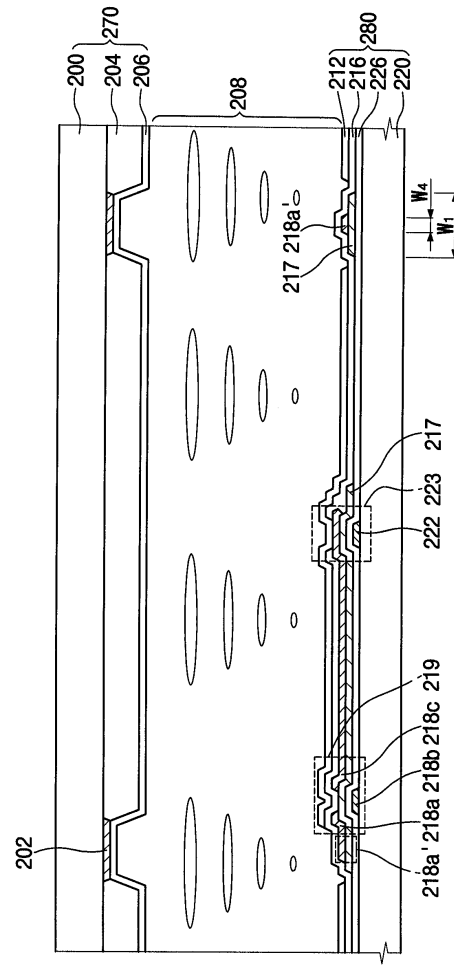
도면12



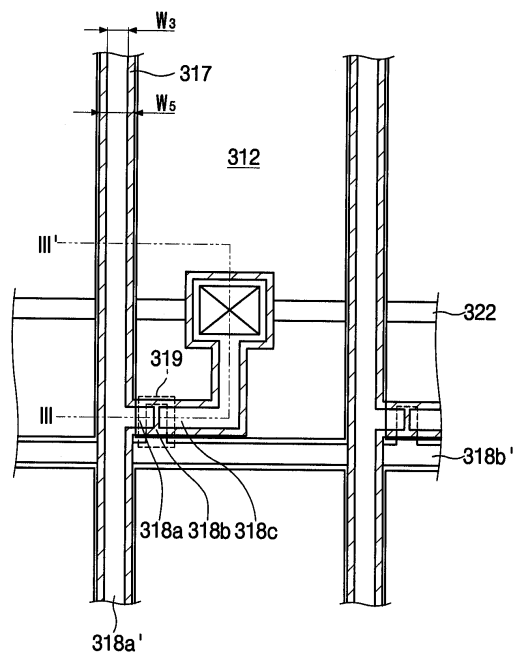
도면13



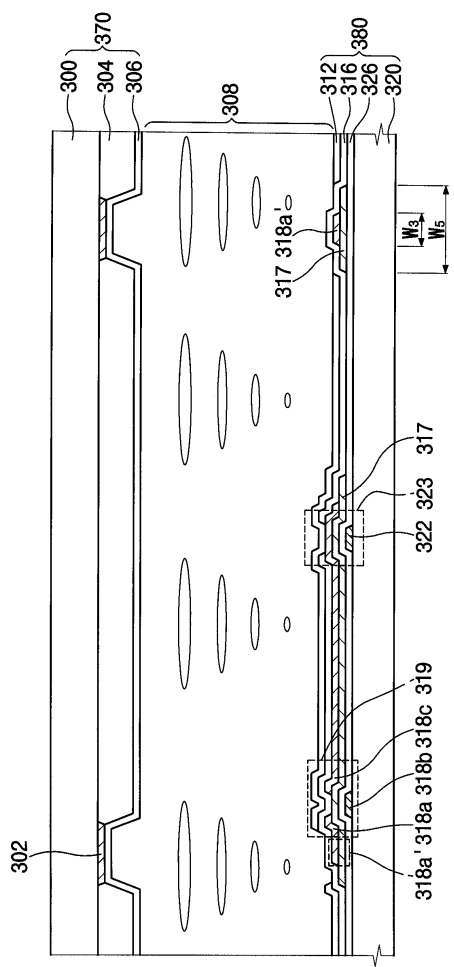
도면14



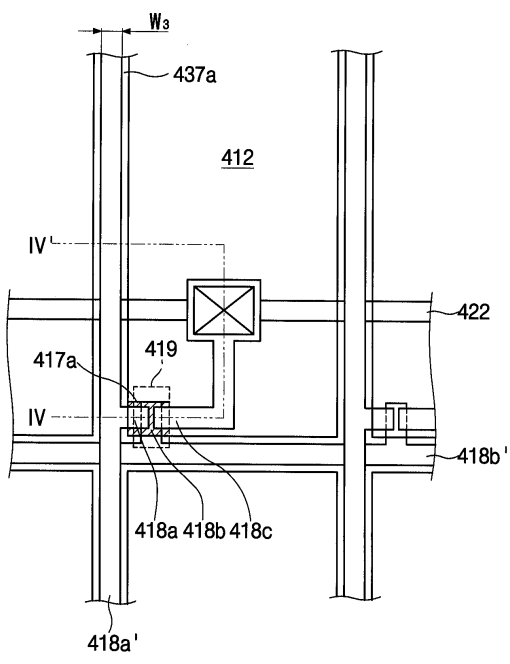
도면15



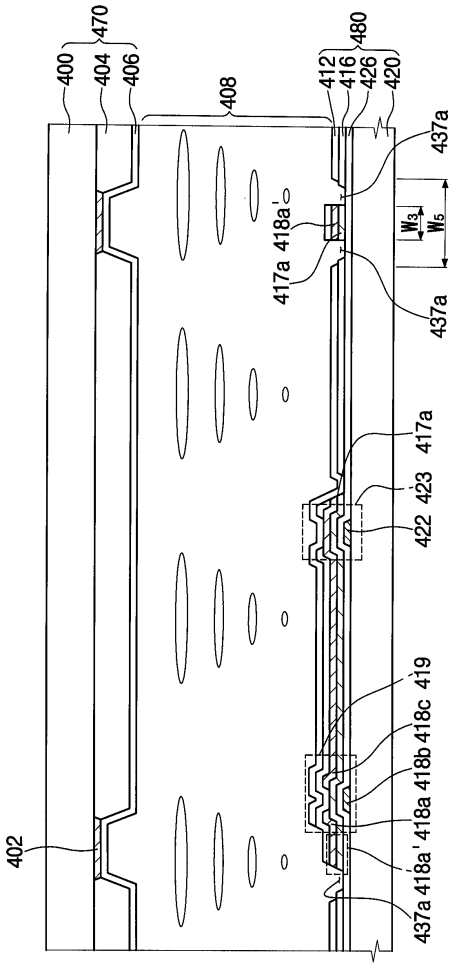
도면16



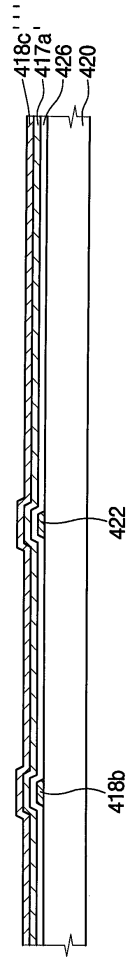
도면17



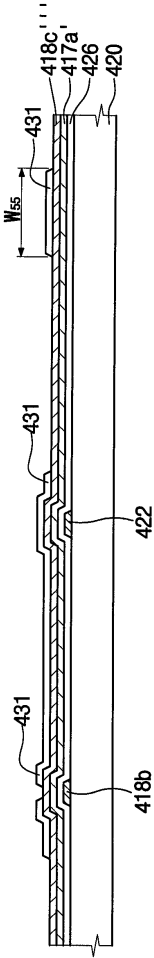
도면18



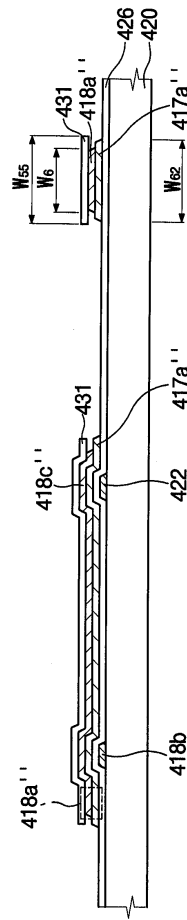
도면19



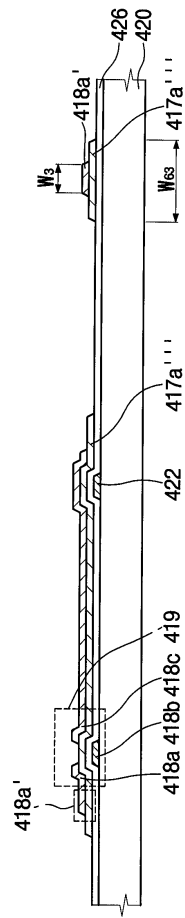
도면20



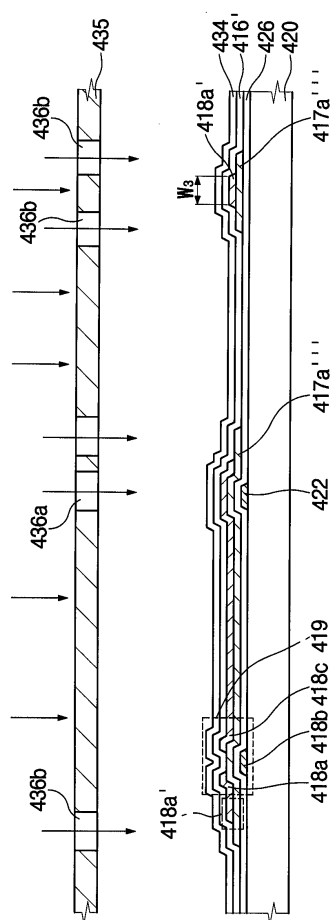
도면21



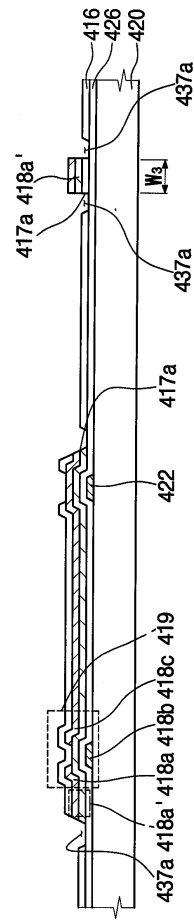
도면22



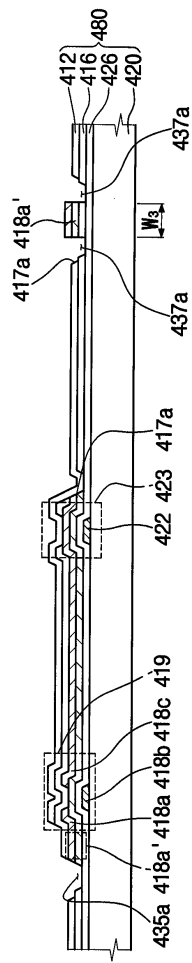
도면23



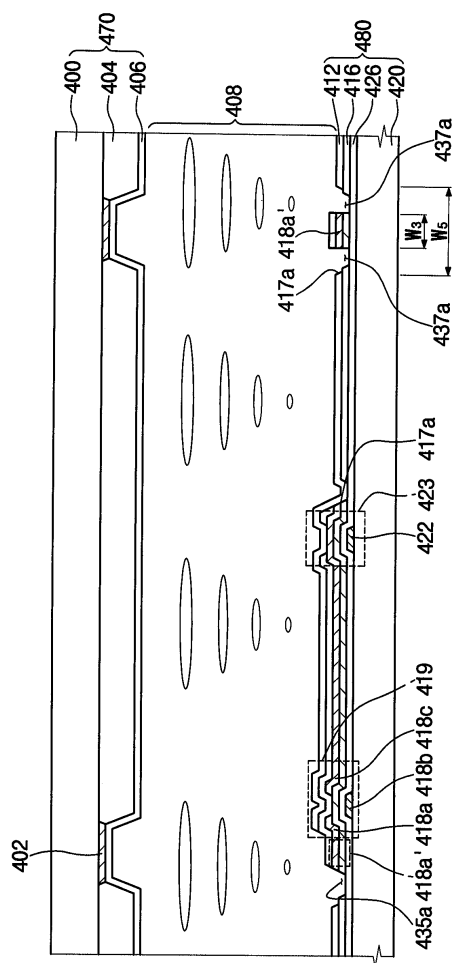
도면24



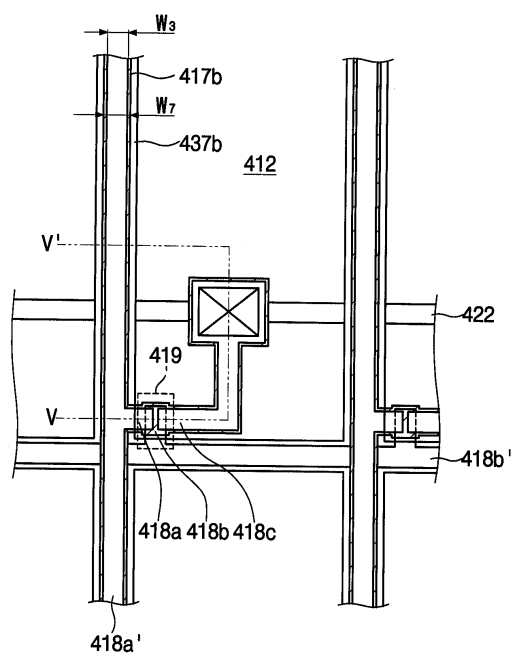
도면25



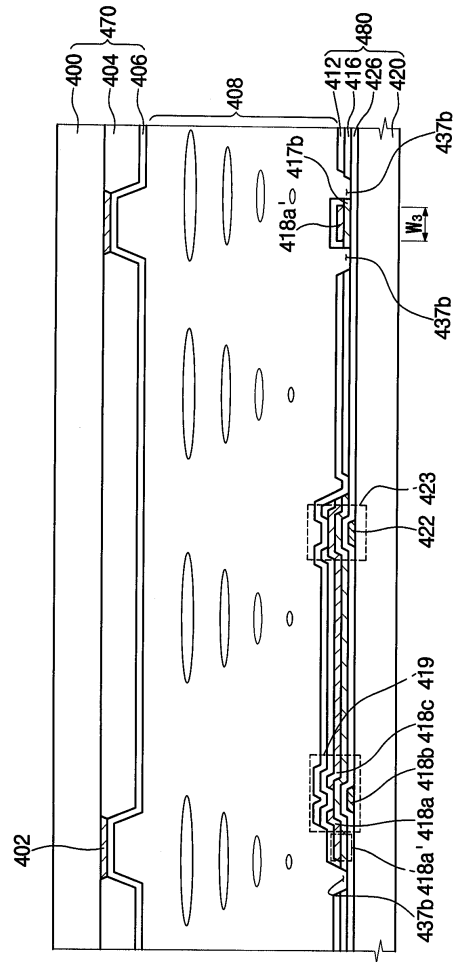
도면26



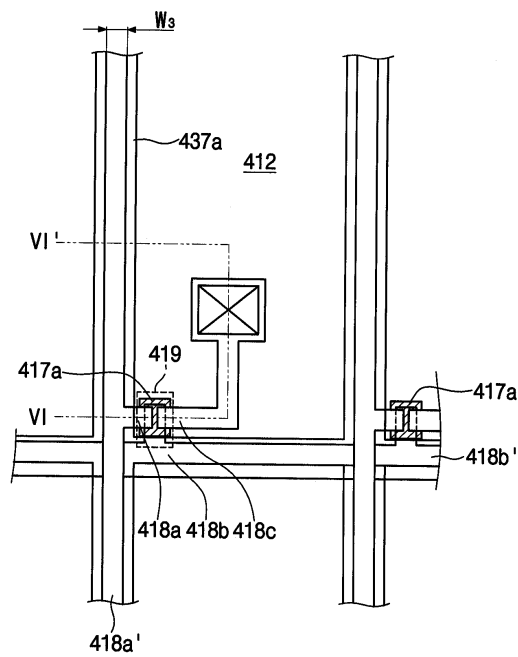
도면27



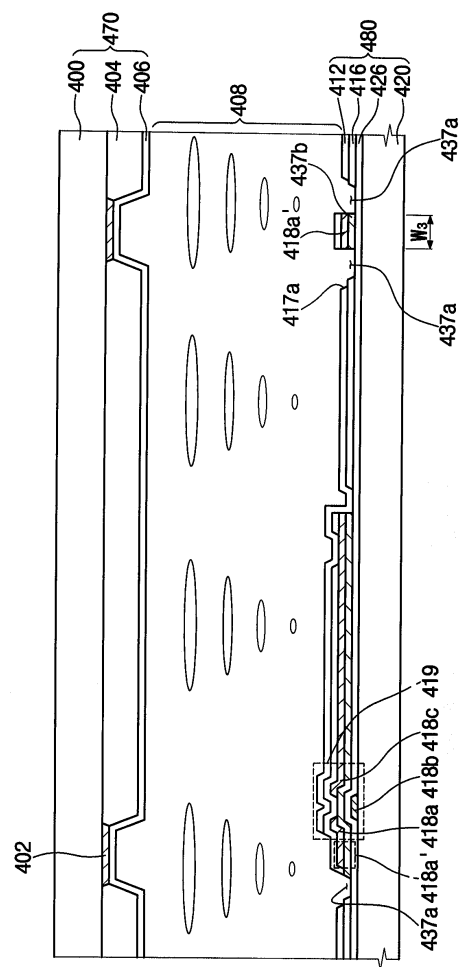
도면28



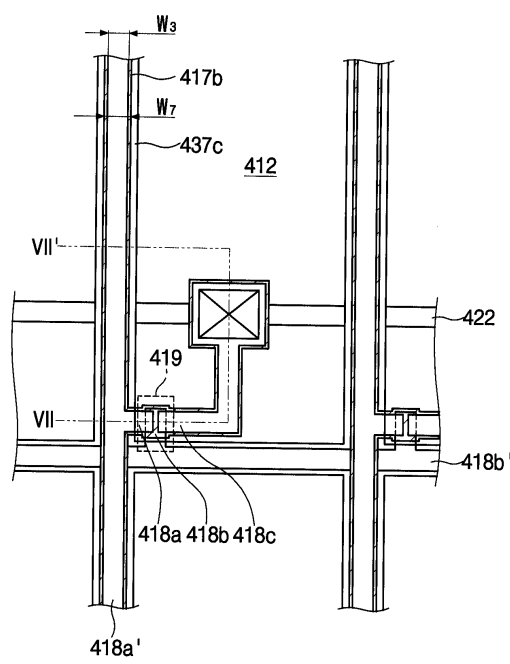
도면29



도면30



도면31



专利名称(译)	显示装置用基板，液晶显示装置及其制造方法		
公开(公告)号	KR1020060021595A	公开(公告)日	2006-03-08
申请号	KR1020040070388	申请日	2004-09-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	BYUN JAESEONG 변재성 KANG HOMIN 강호민 LEE INSUNG 이인성 MIN HOONKEE 민훈기 HONG SUNGSU 홍성수 AHN KIWAN 안기완		
发明人	변재성 강호민 이인성 민훈기 홍성수 안기완		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 G02F1/136213 H01L27/12 G02F1/1368 G02F2001/13629 G02F1/136227 H01L27/124		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR101107981B1		
外部链接	Espacenet		

摘要(译)

用于显示装置的基板包括板，开关元件，数据线，绝缘膜和像素电极。开关元件设置在板上。数据线设置在板上并连接到开关元件的第一电极。绝缘膜设置在其上形成有开关元件和数据线的板上，并且包括暴露开关元件的第二电极的接触孔和设置在与数据线相邻的部分中的接地部分。像素电极设置在绝缘膜上并通过接触孔电连接到第二电极。因此，改善了液晶显示装置的图像质量，并降低了制造成本。 18

