

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/36

(11) 공개번호 10-2005-0123487
(43) 공개일자 2005년12월29일

(21) 출원번호 10-2004-0048161
(22) 출원일자 2004년06월25일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 강신호
경기도 수원시 팔달구 인계동 384번지 주공아파트 112동 105호
김태훈
경상북도 칠곡군 석적면 남울리 우방신천지아파트 113동 1701호

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정표시장치 및 이의 구동방법

요약

본 발명은 홀수개의 채널을 갖는 데이터 드라이브 IC를 사용한 액정표시장치의 플리커 현상을 방지할 수 있는 액정표시장치 및 이의 구동방법에 관한 것으로, 서로 수직교차하는 다수개의 게이트 라인 및 다수개의 데이터 라인을 구비한 액정패널; 제 1 극성제어신호를 출력하는 타이밍 컨트롤러; 상기 제 1 극성제어신호를 입력받아 상기 제 1 극성제어신호로부터 반전된 제 2 극성제어신호를 출력하는 신호반전기; 상기 제 1 및 제 2 극성제어신호 중 어느 하나에 응답하여 상기 액정패널의 데이터 라인들에 서로 상반되는 극성패턴의 데이터 신호를 인가하는 다수개의 데이터 드라이브 IC를 포함하여 구성되는 것이다.

대표도

도 6

색인어

액정표시장치, 플리커, 데이터 드라이브 IC, 홀수 채널

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치의 데이터 드라이브 IC의 블록구성도

도 2a 및 도 2b는 도 1의 데이터 드라이브 IC를 구동하기 위한 구동신호의 타이밍도

도 3은 종래의 짝수개의 출력라인을 가지는 데이터 드라이브 IC의 개략적인 구성도

도 4는 종래의 홀수개의 출력라인을 가지는 데이터 드라이브 IC의 개략적인 구성도

도 5는 종래의 데이터 드라이브 IC를 사용한 경우 액정패널상에 표현되는 극성패턴을 나타낸 도면

도 6은 본 발명의 제 1 실시예에 따른 액정표시장치의 개략적인 구성도

도 7은 본 발명의 제 2 실시예에 따른 액정표시장치의 개략적인 구성도

도 8은 본 발명의 제 3 실시예에 따른 액정표시장치의 개략적인 구성도

도 9는 신호반전기에 구비된 인버터에 대한 개략적인 회로구성도

도 10은 제 1 및 제 2 극성반전신호에 대한 타이밍도

도 11은 본 발명에 따른 데이터 드라이브 IC를 사용한 경우 액정패널상에 표현되는 극성패턴을 나타낸 도면

* 도면의 주요부에 대한 부호 설명

120 : 타이밍 콘트롤러 220 : 데이터 TCP

230 : 게이트 TCP 181 : 게이트 드라이브 IC

161a, 161b, 161c, 161d : 데이터 드라이브 IC 170 : 출력라인

170a : 첫 번째 출력라인 150 : 신호반전기

170b : 마지막 번째 출력라인 350 : 액정패널

200a : 게이트 PCB 200b : 데이터 PCB

GL : 게이트 라인 DL : 데이터 라인

POL1 : 제 1 극성제어신호 POL2 : 제 2 극성제어신호

100a : 표시영역 100b : 비표시영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 홀수개의 채널을 갖는 데이터 드라이브 IC가 구비된 액정표시장치에서의 플리커 현상을 방지할 수 있는 액정표시장치 및 그의 구동방법에 대한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 액티브 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

그리고, 상기 액정표시장치는 데이터 TCP(Tape Carrier Package)를 통해 상기 액정패널과 접속된 데이터 드라이브 IC(Integrated Circuit)들과, 게이트 TCP를 통해 상기 액정패널과 접속된 게이트 드라이브 IC들을 구비한다.

상기 액정패널은 게이트 라인들과 데이터 라인들의 교차부마다 형성된 박막트랜지스터와, 상기 박막트랜지스터에 접속된 액정셀을 구비한다.

상기 박막트랜지스터의 게이트 전극은 수평라인 단위의 게이트 라인들 중 어느 하나와 접속되고, 소스 전극은 수직라인 단위의 데이터 라인들 중 어느 하나와 접속된다. 이러한 박막트랜지스터는 상기 게이트 라인으로부터의 게이트 구동펄스에 응답하여 데이터 라인으로부터의 데이터 신호를 상기 액정셀에 공급한다.

상기 액정셀은 상기 박막트랜지스터의 드레인 전극과 접속된 화소전극과, 그 화소전극과 액정을 사이에 두고 대면하는 공통전극을 구비한다. 이러한 액정셀은 화소전극에 공급되는 데이터 신호에 응답하여 액정을 구동함으로써 광투과율을 조절하게 된다.

한편, 상기 게이트 드라이브 IC들 각각은 게이트 TCP 각각에 실장된다.

상기 게이트 TCP에 실장된 게이트 드라이브 IC는 상기 게이트 TCP를 통해 상기 액정패널의 게이트 패드들과 전기적으로 접속된다. 이러한 게이트 드라이브 IC들은 액정패널의 게이트 라인들을 1수평기간(1H) 단위로 순차 구동하게 된다.

그리고, 상기 데이터 드라이브 IC들 각각은 데이터 TCP 각각에 실장된다. 상기 데이터 TCP에 실장된 데이터 드라이브 IC는 상기 데이터 TCP를 통해 상기 액정패널의 데이터 패드들과 전기적으로 접속된다. 이러한 데이터 드라이브 IC들은 디지털 화소데이터를 아날로그 데이터 신호로 변환하여 1수평기간(1H) 단위로 액정패널의 데이터 라인들에 공급한다.

이하, 첨부된 도면을 참조하여 종래의 액정표시장치의 데이터 드라이브 IC를 상세히 설명하면 다음과 같다.

도 1은 종래의 액정표시장치의 데이터 드라이브 IC의 블록구성도이고, 도 2a 및 도 2b는 도 1의 데이터 드라이브 IC를 구동하기 위한 구동신호의 타이밍도이다.

종래의 액정표시장치의 데이터 드라이브 IC들 각각은, 도 1에 도시된 바와 같이, 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(12)와, 상기 쉬프트 레지스터 어레이(12)의 샘플링신호에 응답하여 화소데이터를 래치하여 출력하는 제 1 및 제 2 래치 어레이(16, 18)와, 상기 제 1 및 제 2 래치 어레이(16, 18) 사이에 배치된 제 1 멀티플렉서(Multiplexer; 이하, MUX라 함)(15)와, 상기 제 2 래치 어레이(18)로부터의 화소데이터를 데이터 신호로 변환하는 디지털-아날로그 변환(Digital Analog Converter; 이하, DAC라 함) 어레이(20)와, 상기 DAC 어레이(20)로부터의 데이터 신호를 완충하여 출력하는 버퍼 어레이(26)와, 상기 버퍼 어레이(26) 출력의 진행경로를 선택하는 제 2 MUX 어레이(30)를 구비한다.

또한, 상기 데이터 드라이브 IC는 타이밍 컨트롤러(도시하지 않음)로부터 공급되는 화소데이터(R, G, B)를 중계하는 데이터 레지스터부(34)와, 상기 DAC 어레이(20)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(36)를 더 구비한다.

이러한 구성을 갖는 데이터 드라이브 IC들 각각은 n개씩의 데이터 라인들을 구동하기 위하여 n 채널(예컨데, 384 또는 480 채널)의 데이터출력을 갖는다. 도 1은 이러한 데이터 드라이브 IC의 n 채널 중 6 채널(DL1 내지 DL6) 부분만을 도시한다.

이어, 상기와 같이 구성된 종래의 데이터 드라이브 IC의 동작을 상세히 설명한다.

먼저, 데이터 레지스터부(34)는 타이밍 컨트롤러로부터의 화소데이터를 중계하여 제 1 래치 어레이(16)로 공급한다. 특히 타이밍 컨트롤러는 전송 주파수 감소를 위해 화소데이터를 우수 화소데이터(RGBEven)와 기수 화소데이터(RGBOdd)로 분리하여 각각의 전송라인을 통해 데이터 레지스터부(34)로 공급하게 된다.

상기 데이터 레지스터부(34)는 입력된 우수 화소데이터(RGBEven)와 기수 화소데이터(RGBOdd)를 각각의 전송라인을 통해 제 1 래치 어레이(16)로 출력한다. 여기서 우수화소데이터(RGBEven)와 기수 화소데이터(RGBOdd) 각각은 적(R), 녹(G), 청(B) 화소데이터를 포함한다.

한편, 감마전압부(36)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

그리고, 쉬프트 레지스터 어레이(12)는 순차적인 샘플링신호를 발생하여 제 1 래치 어레이(16)로 공급하고, 이를 위하여 $n/6$ 개의 쉬프트 레지스터(14)를 구비한다. 도 2에 도시된 첫번째 단의 쉬프트 레지스터(14)는 타이밍 컨트롤러로부터 입력되는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호로 출력함과 동시에 다음단의 쉬프트 레지스터(14)에 캐리신호(CAR)로 공급한다.

소스 스타트 펄스(SSP)는 도 2a 및 도 2b에 도시된 바와 같이 1수평기간(1H) 단위로 공급되고 소스 샘플링 클럭신호(SSC) 마다 쉬프트되어 샘플링신호로 출력된다.

제 1 래치 어레이(16)는 쉬프트 레지스터 어레이(12)로부터의 샘플링신호에 응답하여 데이터 레지스터부(34)로부터의 화소데이터(RGBeven, RGBodd)를 일정단위씩 샘플링하여 래치한다. 제 1 래치 어레이(16)는 n 개의 화소데이터(R, G, B)를 래치하기 위해 n 개의 제 1 래치(13)들로 구성되고, 그 제 1 래치(13)들 각각은 화소데이터(R, G, B)의 비트수(3비트 또는 6비트)에 대응하는 크기를 갖는다.

이러한 제 1 래치 어레이(16)는 샘플링 신호마다 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd), 즉 6개씩의 화소데이터를 샘플링하여 래치한 다음 동시에 출력한다.

그리고, 제 1 MUX 어레이(15)는 타이밍 컨트롤러로부터의 극성제어신호(POL)에 응답하여 제 1 래치 어레이(16)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 결정하게 된다. 이를 위하여 제 1 MUX 어레이(15)는 $n-1$ 개의 제 1 MUX(17)들을 구비한다. 제 1 MUX(17)들 각각은 인접한 두개의 제 1 래치(13) 출력을 입력하여 상기 극성제어신호(POL)에 따라 선택적으로 출력하게 된다.

여기서, 첫 번째와 마지막 번째 제 1 래치(13)들을 제외한 나머지 제 1 래치(13)들 각각의 출력은 인접한 두개의 제 1 MUX(17)에 공유되어 입력된다. 첫 번째와 마지막 번째 제 1 래치(13)들의 출력은 제 2 래치 어레이(18)와 제 1 MUX(17)에 공유되어 입력된다. 이러한 구성을 가지는 제 1 MUX 어레이(15)는 극성제어신호(POL)에 따라 제 1 래치(13)들 각각으로부터의 화소데이터(R, G, B)가 그대로 제 2 래치부(18)로 진행되게 제어하거나, 한 칸씩 오른쪽으로 쉬프트되어 제 2 래치부(18)로 진행되게 제어한다.

상기 극성제어신호(POL)는, 도 2a 및 도 2b에 도시된 바와 같이, 1수평기간(1H) 마다 그 극성이 반전된다. 결과적으로 제 1 MUX 어레이(15)는 제 1 래치 어레이(16)로부터의 화소데이터(R, G, B) 각각이 상기 극성제어신호(POL)에 응답하여 제 2 래치 어레이(18)를 경유하여 상기 DAC 어레이(20)의 P(Positive)DAC(22) 또는 N(Negative)DAC(24)로 출력되게 함으로써 화소데이터(R, G, B)의 극성을 제어하게 된다.

상기 제 2 래치 어레이(18)는 상기 제 1 래치 어레이(16)로부터 제 1 MUX 어레이(15)를 경유하여 입력되는 화소데이터(R, G, B)를 타이밍 컨트롤러로부터의 소스 출력 이네이블신호(SOE)에 응답하여 동시에 래치한 후 출력한다. 특히 제 2 래치 어레이(18)는 제 1 래치 어레이(16)로부터의 화소데이터(R, G, B)가 라이트 쉬프트되어 입력되는 경우를 고려하여 $n+1$ 개의 제 2 래치들(19)을 구비한다.

여기서, 상기 소스 출력 이네이블신호(SOE)는, 도 2a 및 도 2b에 도시된 바와 같이, 1수평기간(1H) 단위로 발생한다. 상기 제 2 래치 어레이(18)는 이 소스 출력 이네이블신호(SOE)의 라이징 에지에서 입력되는 화소데이터들(R, G, B)을 동시에 래치하고 폴링 에지에서 동시에 출력한다.

상기 DAC 어레이(20)는 상기 제 2 래치 어레이(18)로부터의 화소데이터(R, G, B)들을 감마전압부(36)로부터의 정극성(+) 및 부극성(-) 감마전압(GH, GL)을 이용하여 데이터 신호로 변환하여 출력하게 된다.

이를 위하여, 상기 DAC 어레이(20)는 $n+1$ 개의 PDAC(22) 및 NDAC(24)을 구비하고, 도트 인버전 구동을 위해 PDAC(22)과 NDAC(24)이 교번적으로 나란하게 배치된다. 상기 PDAC(22)는 제 2 래치 어레이(18)로부터의 화소데이터(R, G, B)들을 정극성(+) 감마전압(GH)들을 이용하여 정극성(+) 데이터 신호로 변환한다. 그리고, 상기 NDAC(24)은 제 2 래치 어레이(18)로부터 화소데이터(R, G, B)들을 부극성(-) 감마전압(GL)들을 이용하여 부극성(-) 데이터 신호로 변환한다.

한편, 버퍼 어레이(26)에 포함되는 $n+1$ 개의 버퍼(28)들 각각은 상기 DAC 어레이(20)의 PDAC(22) 및 NDAC(24) 각각으로부터 출력되는 데이터 신호를 신호완충하여 출력한다.

그리고, 제 2 MUX 어레이(30)는 상기 타이밍 콘트롤러로부터의 극성제어신호(POL)에 응답하여 상기 버퍼 어레이(26)로부터 공급되는 데이터 신호의 진행경로를 결정하게 된다.

이를 위하여, 상기 제 2 MUX 어레이(30)는 n개의 제 2 MUX(32)들을 구비한다. 제 2 MUX(32)들 각각은 상기 극성제어신호(POL)에 응답하여 인접한 2개의 버퍼(28)들 중 어느 하나의 출력을 선택하여 해당 데이터 라인(D)으로 출력한다.

여기서, 첫 번째 및 마지막 번째 버퍼(28)를 제외한 나머지 버퍼(28)들의 출력단은 인접한 2개의 제 2 MUX(32)들에 공유되어 입력된다.

이러한 구성을 가지는 상기 제 2 MUX 어레이(30)는 상기 극성제어신호(POL)에 응답하여 마지막 번째 버퍼(28)를 제외한 버퍼(28)들 각각으로부터의 데이터 신호가 그대로 데이터 라인(D1 내지 D6)과 일대일 대응되어 출력되게 한다.

또한, 상기 제 2 MUX 어레이(30)는 상기 극성제어신호(POL)에 응답하여 첫 번째 버퍼(28)를 제외한 나머지 버퍼(28)들 각각으로부터의 데이터 신호가 한 칸씩 왼쪽으로 쉬프트되어 데이터 라인(D1 내지 D6)과 일대일 대응되어 출력되게 한다.

상기 극성제어신호(POL)는 상기 제 1 MUX 어레이(15)에 공급되는 것과 동일하게, 도 2a 및 도 2b에 도시된 바와 같이, 1수평기간(1H) 마다 그 극성이 반전된다. 이와 같이 제 2 MUX 어레이(30)는 제 1 MUX 어레이(15)와 함께 극성제어신호(POL)에 응답하여 데이터 라인(D1 내지 D6)들에 공급되는 데이터 신호의 극성을 결정하게 된다. 이 결과 제 2 MUX 어레이(30)를 통해 데이터 라인(D1 내지 D6)들 각각에 공급되는 데이터 신호는 인접한 데이터 신호들과 상반된 극성을 갖는다.

다시 말하여, 도 2a 및 도 2b에 도시된 바와 같이, DL1, DL3, DL5 등과 같은 기수 데이터 라인(Dodd)들로 출력되는 데이터 신호와 DL2, DL4, DL6 등과 같은 우수 데이터 라인(Deven)들로 출력되는 데이터 신호는 서로 상반되는 극성을 갖게 된다. 그리고 그 기수 데이터 라인(Dodd)들과 우수 데이터 라인(Deven)들의 극성은 상기 게이트 라인들(GL1, GL2, GL3, ...)이 순차적으로 구동되는 1수평주기(1H) 마다 반전됨과 아울러 프레임 단위로 반전되게 된다.

일례로, 하이논리의 극성제어신호(POL)가 상기 제 1 및 제 2 MUX 어레이(15, 30)에 인가된다면, 상기 기수 데이터 라인(Dodd)들에는 정극성(+) 데이터 신호가 인가되고 상기 우수 데이터 라인(Deven)들에는 부극성(-) 데이터 신호가 인가되며, 로우논리의 극성제어신호(POL)가 상기 제 1 및 제 2 MUX 어레이(15, 30)에 인가된다면, 상기 기수 데이터 라인(Dodd)들에는 부극성(-) 데이터 신호가 인가되고, 상기 우수 데이터 라인(Deven)들에는 정극성(+) 데이터 신호가 인가된다.

따라서, 한 수평라인분의 액정셀들 중 상기 기수 데이터 라인(Dodd)들 각각에 접속된 기수 액정셀들은 정극성 데이터 신호가 인가되고, 상기 한 수평라인분의 액정셀들 중 상기 우수 데이터 라인(Deven)들 각각에 접속된 우수 액정셀들은 부극성 데이터 신호가 인가된다.

여기서, 상기 각 데이터 드라이브 IC는 짝수개의 출력라인 또는 홀수개의 출력라인을 가지게 되며, 각 출력라인은 상기 데이터 라인과 일대일 연결되어 데이터 신호를 출력한다.

즉, 상기 데이터 드라이브 IC들 각각이 짝수개의 출력라인을 갖는다면, 상기 데이터 드라이브 IC들 각각은 상기 전체 데이터 라인들을 짝수개씩 나누어 구동하며, 상기 데이터 드라이브 IC가 홀수개의 출력라인을 갖는다면, 상기 전체 데이터 라인들을 홀수개씩 나누어 구동하게 된다.

도 3은 종래의 짝수개의 출력라인을 가지는 데이터 드라이브 IC의 개략적인 구성도이고, 도 4는 종래의 홀수개의 출력라인을 가지는 데이터 드라이브 IC의 개략적인 구성도이다.

즉, 도 3에 도시된 바와 같이, 데이터 드라이브 IC(61a, 61b, 61c, 61d,...)들 각각이 짝수개의 출력라인(70)들을 갖고 상기 짝수개의 출력라인(70)들 각각이 정극성 데이터 신호와 부극성 데이터 신호를 교번적으로 출력한다면(도트 인버전 방식), 상기 데이터 드라이브 IC(61a, 61b, 61c, 61d,...)들 각각의 상기 출력라인(70)들의 수는 짝수이므로 상기 데이터 드라이브 IC(61a, 61b, 61c, 61d,...)들 각각의 출력라인(70)들에는 정극성의 데이터 신호와 부극성의 데이터 신호가 동일한 수로 나타난다.

또한, 상기 임의의 데이터 드라이브 IC(61b)의 첫 번째 출력라인(70a)으로부터 출력되는 데이터 신호와 마지막 번째 출력라인(70b)으로부터 출력되는 데이터 신호는 서로 상반된 극성을 가진다.

따라서, 임의의 데이터 드라이브 IC(61b)의 첫 번째 출력라인(70a)으로부터 출력되는 데이터 신호와 이전단의 데이터 드라이브 IC(61a)의 마지막 번째 출력라인(70b)으로부터 출력되는 데이터 신호가 서로 상반된 극성을 나타내며, 상기 임의의 데이터 드라이브 IC(61b)의 마지막 번째 출력라인(70b)으로부터 출력되는 데이터 신호와 다음단의 데이터 드라이브 IC(61c)의 첫 번째 출력라인(70a)으로부터 출력되는 데이터 신호가 서로 상반된 극성을 나타낸다.

그러나, 도 4에 도시된 바와 같이, 데이터 드라이브 IC(81a, 81b, 81c, 81d,...)들 각각이 홀수개의 출력라인(90)들을 갖고 상기과 같은 도트 인버전 방식으로 데이터 신호를 출력한다면, 상기 데이터 드라이브 IC(81a, 81b, 81c, 81d,...)들 각각의 출력라인(90)들의 수는 홀수이므로 임의의 데이터 드라이브 IC(81b)의 출력라인(80)들에는 상기 정극성의 데이터 신호와 부극성의 데이터 신호의 수가 다르게 나타난다.

또한, 상기 임의의 데이터 드라이브 IC(81b)의 첫 번째 출력라인(90a)으로부터 출력되는 데이터 신호와 마지막 번째 출력라인(90b)으로부터 출력되는 데이터 신호는 서로 동일한 극성을 가진다.

따라서, 상기 임의의 데이터 드라이브 IC(81b)의 첫 번째 출력라인(90a)으로부터 출력되는 데이터 신호와 이전단의 데이터 드라이브 IC(81a)의 마지막 번째 출력라인(90b)으로부터 출력되는 데이터 신호는 서로 동일한 극성을 나타내며, 상기 임의의 데이터 드라이브 IC(81b)의 마지막 번째 출력라인(80b)으로부터 출력되는 데이터 신호와 다음단의 데이터 드라이브 IC(81c)의 첫 번째 출력라인(90a)으로부터 출력되는 데이터 신호는 서로 동일한 극성을 나타낸다.

결국, 상기과 같은 홀수개의 출력라인을 갖는 데이터 드라이브 IC(81a, 81b, 81c, 81d,...)들을 사용하여 액정패널을 구동하게 되면, 도 5에 도시된 바와 같이, 임의의 데이터 드라이브 IC(81b)의 첫 번째 출력라인(90a)을 통해 데이터 신호를 인가받는 액정셀(52)과 이전단 데이터 드라이브 IC(81a)의 마지막 번째 출력라인(90b)을 통해 데이터 신호를 인가받는 액정셀(51)은 서로 동일한 극성을 가지게 되고, 상기 임의의 데이터 드라이브 IC(81b)의 마지막 번째 출력라인(90b)을 통해 데이터 신호를 인가받는 액정셀(53)과 다음단 데이터 드라이브 IC(81c)의 첫 번째 출력라인(90a)을 통해 데이터 신호를 인가받는 액정셀(54)은 서로 동일한 극성을 가지게 된다.

결국, 종래와 같은 홀수개의 출력라인을 갖는 데이터 드라이브 IC(81a, 81b, 81c, 81d,...)들을 사용한 경우, 상기 인접하는 데이터 드라이브 IC(81a, 81b, 81c, 81d,...)들간의 첫 번째 및 마지막 번째 출력라인(90a, 90b)으로부터 출력되는 데이터 신호를 인가받는 액정셀들(91 및 92 또는 93 및 94)간의 극성이 동일하게 되어 플리커 현상이 발생하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기과 같은 문제점을 해결하기 위해 안출한 것으로, 홀수 번째 데이터 드라이브 IC들과 짝수 번째 데이터 드라이브 IC들이 서로 상반된 극성패턴을 출력하도록 하여 서로 인접한 액정셀들간의 극성이 서로 반전될 수 있도록 한 액정표시장치 및 이의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기과 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 서로 수직교차하는 다수개의 게이트 라인들 및 다수개의 데이터 라인들을 구비한 액정패널; 제 1 극성제어신호를 출력하는 타이밍 콘트롤러; 상기 제 1 극성제어신호로부터 반전된 제 2 극성제어신호를 출력하는 신호반전기; 상기 제 1 극성제어신호에 응답하여 제 1 극성패턴의 데이터 신호를 상기 데이터 라인들 중 제 1 데이터 라인들에 출력하는 다수개의 제 1 데이터 드라이브 IC들; 상기 제 2 극성제어신호에 응답하여 상기 제 1 극성패턴과 상반된 제 2 극성패턴의 데이터 신호를 상기 데이터 라인들 중 제 2 데이터 라인들에 출력하는 다수개의 제 2 데이터 드라이브 IC들을 포함하여 구성되는 것을 그 특징으로 한다.

또한, 이와 같이 구성된 본 발명에 따른 액정표시장치의 구동방법은, 제 1 극성제어신호에 응답하여 제 1 극성패턴의 데이터 신호를 다수개의 데이터 라인들 중 제 1 데이터 라인들에 출력하는 단계; 제 2 극성제어신호에 응답하여 상기 제 1 극성패턴과 상반된 제 2 극성패턴의 데이터 신호를 상기 데이터 라인들 중 제 2 데이터 라인들에 출력하는 단계를 포함하여 이루어지는 것을 그 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.

도 6은 본 발명의 제 1 실시예에 따른 액정표시장치의 개략적인 구성도이고, 도 7은 본 발명의 제 2 실시예에 따른 액정표시장치의 개략적인 구성도이며, 도 8은 본 발명의 제 3 실시예에 따른 액정표시장치의 개략적인 구성도이다. 그리고, 도 9는 신호반전기에 구비된 인버터에 대한 개략적인 회로구성도이고, 도 10은 제 1 및 제 2 극성제어신호에 대한 타이밍도이며, 도 11은 본 발명에 따른 데이터 드라이브 IC를 사용한 경우 액정패널상에 표현되는 극성패턴을 나타낸 도면이다.

본 발명의 제 1 실시예에 따른 액정표시장치는, 도 6에 도시된 바와 같이, 일방향으로 배열되는 다수개의 게이트 라인(GL) 및 상기 게이트 라인(GL)들에 수직교차하도록 배열되는 다수개의 데이터 라인(DL)이 구비된 액정패널(350)과, 상기 액정패널(350)의 비표시영역(100a)의 일측과 게이트 PCB(Printed Circuit Board)(200a) 사이에 접속되는 다수개의 게이트 TCP(Tape Carrier Package)(230)와, 상기 게이트 TCP(230)들 각각에 실장되어 상기 게이트 라인(GL)들을 구동하기 위한 게이트 드라이브 IC(181)와, 상기 액정패널(350)의 비표시영역(100a)의 타측과 데이터 PCB(200b) 사이에 접속되는 다수개의 데이터 TCP(220)와, 상기 데이터 TCP(220)들 각각에 실장되어 상기 데이터 라인(DL)들을 구동하기 위한 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)와, 상기 데이터 PCB(200b)에 실장되어 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 홀수 번째 위치한 제 1 데이터 드라이브 IC(161a, 161c)들에 제 1 극성제어신호(POL1)를 인가하는 타이밍 콘트롤러(120)와, 상기 타이밍 콘트롤러(120)의 상기 제 1 극성제어신호(POL1)를 입력받아 상기 제 1 극성제어신호(POL1)로부터 반전된 제 2 극성제어신호(POL2)를 생성하고, 상기 제 2 극성제어신호(POL2)를 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 짝수 번째 위치한 제 2 데이터 드라이브 IC(161b, 161d)들에 인가하는 신호반전기(150)를 포함하여 구성된다.

여기서, 도면에 도시하지 않았지만, 상기 액정표시장치는 상기 액정패널(350)의 표시부의 각 게이트 라인(GL)과 각 데이터 라인(DL)이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 다수개의 화소전극들과, 상기 게이트 라인(GL)의 신호에 의해 스위칭되어 상기 데이터 라인(DL)의 데이터 신호를 상기 화소전극에 전달하는 다수개의 박막트랜지스터를 더 구비한다.

그리고, 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 각각은 홀수개의 데이터 신호의 출력라인(170)들을 가지고 있으며, 상기 출력라인(170)들 각각은 데이터 라인(DL)에 일대일 대응되어 연결된다. 따라서, 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 각각은 상기 전체 데이터 라인(DL)들을 홀수개씩 나누어 구동하게 된다. 그리고, 각 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 각각은 모두 동일한 수의 홀수개의 출력라인(170)들을 가지고 있다.

여기서, 하나의 데이터 드라이브 IC(161b)를 예를 들어 설명하면, 상기 데이터 드라이브 IC(161b)는 도트 인버전 구동방식으로 데이터 신호를 출력하므로, 상기 데이터 신호출력라인(170)들 각각에는 정극성(+) 데이터 신호와 부극성(-) 신호가 번갈아 나타난다. 그리고, 상기 출력라인(170)들은 홀수개이므로, 상기 출력라인(170)들에는 상기 정극성(+) 데이터 신호와 부극성(-) 데이터 신호의 수가 다르게 나타난다.

만약, 상기 데이터 드라이브 IC(161b)의 상기 출력라인(170)이 5개라고 가정하면, 상기 출력라인(170)들 각각으로부터 순차적으로 +, -, +, -, +의 데이터 신호들이 출력되거나, 또는 -, +, -, +, -의 데이터 신호들이 출력된다.

한편, 상기 신호반전기(150)는, 도 6에 도시된 바와 같이 데이터 PCB(200b)에 실장할 수도 있지만, 상기 타이밍 콘트롤러(120)에 내장하여도 무방하다.

또한, 상기 신호반전기(150)는, 도 7에 도시된 바와 같이, 상기 데이터 드라이브 IC(161)가 실장된 데이터 TCP(220)에 내장될 수 있다.

이때, 상기 신호반전기(150)는 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 짝수 번째 위치한 상기 제 2 데이터 드라이브 IC(161b, 161d)가 실장된 짝수 번째 데이터 TCP(220)들에만 내장된다.

물론, 상기 신호반전기(150)는 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 홀수 번째 위치한 상기 제 1 데이터 드라이브 IC(161a, 161c)가 실장된 홀수 번째 데이터 TCP(220)들에만 내장될 수도 있다.

또한, 상기 신호반전기(150)는, 도 8에 도시된 바와 같이, 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들에 내장될 수 있다.

이때, 상기 신호반전기(150)는 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 상기 제 2 극성제어신호(POL2)가 인가되는 제 2 데이터 드라이브 IC(161b, 161d)에만 실장된다.

물론, 상기 신호반전기(150)는 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 상기 제 1 극성제어신호(POL1)가 인가되는 제 1 데이터 드라이브 IC(161)에만 실장될 수도 있다.

한편, 상기 신호반전기(150)는, 도 9에 도시된 바와 같이, PMOS 트랜지스터(T1) 및 NMOS 트랜지스터(T2)로 이루어진 인버터를 사용하여 구성할 수 있다.

이와 같이 구성된 신호반전기(150)는 상기 타이밍 콘트롤러(120)의 제 1 극성제어신호(POL1)를 입력받아 상기 제 1 극성제어신호(POL1)로부터 반전된 제 2 극성제어신호(POL2)를 출력한다.

즉, 도 10에 도시된 바와 같이, 상기 제 1 극성제어신호(POL1) 및 제 2 극성제어신호(POL2)는 동일 주기로 하이논리와 로우논리를 번갈아 가며 가지게 되는데, 임의의 기간에서 상기 제 1 극성제어신호(POL1)가 하이논리를 나타낼 경우, 상기 신호반전기(150)에 의해 상기 제 2 극성제어신호(POL2)는 이와는 반대가 되는 로우논리를 나타낸다. 또한, 상기 제 1 극성제어신호(POL1)가 로우논리를 나타낼 경우, 상기 신호반전기(150)에 의해 상기 제 2 극성제어신호(POL2)는 이와는 반대가 되는 하이논리를 나타낸다.

여기서, 상기 제 1 극성제어신호(POL1) 및 제 2 극성제어신호(POL2)에 의해 각 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)의 극성패턴이 어떻게 변경되는지 상세히 설명하면 다음과 같다.

먼저, 상기 제 1 극성제어신호(POL1)는 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 상기 제 1 데이터 드라이브 IC(161a, 161c)들에 인가되고, 상기 제 2 극성제어신호(POL2)는 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 상기 제 2 데이터 드라이브 IC(161b, 161d)들에 인가된다.

상기 제 1 및 제 2 극성제어신호(POL1, POL2)는 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 각각으로부터 출력될 데이터 신호의 극성패턴을 선택하기 위한 것으로, 상기 제 1 극성제어신호(POL1)가 하이논리일 경우 상기 제 2 극성제어신호(POL2)는 로우논리를 가지므로, 상기 하이논리의 제 1 극성제어신호(POL1)를 인가받는 상기 제 1 데이터 드라이브 IC(161a, 161c)들 각각은 제 1 극성패턴의 데이터 신호를 출력하며, 상기 로우논리의 제 2 극성제어신호(POL2)를 인가받는 제 2 데이터 드라이브 IC(161b, 161d)들 각각은 제 2 극성패턴의 데이터 신호를 출력하게 된다.

여기서, 상기 제 1 극성패턴의 데이터 신호 및 제 2 극성패턴의 데이터 신호는 모두 도트 인버전 구동방식에 따른 패턴으로, 상기 제 1 극성패턴은 정극성(+) 데이터 신호와 부극성(-) 데이터 신호가 번갈아 나타나되 정극성(+)의 데이터 신호가 먼저 나타나는 패턴을 의미한다(+, -, +,).

그리고, 상기 제 2 극성패턴은 정극성(+) 데이터 신호와 부극성(-) 데이터 신호가 번갈아 나타나되 부극성(-) 데이터 신호가 먼저 나타나는 패턴을 의미한다(-, +, -,).

따라서, 상기 하이논리의 제 1 극성제어신호(POL1)를 인가받는 상기 제 1 데이터 드라이브 IC(161a, 161c)들 각각의 출력라인(170)들은 상기 제 1 극성패턴을 나타내며, 또한 상기 제 1 데이터 드라이브 IC(161a, 161c)들 각각은 홀수개의 출력라인(170)을 가지므로 상기 제 1 데이터 드라이브 IC(161a, 161c)들 각각의 첫 번째 출력라인(170a)으로부터 출력되는 데이터 신호의 극성과 마지막 번째 출력라인(170b)으로부터 출력되는 데이터 신호의 극성은 동일한 정극성(+)을 나타낸다.

그리고, 로우논리의 상기 제 2 극성제어신호(POL2)를 인가받는 상기 제 2 데이터 드라이브 IC(161b, 161d)들 각각의 출력라인(170)들은 제 2 극성패턴을 나타내며, 또한 상기 제 2 데이터 드라이브 IC(161b, 161d)들 각각도 홀수개의 출력라인(170)을 가지므로 상기 제 2 데이터 드라이브 IC(161b, 161d)들 각각의 첫 번째 출력라인(170a)으로부터 출력되는 데이터 신호의 극성과 마지막 번째 출력라인(170b)으로부터 출력되는 데이터 신호의 극성은 동일한 부극성(-)을 나타낸다.

따라서, 일렬로 배열되는 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들로부터 출력되는 데이터 신호는 제 1 극성패턴과 제 2 극성패턴이 번갈아 나타나게 된다.

이에 의해, 상기 임의의 데이터 드라이브 IC(161b)의 첫 번째 출력라인(170a)으로부터 출력되는 데이터 신호의 극성과 이전단의 데이터 드라이브 IC(161a)의 마지막 번째 출력라인(170b)으로부터 출력되는 데이터 신호의 극성은 서로 상반되고, 상기 임의의 데이터 드라이브 IC(161b)의 마지막 번째 출력라인(170b)으로부터 출력되는 데이터 신호의 극성과 다음단의 데이터 드라이브 IC(161c)의 첫 번째 출력라인(170a)으로부터 출력되는 데이터 신호의 극성은 서로 상반된다.

결국, 상기와 같은 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들을 사용하여 액정패널(350)을 구동하게 되면, 도 11에 도시된 바와 같이, 임의의 데이터 드라이브 IC(161b)의 첫 번째 데이터 신호출력라인(170a)의 데이터 신호를 인가받는 액정셀(192)과 이전단 데이터 드라이브 IC(161a)의 마지막 번째 출력라인(170b)의 데이터 신호를 인가받는 액정셀(191)은 서로 상반된 극성을 가지며, 또한 상기 임의의 데이터 드라이브 IC(161b)의 마지막 번째 출력라인(170b)의 데이터 신호를 인가받는 액정셀(193)과 다음단 데이터 드라이브 IC(161c)의 첫 번째 출력라인(170a)의 데이터 신호를 인가받는 액정셀(194)은 서로 상반된 극성을 가지게 된다.

이하, 이와 같이 구성된 본 발명의 실시예에 따른 액정표시장치의 동작을 상세히 설명하면 다음과 같다.

여기서, 도 10에 도시된 바와 같이, 제 1 극성제어신호(POL1)가 하이논리를 가지는 제 1 기간(T1)에 대하여 설명하면 다음과 같다.

먼저, 게이트 드라이브 IC(181)들 각각으로부터 순차적으로 게이트 구동펄스가 출력되어 상기 첫 번째 게이트 라인(GL)부터 n 번째 게이트 라인(GL)을 순차적으로 구동하게 된다.

이후, 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 각각은 상기 게이트 구동펄스가 인가된 첫 번째 게이트 라인(GL)을 따라 배열된 액정셀들에 데이터 신호를 인가하게 되는데, 이때 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 각각은 타이밍 콘트롤러(120)로부터 출력되는 제 1 및 제 2 극성제어신호(POL1, POL2)에 응답하여 상기 데이터 신호의 극성패턴을 선택하게 된다.

즉, 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 홀수 번째 위치한 제 1 데이터 드라이브 IC(161a, 161c)들 각각은 상기 타이밍 콘트롤러(120)로부터 출력된 제 1 극성제어신호(POL1)에 응답하여 데이터 신호를 상기 첫 번째 게이트 라인(GL)의 액정셀들에 인가한다.

이때, 도 10에 도시된 바와 같이, 제 1 기간(T1)에는 상기 제 1 극성제어신호(POL1)가 하이논리를 가지므로, 상기 첫 번째 게이트 라인(GL)을 따라 배열된 한 수평라인분의 액정셀들 중 상기 제 1 데이터 드라이브 IC(161a, 161c)들 각각의 출력라인(170)들 및 데이터 라인(DL)들에 접속된 액정셀 그룹들 각각은 +, -, +, -, ..., + 의 제 1 극성패턴을 나타낸다.

여기서, 상기 액정셀 그룹은 상기 하나의 제 1 데이터 드라이브 IC(161a 또는 161c)의 출력라인(170)들에 상응하는 액정셀들이 모인것을 의미한다.

이와 동시에, 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 제 2 데이터 드라이브 IC(161b, 161d)들 각각은 상기 타이밍 콘트롤러(120) 및 신호반전기(150)를 통해 출력된 제 2 극성제어신호(POL2)에 응답하여 데이터 신호를 상기 첫 번째 게이트 라인(GL)의 액정셀들에 인가한다.

이때, 상기 제 1 기간(T1)에서 상기 제 2 극성제어신호(POL2)는 로우논리를 가지므로, 상기 첫 번째 게이트 라인(GL)을 따라 배열된 한 수평라인분의 액정셀들 중 상기 짝수 번째 데이터 드라이브 IC(161b, 161d)들 각각의 출력을 인가받는 액정셀 그룹들 각각은 -, +, -, +, ..., -의 제 2 극성패턴의 데이터 신호를 갖는다.

여기서, 상기 액정셀 그룹은 상기 하나의 제 2 데이터 드라이브 IC(161b 또는 161d)의 출력라인(170)들에 각각 상응하는 액정셀들이 모인것을 의미한다.

결국, 상기 첫 번째 수평라인분의 모든 액정셀들 각각은 차례로 +, -, +, ..., -의 극성을 가지게 되어, 도트 인버전 방식으로 구동된다.

이어서, 상기 제 1 극성제어신호(POL1)가 로우논리를 가지는 제 2 기간(T2)에 대하여 설명하면 다음과 같다.

다음 제 2 기간(T2)에는 상기 게이트 구동펄스가 상기 두 번째 게이트 라인(GL)에 인가된다.

이어서, 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 홀수 번째 데이터 드라이브 IC(161a, 161c)들 각각은 상기 타이밍 콘트롤러(120)의 제 1 극성제어신호(POL1)에 응답하여 데이터 신호를 상기 두 번째 게이트 라인(GL)을 따라 배열된 액정셀들에 인가한다.

이때, 상기 제 1 극성제어신호(POL1)는 로우논리이므로, 상기 두 번째 게이트 라인을 따라 배열된 한 수평라인분의 액정 셀들 중 상기 제 1 데이터 드라이브 IC(161a, 161c)들 각각의 출력을 인가받는 액정 셀 그룹들 각각은 -, +, -, +, ..., - 의 제 2 극성패턴을 나타낸다.

이와 동시에, 상기 데이터 드라이브 IC(161a, 161b, 161c, 161d,...)들 중 상기 제 2 데이터 드라이브 IC(161b, 161d)들 각각은 상기 타이밍 컨트롤러(120) 및 신호반전기(150)를 통해 출력된 제 2 극성제어신호(POL2)에 응답하여 제 1 극성패턴의 데이터 신호를 상기 두 번째 게이트 라인(GL)의 액정셀들에 인가한다.

따라서, 상기 두 번째 게이트 라인(GL)을 따라 배열된 한 수평라인분의 액정셀들 중 상기 제 2 데이터 드라이브 IC(161b, 161d)들 각각의 출력을 인가받는 액정 셀 그룹들 각각은 +, -, +, -, ..., + 의 제 1 극성패턴을 나타낸다.

결국, 상기 두 번째 게이트 라인(GL)을 따라 배열된 한 수평라인분의 모든 액정셀들 각각은 차례로 -, +, -, +, ..., + 의 극성을 가지게 되어, 도트 인버전 방식으로 구동된다.

이후, 세 번째 게이트 라인(GL)을 포함한 홀수 번째 게이트 라인(GL)들 각각을 따라 배열된 액정셀들에 인가되는 데이터 신호는 상기 첫 번째 게이트 라인(GL)의 액정셀들에 인가되는 데이터 신호와 동일한 극성패턴을 가진다.

그리고, 네 번째 게이트 라인(GL)을 포함한 짝수 번째 게이트 라인(GL)들 각각을 따라 배열된 액정셀들에 인가되는 데이터 신호는 상기 두 번째 게이트 라인(GL)의 액정셀들에 인가되는 데이터 신호와 동일한 극성패턴을 가진다.

따라서, 상기 액정패널(350)의 전체 액정셀들은 도트 인버전 방식으로 구동된다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같은 액정표시장치 및 이의 구동방법에는 다음과 같은 효과가 있다.

본 발명에 따른 액정표시장치는 타이밍 컨트롤러의 극성제어신호를 반전시킬 수 있는 신호반전기를 구비하고 있어서, 상기 타이밍 컨트롤러의 제 1 극성제어신호를 반전시켜 제 2 극성제어신호를 출력하게 된다.

상기 제 1 극성제어신호는 홀수 번째 데이터 드라이브 IC에 입력되어 상기 홀수 번째 데이터 드라이브 IC가 제 1 극성패턴의 데이터 신호를 출력하도록 하고, 상기 제 2 극성제어신호는 짝수 번째 데이터 드라이브 IC에 입력되어 상기 짝수 번째 데이터 드라이브 IC가 상기 제 1 극성패턴으로부터 반전된 제 2 극성패턴의 데이터 신호를 출력하도록 한다.

따라서, 서로 인접하는 데이터 드라이브 IC간에 위치한 출력라인들에 대응하는 액정셀들간의 플리커 현상을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

서로 수직교차하는 다수개의 게이트 라인들 및 다수개의 데이터 라인들을 구비한 액정패널;

제 1 극성제어신호를 출력하는 타이밍 컨트롤러;

상기 제 1 극성제어신호로부터 반전된 제 2 극성제어신호를 출력하는 신호반전기;

상기 제 1 극성제어신호에 응답하여 제 1 극성패턴의 데이터 신호를 상기 데이터 라인들 중 제 1 데이터 라인들에 출력하는 다수개의 제 1 데이터 드라이브 IC들;

상기 제 2 극성제어신호에 응답하여 상기 제 1 극성패턴과 상반된 제 2 극성패턴의 데이터 신호를 상기 데이터 라인들 중 제 2 데이터 라인들에 출력하는 다수개의 제 2 데이터 드라이브 IC들을 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 데이터 드라이브 IC들과 상기 제 2 데이터 드라이브 IC들은 서로 교번하여 위치하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 및 제 2 데이터 드라이브 IC들 각각은 홀수개의 데이터 신호의 출력라인들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 신호반전기는 인버터인 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 신호반전기는 상기 타이밍 콘트롤러의 상기 제 1 극성제어신호를 인가받아 상기 제 2 극성제어신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 4 항에 있어서,

상기 신호반전기는 상기 타이밍 콘트롤러에 내장되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 4 항에 있어서,

상기 신호반전기는 상기 제 2 데이터 드라이브 IC들 각각에 내장되는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 1 극성제어신호에 응답하여 제 1 극성패턴의 데이터 신호를 다수개의 데이터 라인들 중 제 1 데이터 라인들에 출력하는 단계;

제 2 극성제어신호에 응답하여 상기 제 1 극성패턴과 상반된 제 2 극성패턴의 데이터 신호를 상기 데이터 라인들 중 제 2 데이터 라인들에 출력하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9.

제 8 항에 있어서,

상기 제 1 데이터 라인들로 이루어진 제 1 데이터 라인군들과 상기 제 2 데이터 라인들로 이루어진 제 2 데이터 라인군들은 서로 교번하여 위치하는 것을 특징으로 하는 액정표시장치의 구동방법.

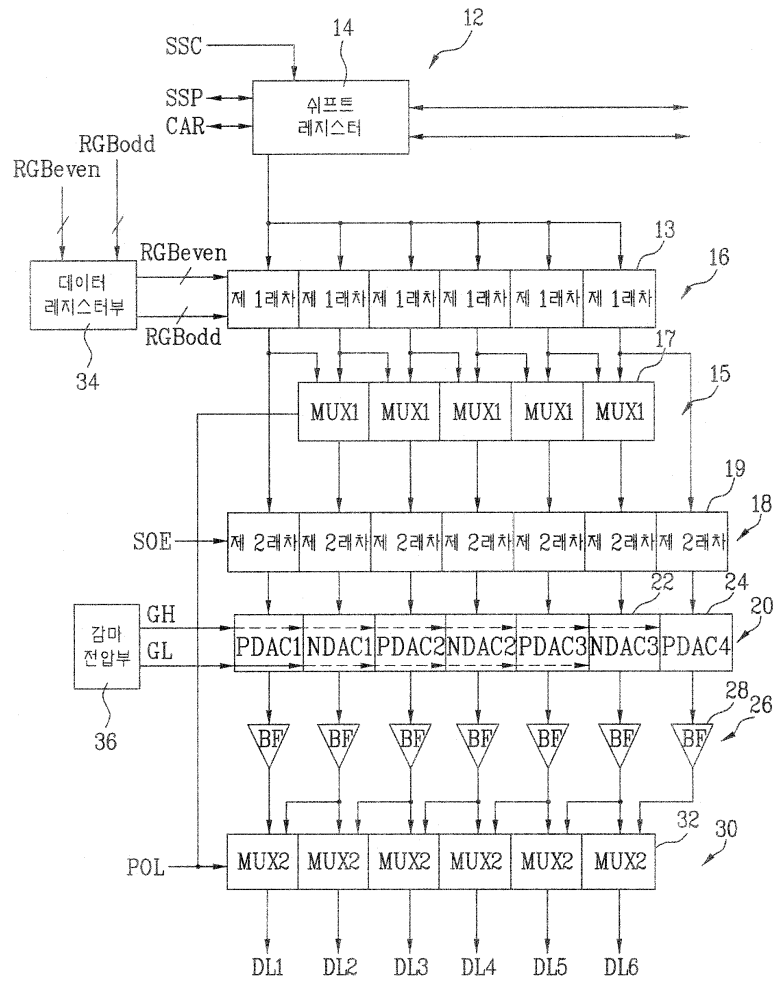
청구항 10.

제 9 항에 있어서,

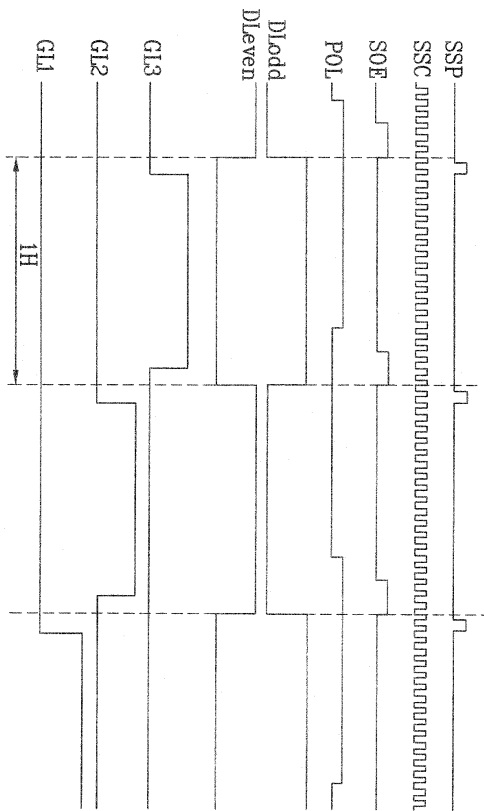
상기 제 1 데이터 라인군들 각각은 홀수개의 상기 제 1 데이터 라인들을 구비하며, 상기 제 2 데이터 라인군들 각각은 홀수개의 상기 제 2 데이터 라인들을 구비하는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

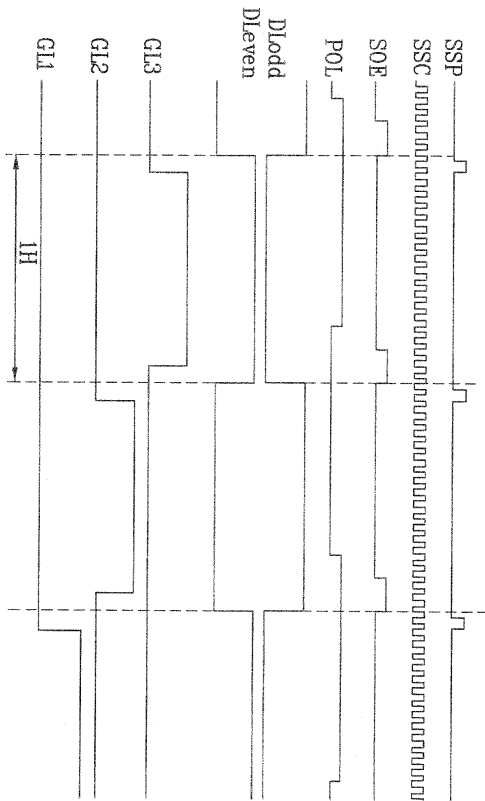
도면1



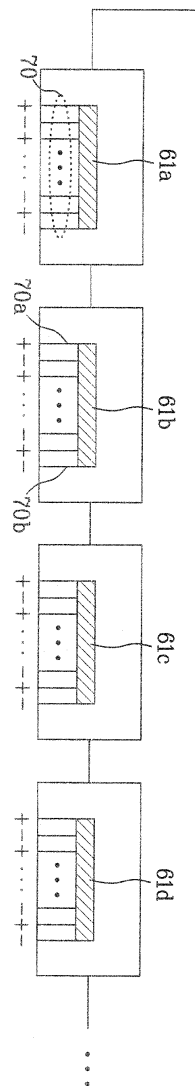
도면2a



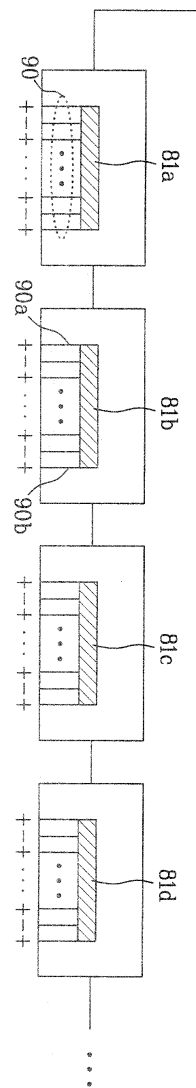
도면2b



도면3



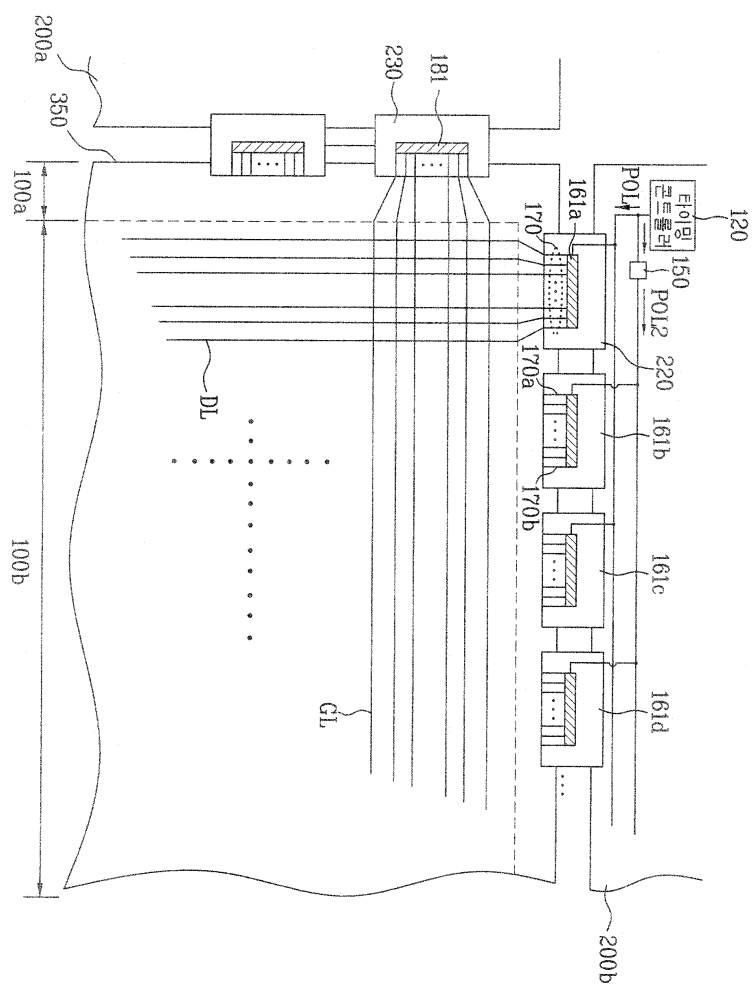
도면4



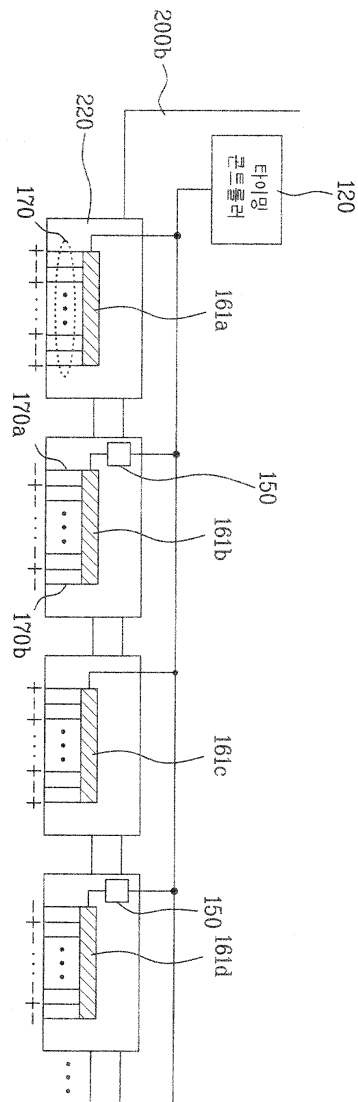
도면5

	51	52	53	54
1	+	-	+	+
2	-	+	-	-
3	+	-	+	+
4	-	+	-	-
5	+	-	+	+
6	-	+	-	-
7	+	-	+	+

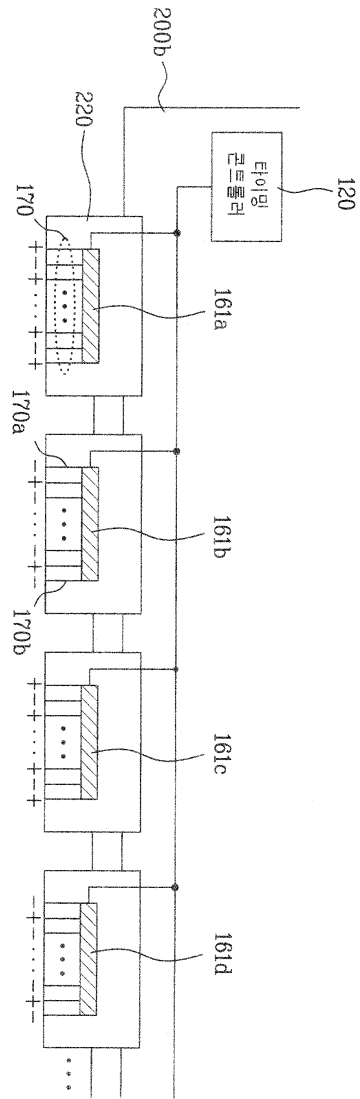
도면6



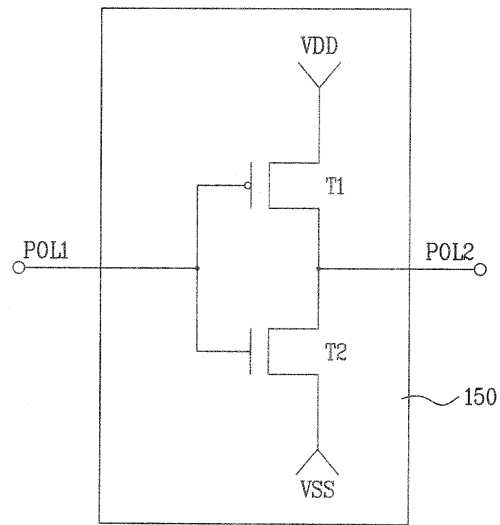
도면7



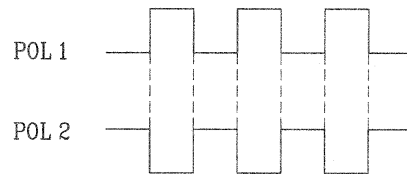
도면8



도면9



도면10



도면11

		191	192	193	194		
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020050123487A	公开(公告)日	2005-12-29
申请号	KR1020040048161	申请日	2004-06-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG SINHO 강신호 KIM TAEHUN 김태훈		
发明人	강신호 김태훈		
IPC分类号	G09G3/36		
CPC分类号	G09G2320/0247 G09G3/3688 G09G3/3614		
代理人(译)	金勇 新昌		
外部链接	Espacenet		

摘要(译)

本发明涉及能够防止闪烁效应的液晶显示器及使用具有奇数通道的数据驱动集成电路驱动液晶显示器的方法。并且它包括多个数据驱动集成电路，其授权极性图案的数据信号彼此相反地运行多个栅极线和多个栅极线，它们响应于液晶面板中的任何一个而彼此垂直交叉：时序控制器：信号反转器：输入第一极性控制信号的第一和第二极性控制信号，并从第一极性控制信号输出反相的第二极性控制信号，输出包括在液晶面板的数据线中的第一极性控制信号。液晶显示器，闪烁，数据驱动集成电路，奇数通道。

