

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/136(11) 공개번호 10-2005-0022559
(43) 공개일자 2005년03월08일(21) 출원번호 10-2003-0057518
(22) 출원일자 2003년08월20일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 장용호
경기도과천시별양동주공아파트647동308호
윤수영
경기도군포시오금동율곡아파트349동1604호

(74) 대리인 김영호

심사청구 : 있음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 응답속도 향상과 구동회로에 포함된 스위칭소자 불량을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 것이다.

본 발명은 다수개의 박막 트랜지스터가 하나의 게이트 전극을 공통으로 사용하여 병렬로 연결된 구조의 스위칭소자를 포함하는 구동회로를 구비하는 것을 특징으로 한다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치의 구성을 개략적으로 도시한 평면도.

도 2는 게이트 구동회로가 액정패널내에 형성된 액정표시장치를 개략적으로 도시한 평면도.

도 3은 게이트 구동회로와 부분적으로 데이터 구동회로가 액정패널내에 형성된 액정표시장치를 개략적으로 도시한 평면도.

도 4는 종래의 액정표시장치의 구동회로에 형성된 하나의 박막 트랜지스터로 이루어진 스위칭소자를 도시한 평면도.

도 5는 박막 트랜지스터의 채널폭과 그 채널에 흐르는 전류의 크기와의 관계를 나타내는 그래프.

도 6은 박막 트랜지스터의 채널폭과 그 채널에 흐르는 전하이동도의 관계를 나타내는 그래프.

도 7은 본 발명의 제1 실시예에 따른 액정표시장치의 구동회로의 일부를 나타내는 도면이다.

도 8은 본 발명의 제1 실시예에 따른 액정표시장치의 구동회로에 다수의 박막 트랜지스터가 병렬로 연결된 스위칭소자를 도시한 평면도.

도 9는 도 8에 도시된 액정표시장치의 구동회로에 스위칭소자의 I - I'선을 따라 절단하여 도시된 단면도.

도 10a 내지 도 10d는 도 9에 도시된 스위칭소자의 제조방법을 설명하기 위한 단면도.

도 11은 본 발명의 제2 실시예에 따른 액정표시장치의 구동회로에 스위칭소자의 도시한 평면도.

도 12은 본 발명의 제3 실시예에 따른 액정표시장치의 구동회로에 스위칭소자를 도시한 평면도.

도 13은 본 발명의 제3 실시예에 따른 액정표시장치의 구동회로에 스위칭소자가 공정편차에 의해 부정확하게 형성된 경우를 도시한 평면도.

도 14는 일반적인 데이터 구동부를 나타내는 블록도이다.

도 15는 도 14에 도시된 멀티플렉서를 나타내는 도면이다.

< 도면의 주요 부분에 대한 부호의 설명 >

5 : 액정패널 1 : 하부기판

2 : 상부기판 13 : 데이터 TCP

15 : 데이터 드라이브 IC 31 : 데이터 PCB

23 : 게이트 TCP 25 : 게이트 드라이브 IC

56,156 : 게이트 전극 52,152: 게이트 라인

60,160: 소스 전극 72,172; 소스전극

68,168; 반도체 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 응답속도 향상과 구동회로에 포함된 스위칭소자 불량률 방지할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 도 1에 도시된 바와 같이 액정셀들이 매트릭스 형태로 배열되어진 액정패널(5)과 이 액정패널을 구동하기 위한 구동회로부(7)를 구비한다.

액정패널(5)에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널(5)에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다. TFT의 게이트전극은 화소전압신호가 1라인분씩의 화소전극들에게 인가되게끔 하는 게이트라인들 중 어느 하나에 접속되게 된다. TFT는 게이트라인에 공급되는 게이트하이전압(Vgh)에 응답하여 데이터라인에 공급되는 화소전압이 해당 화소전극에 충전되게 한다. 즉, 액정셀들은 TFT가 게이트라인에 순차적으로 공급되는 게이트하이전압(Vgh)에 의해 턴-온될 때에 데이터라인으로부터의 해당 화소전압을 충전하여 다시 TFT가 턴-온될 때까지 충전전압을 유지하게 된다. 임의의 n번째 게이트라인의 액정셀에 충전된 화소전압은 해당 화소전극과 이전단 게이트라인과의 중첩에 의해 형성되어진 스토리지캐패시터(Cst)에 의해 유지되게 된다. 프레임마다 게이트라인들 각각에는 통상 해당 게이트라인이 구동되는 시점, 즉 화소전극에 화소전압이 인가되게 하는 1수평주기(1H) 동안에만 게이트하이전압(Vgh)이 공급되고 나머지 시간에는 게이트로우전압(Vgl)이 공급된다. 스토리지캐패시터(Cst)는 이전단 게이트라인에 공급되는 게이트로우전압(Vgl)에 의해 현재단 화소전극에 충전된 전압을 유지하게 된다.

구동회로부(7)는 게이트라인들을 구동하기 위한 게이트 드라이버(27)와, 데이터라인들을 구동하기 위한 데이터 드라이버(17)와, 게이트 드라이버(27)와 데이터 드라이버(17)를 제어하기 위한 타이밍 제어부(11)와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부(도시하지 않음)를 구비한다. 타이밍 제어부(11)는 게이트 드라이버(27) 및 데이터 드라이버(17)의 구동 타이밍을 제어함과 아울러 데이터 드라이버(17)에 화소데이터 신호를 공급한다. 전원공급부는 입력 전원을 이용하여 액정표시장치에서 필요로하는 게이트 하이전압(Vgh), 게이트 로우전압(Vgl) 등과 같은 구동전압들을 생성한다. 게이트 드라이버(27)는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버(17)는 게이트라인들 중

어느 하나에 스캐닝신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이들 중 액정패널(5)과 직접 접속되는 데이터 드라이버(17)와 게이트 드라이버(27)는 다수개의 IC(Integrated Circuit)들로 집적화된다. 집적화된 데이터 드라이버 IC(15)와 게이트 드라이버 IC(25) 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널에 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.

여기서 TCP(13,23)를 통해 TAB 방식으로 액정패널에 접속되는 드라이버 IC(15,25)들은 TCP(13,23)에 접속되어진 PCB(Printed Circuit Board)(31,33)에 실장되어진 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 직류 전압들을 공급받음과 아울러 상호 접속된다. 상세히 하면, 데이터 드라이버 IC(25)들은 데이터 PCB(31)에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부(11)로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다. 게이트 드라이버 IC(25)들은 게이트 PCB(33)에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.

이와 같은 액정표시장치는 박형화 및 제작비용 감소를 위해 최근에는 도 2에 도시된 바와 같이 게이트 구동회로를 액정패널에 형성하거나 더 나아가, 도 3에 도시된 바와 같이 액정패널에 게이트 구동회로 뿐만 아니라, 부분적으로 데이터 구동회로를 형성하는 구조로 발전해 가고 있다.

한편, 이와 같은 액정표시장치의 구동회로부에는 미국 특허발명 US 6,552,768에서 제안된 바 있는 하나의 거대 박막 트랜지스터로 이루어진 스위칭소자가 이용된다. 이러한, 거대 박막 트랜지스터에는 빠른 응답속도를 갖지만 실리콘층을 레이저로 결정화하는 등의 공정상의 어려움이 있는 폴리 실리콘보다 공정상의 간편함과 비교적 균일성이 좋은 비정질 실리콘이 이용된다.

도 4에 도시된 하나의 박막 트랜지스터로 이루어진 스위칭소자는 하부기판 위에 형성된 게이트 라인(52)에 접속된 게이트 전극(56)과, 소스 라인(64)과 접속된 소스전극(60)과, 소스전극(60)과 마주보며 드레인 라인(73)에 접속된 드레인 전극(72)과, 게이트 전극(56)과 게이트 절연막(도시하지 않음)을 사이에 두고 소스전극(60)과 드레인 전극(72) 사이에 채널을 형성하는 반도체층(68)을 구비한다. 여기서, 반도체층(68)은 활성층과, 소스전극(60) 및 드레인 전극(72)과 오믹접촉을 위한 오믹접촉층이 적층된 구조를 갖는다.

이와 같은, 구동회로의 스위칭소자는 비교적 높은 전압의 스위칭을 위해 상대적으로 큰 채널폭(W1)을 갖는다. 즉, 스위칭소자는 하나의 화소영역에 하나의 박막 트랜지스터가 구비되는 구조 및 일본 공개특허공보 특개평5-341316에 제안된 하나의 화소영역에 복수개의 박막 트랜지스터가 구비되는 구조와는 달리 상대적으로 큰 채널폭을 갖는다. 예를 들어, 화소영역에 형성되는 박막 트랜지스터의 채널폭은 수 내지 수십 μm 정도이고, 구동회로에 스위칭소자의 채널폭(W1)은 수천 내지 수만 μm 정도이다.

도 5 및 도 6은 스위칭소자의 채널폭이 증가함에 따라 그 채널에 흐르는 표준화된 전류의 변화량 및 전하 이동도를 나타내는 그래프이다.

여기서, 도 5에서의 세로축은 전류의 변화량을 도 6에서의 세로축은 전하 이동도를 나타내며, 각각의 가로축은 채널폭을 나타낸다.

도 5 및 도 6을 참조하면, 스위칭소자의 채널폭이 증가함에 따라 이에 흐르는 전류의 변화량이 감소하고 전하 이동도 또한 감소함을 알 수 있다.

이를 상세히 설명하면, 종래의 스위칭소자는 비교적 높은 전압의 스위칭을 위해 상대적으로 넓은 채널폭을 갖지만, 스위칭소자의 채널폭이 증가함에 따라 도 5에 도시된 바와 같이 채널에 흐르는 전류에 변화량의 감소 즉, 채널이 증가함에 따른 전류의 효율이 감소하게 되고, 채널이 증가함에 따라 전류의 효율이 감소됨으로써 도 6에 도시된 바와 같이 전하이동도(mobility)가 작아지게 된다. 이에 따라, 구동회로의 응답속도가 늦어지는 문제점이 있다.

또한, 종래의 스위칭소자는 제조공정 과정에서 스파크 등이 발생하거나 과전류가 흐르게 됨으로써 손상을 받는 일이 빈번히 일어난다. 이러한, 손상은 곧 스위칭소자의 특성을 저하시키는 등의 스위칭소자의 불량률 초래함으로써 스위칭소자의 정상구동이 이루어 지지 않게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 구동회로의 응답속도를 향상시킬 수 있는 액정표시장치 및 그 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 구동회로에 포함된 스위칭소자의 불량률 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 비정질 실리콘으로 이루어진 다수개의 박막 트랜지스터가 하나의 게이트 전극을 공통으로 사용하여 병렬로 연결된 구조의 스위칭소자를 포함하는 구동회로를 구비하는 것을 특징으로 한다.

상기 스위칭소자는 상기 게이트 전극을 사이에 두고 마주하는 다수개의 소스전극 및 드레인 전극과; 상기 다수개의 소스전극 및 드레인 전극 사이에 다수개 채널을 포함하는 반도체 패턴과; 상기 다수개의 소스전극이 공통으로 접속된 소스라인과; 상기 다수개의 드레인 전극이 공통으로 접속된 드레인 라인을 포함하는 것을 특징으로 한다.

상기 다수개의 채널을 포함하는 반도체 패턴은 일체화된 것을 특징으로 한다.

상기 반도체패턴은 상기 다수개의 채널 각각에 형성되는 것을 특징으로 한다.

상기 다수개의 소스전극은 불록한 소스전극과 오목한 소스전극이 교번되게 연결되어 형성되며, 상기 다수개의 드레인 전극은 상기 불록한 소스전극과 대향하는 오목한 드레인 전극과 상기 오목한 소스전극과 대향하는 불록한 드레인 전극이 교번되게 연결되어 형성되는 것을 특징으로 한다.

상기 채널은 상기 불록(오목)한 소스전극과 상기 오목(불록)한 드레인 전극 사이에 형성되는 것을 특징으로 한다.

상기 다수개의 소스전극 및 다수개의 드레인 전극 사이에 상기 다수개의 채널을 분리하기 위해 소정간격을 사이에 두고 상기 반도체패턴을 관통하는 홀이 형성되는 것을 특징으로 한다.

상기 구동회로는 액정패널에 형성된 것을 특징으로 한다.

상기 스위칭소자는 데이터 구동부의 멀티 플렉서에 형성된 것을 특징으로 한다.

상기 구동회로는 게이트 구동회로를 포함하는 것을 특징으로 한다.

상기 목적들을 달성하기 위하여, 본 발명에 따른 구동회로에 비정질 실리콘으로 이루어진 다수개의 박막 트랜지스터가 병렬로 연결된 구조의 스위칭소자를 형성하는 단계는 기판 상에 형성된 게이트 전극을 형성하는 단계와; 상기 게이트 전극을 사이에 두고 마주하는 다수개의 소스전극 및 드레인 전극을 형성하는 단계와; 상기 다수개의 소스전극 및 드레인 전극 사이에 다수개의 채널을 포함하는 반도체 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 액정표시장치의 제조방법은 상기 다수개의 소스전극이 공통으로 접속되는 소스 라인을 형성하는 단계와; 상기 다수개의 드레인전극이 공통으로 접속된 드레인 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 다수개의 채널을 포함하는 반도체 패턴은 일체화되는 것을 특징으로 한다.

상기 반도체패턴을 형성하는 단계는 상기 다수개의 채널을 분리시키는 다수의 반도체 패턴들을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 다수개의 소스전극 및 드레인 전극을 형성하는 단계는 불록한 소스전극과 오목한 소스전극이 교번되게 연결되도록 형성하는 단계와; 상기 불록한 소스전극과 대향하는 오목한 드레인 전극과 상기 오목한 소스전극과 대향하는 불록한 드레인 전극이 교번되게 연결되도록 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 채널은 상기 불록(오목)한 소스전극과 상기 오목(불록)한 드레인 전극 사이에 형성되는 것을 특징으로 한다.

상기 반도체 패턴을 형성하는 단계는 상기 다수개의 소스전극 및 다수개의 드레인 전극 사이에 상기 다수개의 채널을 분리하기 위해 소정간격을 사이에 두고 상기 반도체패턴을 관통하는 홀을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 액정표시장치의 제조방법은 상기 구동회로를 액정패널에 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 스위칭소자는 데이터 구동부의 멀티플렉서에 형성하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 7 내지 13을 참조하여 상세히 설명하기로 한다.

도 7은 본 발명의 제1 실시 예에 따른 액정표시장치의 구동회로의 일부를 나타내는 평면도이고, 도 8 및 도 9는 도 7에 도시된 구동회로에 형성된 하나의 스위칭소자를 구체적으로 도시한 평면도 및 단면도이다.

도 7 에 도시된 액정표시장치의 구동회로는 게이트 라인(152)과, 게이트 라인과 나란하게 형성된 제1 드레인 라인(153) 및 제1 소스라인(140)과, 다수의 박막 트랜지스터가 병렬로 연결된 스위칭 소자(185)들을 포함한다.

스위칭 소자(185)는 도 8 및 도 9에 도시된 바와 같이 하부기관(102) 위에 형성된 게이트 라인(152)에 접속된 게이트 전극(156)과, 제1 소스라인(140)에서 신장된 제2 소스 라인(164)과 공통으로 접속된 다수개의 소스전극(160)과, 다수개의 소스전극(160)과 마주보며 제1 드레인 라인(153)에서 신장된 제2 드레인 라인(173)과 공통으로 접속된 다수개의 드레인 전극(172)과, 게이트 전극(156)과 게이트 절연막(도시하지 않음)을 사이에 두고 다수개의 소스전극(160)과 드레인 전극(172) 사이에 다수개의 채널을 갖는 반도체층(168)을 구비한다. 여기서, 반도체층(168)은 활성층(114)과, 소스전극(160) 및 드레인전극(172)과 오믹접촉을 위한 오믹접촉층(148)이 적층된 구조를 갖는다.

이와 같이, 다수개의 박막 트랜지스터가 병렬로 연결된 스위칭소자(185)는 어느 하나의 박막 트랜지스터에 과전류가 흐르거나 제조공정 중 스파크 등에 의해 손상을 받더라도 손상을 받은 박막 트랜지스터를 제외한 나머지 박막 트랜지스터가 정상적으로 구동됨으로써 스위칭소자(185)의 불량을 방지할 수 있게 된다.

이와 같이, 본 발명의 제1 실시예에 따른 액정표시장치의 구동회로에 형성된 스위칭소자는 전기적으로 독립된 다수개의 박막 트랜지스터들이 병렬로 연결된 구조를 갖는다. 이에 따라, 어느 하나의 박막 트랜지스터가 손상되더라도 나머지 박막 트랜지스터가 정상 구동됨으로써 스위칭소자(185)의 불량을 방지할 수 있게 된다. 이로써, 스위칭소자의 안정성이 향상된다.

도 10a 내지 도 10d는 도 9에 도시된 스위칭소자의 제조방법을 단계적으로 도시한 단면도이다.

하부 기관(102) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 증착된 후 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝된다. 이에 따라, 도 10a에 도시된 바와 같이 게이트 전극(156)이 형성된다. 여기서, 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.

게이트 패터닝이 형성된 하부 기관(102) 상에 게이트 절연막(144)이 형성된다. 게이트 절연막(144)의 재료로는 산화실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다.

게이트 절연막(144)이 형성된 하부기관(102) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 비정질 실리콘층, n+ 비정질 실리콘층이 순차적으로 형성된다.

비정질 실리콘층 및 n+ 비정질실리콘층 위에 마스크를 이용한 포토리소그래피공정 및 식각공정을 이용하여 패터닝된다. 이에 따라, 도 10b에 도시된 바와 같이 다수개의 작은 채널폭을 갖는 반도체 패턴(168)이 형성된다. 반도체 패턴(168)은 활성층(114) 및 오믹접촉층(148)이 이중으로 적층된 구조를 갖는다.

반도체 패턴(168)이 형성된 하부기관(102) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 소스/드레인 금속층이 전면 형성된다.

소스/드레인 금속층 위에 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다.

이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝된다. 이에 따라, 데이터 라인(164)과 접속된 다수개의 작은 소스 전극(160) 및 다수개의 작은 드레인 전극(172)을 포함하는 소스/드레인 패턴들이 형성된다.

그 다음, 소스 전극(160) 및 드레인 전극(172)을 마스크로 채널부의 오믹접촉층(148)이 식각됨으로써 도 10c에 도시된 바와 같이 채널부의 활성층(114)이 노출된다.

여기서, 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

소스/드레인 패턴들이 형성된 하부기관(142) 상에 PECVD 등의 증착방법으로 도 10d에 도시된 바와 같이 보호막(150)이 전면 형성된다.

도 11은 본 발명의 제2 실시예에 따른 액정표시장치의 구동회로에 형성된 스위칭소자를 도시한 평면도이다.

도 11에 도시된 스위칭소자는 도 8에 도시된 스위칭소자와 대비하여 다수개의 반도체 패턴(168)이 형성되고 각각의 반도체 패턴(168)이 제2 소스 라인(164)과 공통으로 접속된 다수개의 소스전극(160) 중 어느 하나와, 그 소스전극(160)과 마주보며 제2 드레인 라인(173)에 공통으로 접속된 드레인 전극(172)과 접속되게 형성되는 것을 제외하고는 동일한 구성요소들을 가지게 되므로 도 8과 동일한 구성요소들에 대해서는 동일번호를 부여하고 상세한 설명은 생략하기로 한다.

도 11에 도시된 스위칭소자의 각각의 반도체 패턴(168)은 다수개의 소스전극(160) 중 어느 하나와, 그 소스전극(160)과 마주보는 드레인 전극(172) 사이에 채널을 갖도록 형성된다. 여기서, 각각의 반도체 패턴(168)의 채널폭(W2)의 총합이 도 4에 도시된 종래의 단일의 반도체 패턴의 채널폭(W1)과 동일하도록{작은 채널폭(W2)*반도체패턴갯수(n)=종래의 넓은 채널폭(W1)} 다수의 반도체 패턴(168)이 형성된다.

이와 같이, 액정표시패널의 구동회로에 스위칭소자는 상대적으로 넓은 채널폭(W1)을 갖는 종래의 하나의 박막 트랜지스터로 구성된 스위칭소자와는 달리 전기적으로 분리됨과 아울러 채널폭(W2)이 작은 채널(195)을 포함하는 박막 트랜지스터들이 병렬로 연결된 구조를 갖는다.

이에 따라, 작은 채널폭(W2)이 합해져 큰 채널폭의 효과를 얻을 수 있음과 아울러 각각의 채널(195)이 전기적으로 분리되어 있음으로 각각의 박막 트랜지스터가 동작하는 경우 서로 영향을 주지 않게 된다. 이로써, 채널폭이 넓어짐에 따른 전류효율저하가 방지됨으로써 종래 대비 전하 이동도가 커져 구동회로의 응답속도가 향상된다.

또한, 스위칭소자는 전기적으로 독립된 다수개의 박막 트랜지스터들이 병렬로 연결된 구조를 갖게됨으로써 어느 하나의 박막 트랜지스터가 손상을 받더라도 나머지 박막 트랜지스터가 정상적으로 구동되어 스위칭소자의 불량을 방지할 수 있게 된다.

이와 같이, 본 발명의 제2 실시예에 따른 액정표시장치의 구동회로에 형성된 스위칭소자는 전기적으로 분리된 반도체 패턴(168)을 포함하는 다수의 박막 트랜지스터가 병렬로 연결된 구조를 갖는다. 이에 따라, 각각의 반도체 패턴(168)에 형성된 작은 채널폭(W2)을 갖는 채널(195)들도 전기적으로 분리됨으로써 각각의 박막 트랜지스터가 동작하는 경우 서로 영향을 주지 않게 된다. 이로써, 종래 대비 채널폭이 넓어짐에 따른 전류효율저하가 방지됨으로써 전하 이동도가 커져 구동회로의 응답속도가 향상된다.

또한, 스위칭소자는 전기적으로 독립된 다수개의 박막 트랜지스터들이 병렬로 연결된 구조를 갖게됨으로써 어느 하나의 박막 트랜지스터가 손상을 받더라도 나머지 박막 트랜지스터가 정상적으로 구동되어 스위칭소자의 불량을 방지할 수 있게 된다. 이로써, 스위칭소자의 안정성이 향상된다.

본 발명의 제2 실시예에 따른 액정표시패널의 구동회로에 스위칭소자의 제조방법은 도 10a 내지 도 10d에 도시된 스위칭소자의 제조방법과 대비하여 각각의 반도체 패턴을 게이트 절연막(144)이 형성된 하부기판(102) 상에 소스전극(160) 중 어느 하나와, 그 소스전극(106)과 마주보는 드레인 전극(172) 중 어느 하나와 접속되게 형성하는 것을 제외하고는 동일한 제조방법에 의해 형성된다.

도 12은 본 발명의 제3 실시예에 따른 액정표시장치의 구동회로에 스위칭소자를 도시한 평면도이다.

도 12에 도시된 스위칭소자는 도 8에 도시된 스위칭소자와 대비하여 반도체 패턴(168)에 다수개의 홀(190)이 형성되고 그 홀(190)과 홀(190) 사이의 영역에 채널(195)이 형성된다. 또한, 제2 소스 라인(164)과 제2 드레인 라인(173) 사이 간격이 상대적으로 좁게 형성됨과 아울러 제2 소스 라인(164)과 공통으로 접속된 요철 형태의 소스전극(160)과, 제2 드레인 라인(173)에 공통으로 접속된 요철 형태의 드레인 전극(172)이 이격되어 형성된다. 이와 같은 구조의 차이를 제외하고는 동일한 구성요소를 가지게 되므로 도 8과 동일한 구성요소들에 대해서는 동일번호를 부여하고 상세한 설명은 생략하기로 한다.

반도체 패턴(168)은 다수개의 홀(190)이 형성되고 그 홀(190)과 홀(190) 사이의 영역에 채널(195)이 형성된다.

즉, 제2 소스 라인(164)에 형성된 볼록한 소스전극(164a)과 제2 드레인 라인(173)의 오목한 드레인 전극(172b) 사이와, 제2 소스 라인(164)에 형성된 오목한 소스전극(164b)과 제2 드레인 라인(173)의 볼록한 드레인 전극(172a) 사이에 각각 채널(195)이 형성된다.

반도체 패턴(168)은 그 반도체 패턴(168)에 형성된 다수개의 작은 채널(195)의 채널폭(W2)의 총합이 도 4에 도시된 종래의 반도체 패턴의 채널폭(W1)과 동일하도록{작은 채널폭(W2)*채널갯수(n)=종래의 넓은 채널폭(W1)} 형성된다.

이와 같이, 액정표시패널의 구동회로에 스위칭소자는 상대적으로 넓은 채널폭(W1)을 갖는 종래의 하나의 박막 트랜지스터로 구성된 스위칭소자와는 달리 전기적으로 분리됨과 아울러 작은 채널폭(W2)을 갖는 채널(195)을 포함하는 박막 트랜지스터들이 병렬로 연결된 구조를 갖는다.

이에 따라, 작은 채널폭(W2)이 합해져 큰 채널폭의 효과를 얻을 수 있음과 아울러 작은 채널폭(W2)을 갖는 채널(195)들이 전기적으로 분리되어 있음으로 각각의 박막 트랜지스터가 동작하는 경우 서로 영향을 주지 않게 된다. 이로써, 종래 대비 채널폭이 넓어짐에 따른 전류효율저하가 방지됨으로써 전하 이동도가 커져 구동회로의 응답속도가 향상된다.

또한, 스위칭소자는 전기적으로 독립된 다수개의 박막 트랜지스터들이 병렬로 연결된 구조를 갖게됨으로써 어느 하나의 박막 트랜지스터가 손상을 받더라도 나머지 박막 트랜지스터가 정상적으로 구동되어 스위칭소자의 불량을 방지할 수 있게 된다.

이와 같이, 본 발명의 제3 실시예에 따른 액정표시장치의 구동회로에 형성된 스위칭소자는 작은 채널폭을 갖는 채널을 포함하는 다수의 박막 트랜지스터가 병렬로 연결된 구조를 갖는다. 이로써, 종래 대비 채널폭이 넓어짐에 따른 전류효율저하가 방지됨으로써 전하 이동도가 커져 구동회로의 응답속도가 향상된다.

또한, 스위칭소자는 전기적으로 독립된 다수개의 박막 트랜지스터들이 병렬로 연결된 구조를 갖게됨으로써 어느 하나의 박막 트랜지스터가 손상을 받더라도 나머지 박막 트랜지스터가 정상적으로 구동되어 스위칭소자의 불량을 방지할 수 있게 된다. 이로써, 스위칭소자의 안정성이 향상된다.

또한, 본 발명의 제3 실시예에 따른 스위칭소자는 제2 소스라인(160)과 제2 드레인 라인(173) 사이에 간격이 제2 실시예에 비해 상대적으로 좁게 형성됨으로써 스위칭소자의 크기가 감소된다.

한편, 도 13은 도 12에 도시된 스위칭소자의 소스 및 드레인 금속층이 공정편차 등에 의해 설계한 대로 형성되지 않았음에도 소스전극(164)과 드레인 전극(172) 사이에 채널이 형성됨을 나타낸다.

즉, 본 발명의 제3 실시예에 따른 액정표시장치는 공정편차 등에 의해 소스 및 드레인 전극이 설계한 대로 형성되지 않는 경우에도 소스 및 드레인 전극 사이에 채널이 형성됨으로써 스위칭소자의 정상적인 구동이 가능하게 된다.

본 발명의 제3 실시예에 따른 액정표시패널의 구동회로에 스위칭소자의 제조방법은 도 10a 내지 도 10d에 도시된 스위칭소자의 제조방법과 대비하여 게이트 절연막(144)이 형성된 하부기관(102) 상에 다수의 홀(190)을 갖는 반도체 패턴(168)을 형성하고, 요철 형태의 소스전극(164a, 164b) 및 드레인 전극(172a, 172b)을 형성하는 것을 제외하고는 동일한 제조방법에 의해 형성된다.

한편, 데이터 구동회로부는 도 14에 도시된 바와 같이 데이터 제어신호의 도트클럭을 샘플링하기 위한 쉬프트레지스터(271), 쉬프트레지스터로부터의 클럭신호에 응답하여 데이터를 1 라인분씩 저장하고 저장된 1 라인분의 데이터를 동시에 출력하기 위한 제1 및 제2 래치(272, 273), 제2 래치(273)로부터의 디지털 데이터전압을 레벨 쉬프터시키기 위한 레벨 쉬프터(274), 디지털 데이터에 대응하여 정극성/부극성의 감마전압을 선택하기 위한 디지털/아날로그 변환기(275)를 포함하는 데이터 구동 IC(300)와; 정극성/부극성 감마전압에 의해 변환된 아날로그 데이터가 공급되는 데이터라인(255)을 선택하기 위한 멀티플렉서(280)와; 멀티플렉서(280)와 데이터라인(255) 사이에 접속된 출력버퍼(276) 등으로 구성된다.

이와 같은 구성을 갖는 데이터 구동회로부에 포함되는 멀티플렉서(280)들 각각은 도 15에 도시된 바와 같이 다수개, 예를 들면 3개의 데이터라인들(DLk1 내지 DLk3)에 접속된다. 이러한 멀티플렉서들 각각은 데이터 구동 IC(300)로부터의 비디오신호를 3개의 데이터라인들(DLk1 내지 DLk3)에 순차적으로 공급한다. 이를 위하여, 멀티플렉서들(280) 각각은 데이터 구동 IC(300)와 3개의 데이터라인들(DLk1 내지 DLk3) 사이에 각각 접속되어진 3개의 스위칭소자(SW1 내지 SW3)를 구비한다. 이 멀티플렉서에 포함된 스위칭소자는 전기적으로 분리된 다수의 박막 트랜지스터들이 병렬로 연결된 구조가 적용될 수 있다. 나아가 비교적 높은 전압의 스위칭을 위해 넓은 채널폭을 필요로 하는 어떠한 스위칭소자에도 용이하게 이용될 수 있다. 또한, 본 발명에 따른 스위칭 소자는 데이터 구동부 뿐만 아니라 쉬프트 레지스터를 포함하는 게이트 구동부에도 적용될 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동회로에 스위칭소자는 전기적으로 분리된 박막 트랜지스터들이 병렬로 연결됨으로써 어느 하나의 박막 트랜지스터가 손상되더라도 나머지 박막 트랜지스터가 정상구동이 가능함에 따라 스위칭소자의 불량률이 방지된다. 이로써, 스위칭소자의 안정성이 향상된다.

또한, 본 발명에 따른 액정표시장치의 구동회로에 스위칭소자의 다수의 채널들이 전기적으로 분리되어 있음으로 각각의 박막 트랜지스터가 동작하는 경우 서로 영향을 주지 않게 된다. 이로써, 종래 대비 채널폭이 넓어짐에 따른 전류효율저하가 방지됨으로써 전하 이동도가 커져 구동회로의 응답속도가 향상된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

비정질 실리콘으로 이루어진 다수개의 박막 트랜지스터가 하나의 게이트 전극을 공통으로 사용하여 병렬로 연결된 구조의 스위칭소자를 포함하는 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 스위칭소자는

상기 게이트 전극을 사이에 두고 마주하는 다수개의 소스전극 및 드레인 전극과;

상기 다수개의 소스전극 및 드레인 전극 사이에 다수개 채널을 포함하는 반도체 패턴과;

상기 다수개의 소스전극이 공통으로 접속된 소스라인과;

상기 다수개의 드레인 전극이 공통으로 접속된 드레인 라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 다수개의 채널을 포함하는 반도체 패턴은 일체화된 것을 특징으로 하는 액정표시장치.

청구항 4.

제 2 항에 있어서,

상기 반도체패턴은 상기 다수개의 채널 각각에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 2 항에 있어서,

상기 다수개의 소스전극은 불록한 소스전극과 오목한 소스전극이 교번되게 연결되어 형성되며,

상기 다수개의 드레인 전극은 상기 불록한 소스전극과 대향하는 오목한 드레인 전극과 상기 오목한 소스전극과 대향하는 불록한 드레인 전극이 교번되게 연결되어 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 채널은 상기 불록(오목)한 소스전극과 상기 오목(불록)한 드레인 전극 사이에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 5 항에 있어서,

상기 다수개의 소스전극 및 다수개의 드레인 전극 사이에 상기 다수개의 채널을 분리하기 위해 소정간격을 사이에 두고 상기 반도체패턴을 관통하는 홀이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 1 항에 있어서,

상기 구동회로는 액정패널에 형성된 것을 특징으로 하는 액정표시장치.

청구항 9.

제 1 항에 있어서,

상기 스위칭소자는 데이터 구동부의 멀티 플렉서에 형성된 것을 특징으로 하는 액정표시장치.

청구항 10.

제 1 항에 있어서,

상기 구동회로는 게이트 구동회로를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11.

구동회로에 비정질 실리콘으로 이루어진 다수개의 박막 트랜지스터가 병렬로 연결된 구조의 스위칭소자를 형성하는 단계를 포함하는 액정표시장치의 제조방법에 있어서,

상기 스위칭소자를 형성하는 단계는

기관 상에 형성된 게이트 전극을 형성하는 단계와;

상기 게이트 전극을 사이에 두고 마주하는 다수개의 소스전극 및 드레인 전극을 형성하는 단계와;

상기 다수개의 소스전극 및 드레인 전극 사이에 다수개의 채널을 포함하는 반도체 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 다수개의 소스전극이 공통으로 접속되는 소스 라인을 형성하는 단계와;

상기 다수개의 드레인전극이 공통으로 접속된 드레인 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13.

제 11 항에 있어서,

상기 다수개의 채널을 포함하는 반도체 패턴은 일체화되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14.

제 11 항에 있어서,

상기 반도체패턴을 형성하는 단계는

상기 다수개의 채널을 분리시키는 다수의 반도체 패턴들을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15.

제 11 항에 있어서,

상기 다수개의 소스전극 및 드레인 전극을 형성하는 단계는

블록한 소스전극과 오목한 소스전극이 교번되게 연결되도록 형성하는 단계와;

상기 블록한 소스전극과 대향하는 오목한 드레인 전극과 상기 오목한 소스전극과 대향하는 블록한 드레인 전극이 교번되게 연결되도록 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16.

제 15 항에 있어서,

상기 채널은 상기 블록(오목)한 소스전극과 상기 오목(블록)한 드레인 전극 사이에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17.

제 15 항에 있어서,

상기 반도체 패턴을 형성하는 단계는

상기 다수개의 소스전극 및 다수개의 드레인 전극 사이에 상기 다수개의 채널을 분리하기 위해 소정간격을 사이에 두고 상기 반도체패턴을 관통하는 홀을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18.

제 11 항에 있어서,

상기 구동회로를 액정패널에 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

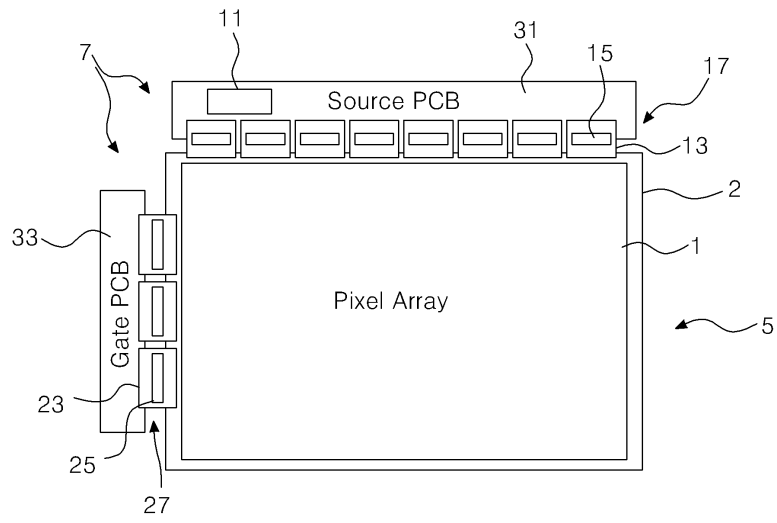
청구항 19.

제 11 항에 있어서,

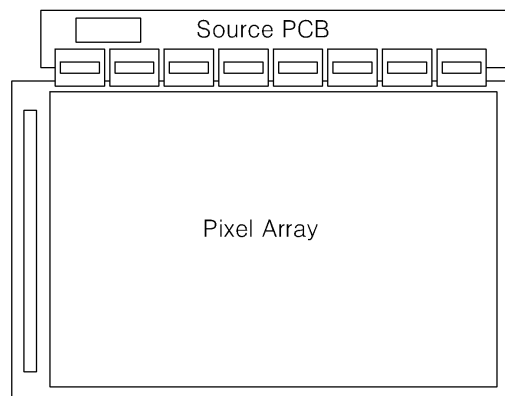
상기 스위칭소자는 데이터 구동부의 멀티플렉서에 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

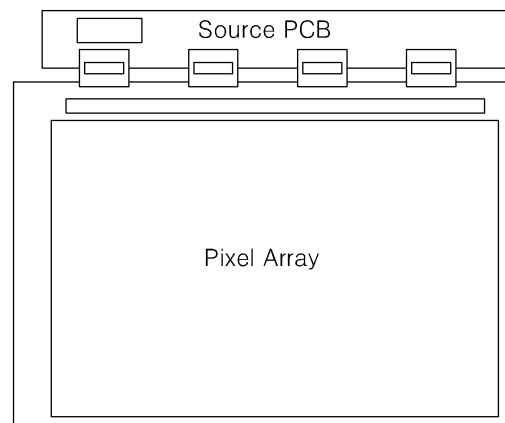
도면1



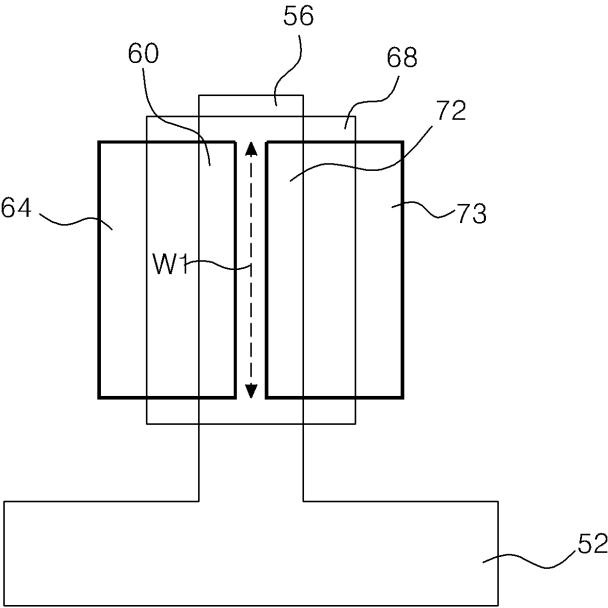
도면2



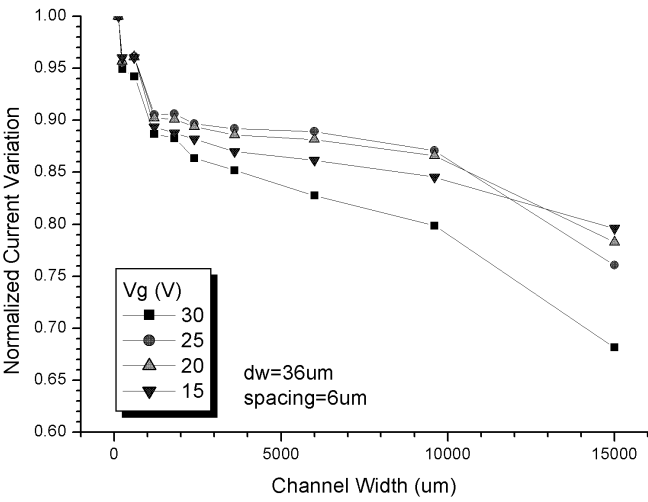
도면3



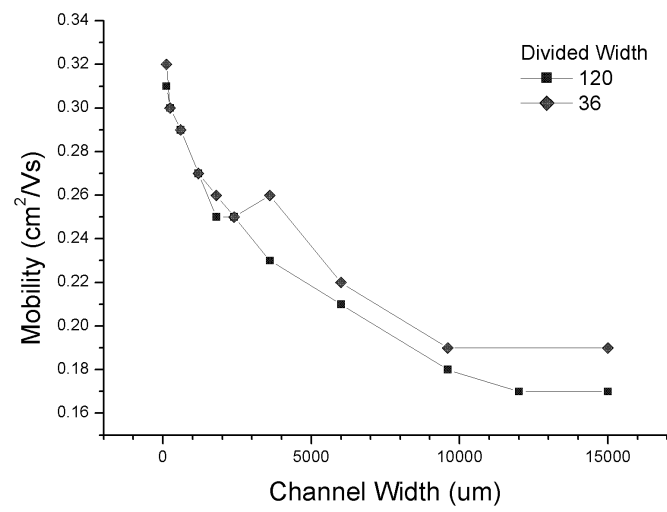
도면4



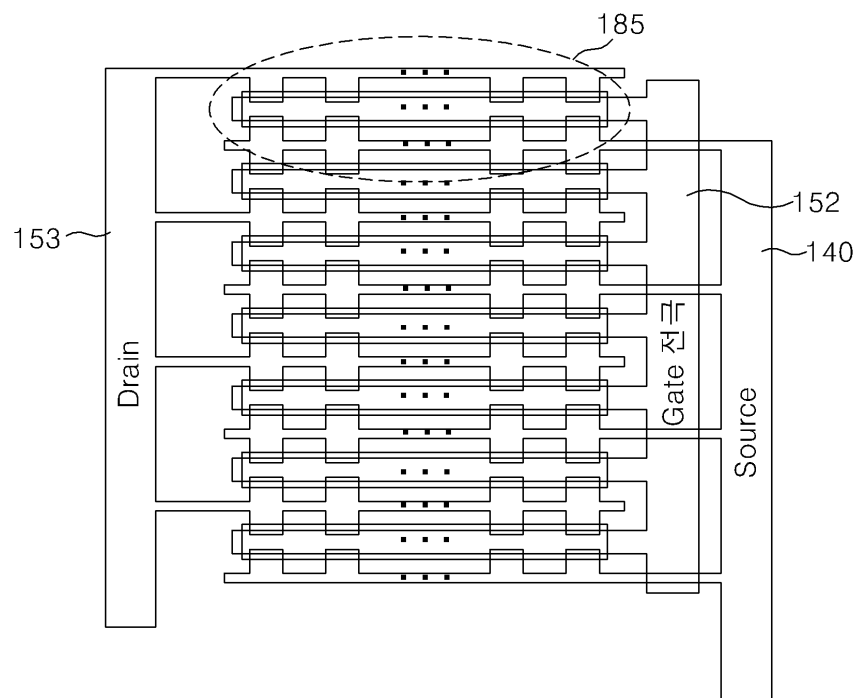
도면5



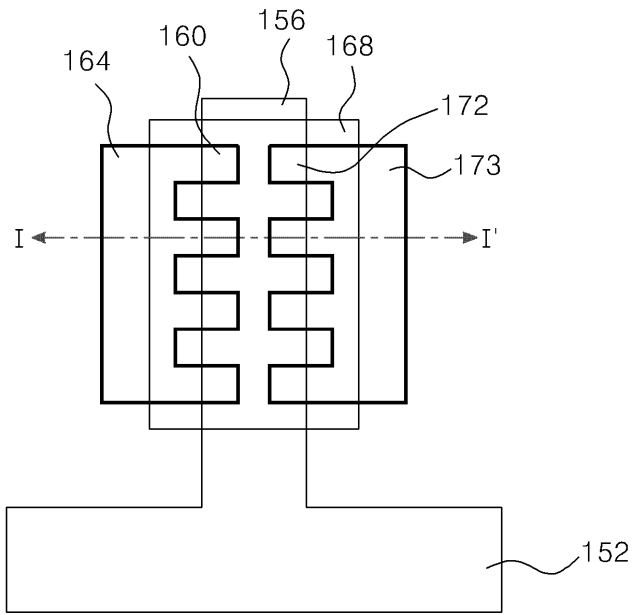
도면6



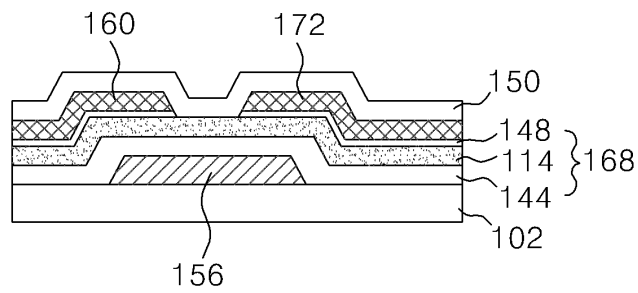
도면7



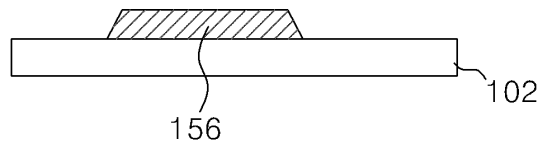
도면8



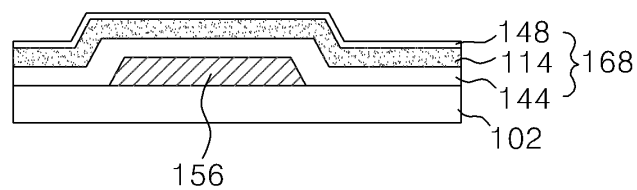
도면9



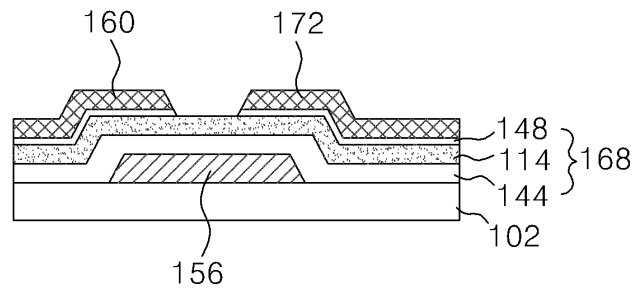
도면10a



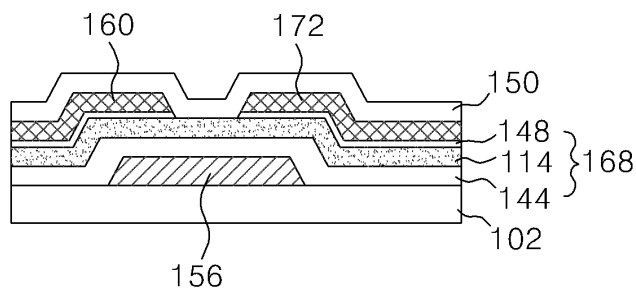
도면10b



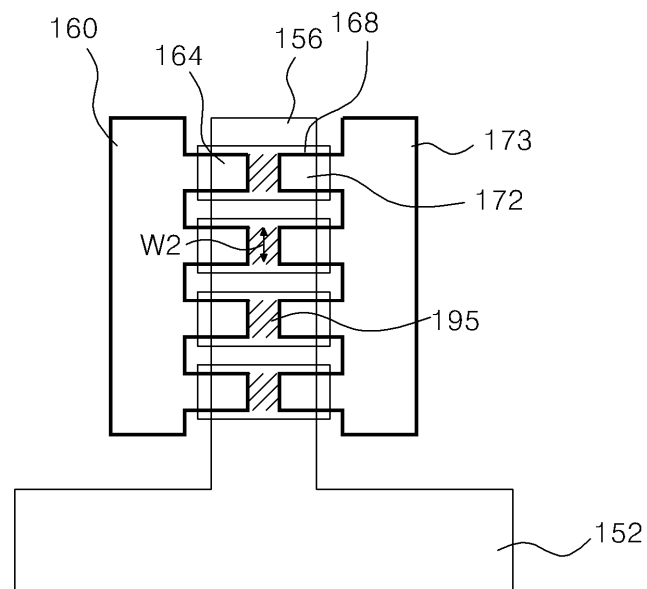
도면10c



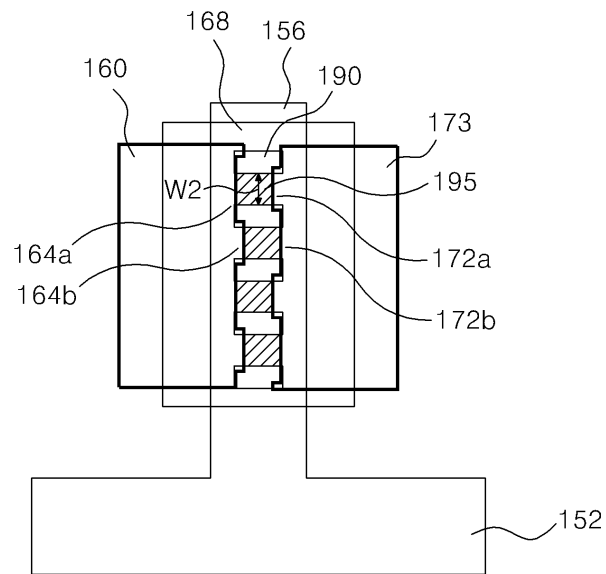
도면10d



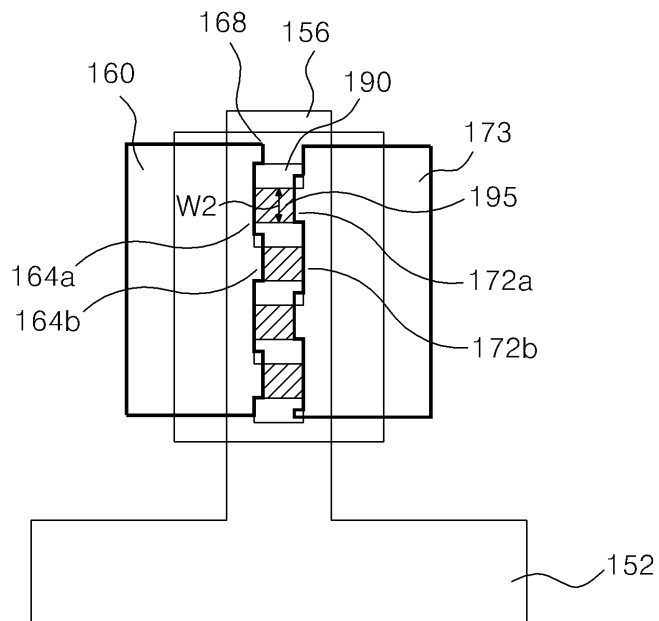
도면11



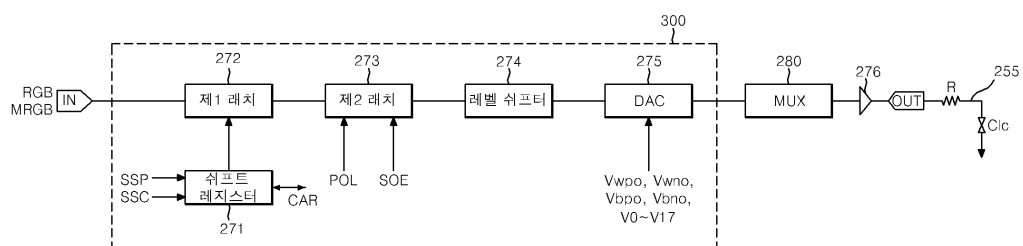
도면12



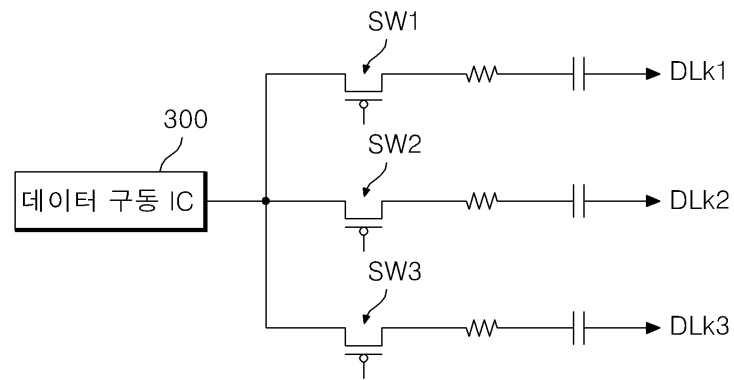
도면13



도면14



도면15



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020050022559A	公开(公告)日	2005-03-08
申请号	KR1020030057518	申请日	2003-08-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YONGHO 장용호 YOON SOOYOUNG 윤수영		
发明人	장용호 윤수영		
IPC分类号	G02F1/136 G02F1/1362 H01L21/00 H01L29/786		
CPC分类号	G02F1/136286 G02F1/13454 H01L29/41733 H01L29/78696		
代理人(译)	杨镛		
其他公开文献	KR100553935B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够提高响应速度并防止驱动电路中包含的开关元件缺陷的液晶显示装置及其制造方法。本发明的特征在于，多个薄膜晶体管设置有驱动电路，该驱动电路包括开关元件，该开关元件具有共用一个栅电极并且并联连接的结构。 8

