(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H03F 3/72

(11) 공개번호 10-2004-0045894
(43) 공개일자 2004년06월02일

(21) 출원번호 10-2004-7005890
(22) 출원일자 2004년04월21일
번역문 제출일자 2004년04월21일
(86) 국제출원번호 PCT/IB2002/004321
(87) 국제공개번호 WO 2003/036793
(86) 국제출원출원일자 2002년10월17일
(87) 국제공개일자 2003년05월01일

(30) 우선권주장 09/982,893 2001년10월22일 미국(US)

(71) 출원인 코닌클리즈케 필립스 일렉트로닉스 엔.브이.
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보드세베그 1

(72) 발명자 알부루시안알
네덜란드엔엘-5656에이에이아인드호펜홀스트란6

얀센피터제이엠
네덜란드엔엘-5656에이에이아인드호펜홀스트란6

(74) 대리인 김창세
김원준

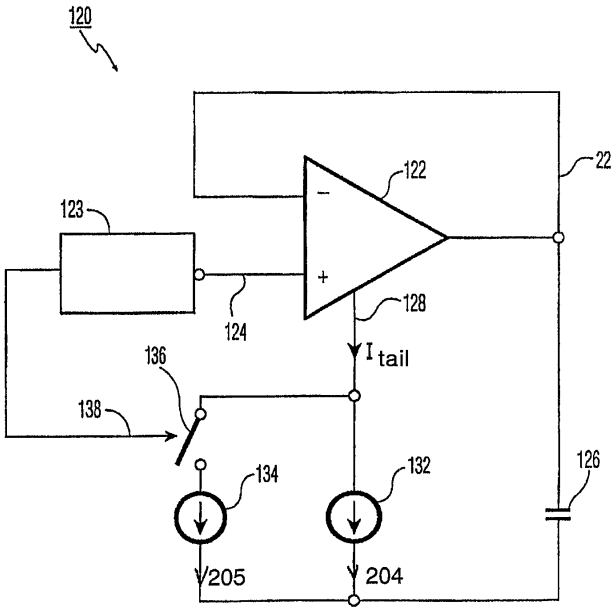
심사청구 : 없음

(54) 연산 트랜스컨덕턴스 증폭기 회로, 램프 소스 및 액정디스플레이

요약

연산 트랜스컨덕턴스 증폭기 회로(operational transconductance amplifier) 및 이러한 연산 트랜스컨덕턴스 증폭기 회로를 사용하는 액정 디스플레이는 제어된 슬루 레이트(slew rate)를 갖는다. 연산 트랜스컨덕턴스 증폭기 회로는 로드(load)(126), 유리하게는 액정 디스플레이 패널을 구동하는 출력을 갖는다. 연산 트랜스컨덕턴스 증폭기 회로는 제 1 꼬리 전류(tail current)(204)를 싱크(sink)시키는 제 1 전류원(current source)(132) 및 제 2 꼬리 전류(205)를 선택적으로 싱크시키는 제 2 전류원(134)을 포함한다. 제 2 전류원(134)은 스위치(switch)(136)에 인가된 제어 신호에 의해 선택된다. 제 2 전류원(134)이 부가적인 제 2 꼬리 전류(205)를 싱크할 때, 연산 트랜스컨덕턴스 증폭기 회로의 슬루 레이트는 증가된다. 연산 트랜스컨덕턴스 증폭기 회로가 액정 디스플레이에 사용될 때, 연산 트랜스컨덕턴스 증폭기 회로는 램프로 액정 디스플레이 패널을 구동한다. 램프 플라이백(ramp flay back)(t_{fb}) 도중에, 제 2 전류원(134)은 제 2 꼬리 전류(205)를 싱크하고, 슬루 레이트를 증가시킨다.

대표도



명세서

기술분야

본 발명은 연산 트랜스컨덕턴스 증폭기 회로(operational transconductance amplifier circuit), 연산 트랜스컨덕턴스 증폭기 등을 포함하는 램프 소스(ramp source) 및 액정 디스플레이(liquid crystal display)에 관한 것이다.

배경기술

액정 디스플레이(LCD)를 이용한 컬러 화상의 생성은 잘 알려져 있다. 이러한 디스플레이는 컬러 텔레비전에서와 같이 프레임(frame)마다 업데이트되는 화상을 생성하는데 특히 유용하다. 전형적으로, 각 화상 프레임은 컬러 서브-프레임으로 이루어지는데, 컬러 서브-프레임으로는 일반적으로 적색, 녹색 및 청색 서브-프레임이 있다.

이러한 LCD 시스템은 다수의 개별적인 액정 화소 소자(liquid crystal pixel elements)로 이루어지는 액정 디스플레이 패널을 채용한다. 이들 화소 소자는 화소행 및 화소열로 이루어진 매트릭스 내에서 구성되는 것이 유용하다. 원하는 화상을 생성하기 위해서, 화상 정보에 따라 개별 화소 소자를 변조(modulate)한다. 전형적으로, 화상 정보는 개별 화소 소자에 행마다 인가되고, 각 화소행은 각 프레임 주기마다 어드레싱된다(addressed).

각 화소 소자가 스위칭 소자로 이루어진 매트릭스의 활성 스위칭 소자(active switching element)에 접속되어 있기 때문에, 화소 소자 매트릭스 어레이는 '활성(active)'인 것이 바람직하다. 특히 유용한 활성 매트릭스 액정 디스플레이 중의 하나는, 반사형 활성 매트릭스 액정 디스플레이(reflective active matrix liquid crystal display)(RLCD로도 지칭됨)이다. RLCD 디스플레이는 전형적으로 실리콘 기판 위에 제조되며, 때로는 TN(twisted nematic) 효과에 기초한다. 박막 트랜지스터(TFT)는 일반적으로 활성 스위칭 소자로서 이용된다. 이러한 RLCD 디스플레이는 TFT와 그 상호 접속부를 실리콘 기판 상에 집적시킬 수 있으므로, 고화소 밀도를 지원할 수 있다.

도 1은 전형적인 종래 기술의 RLCD에 있어서 단일 화소 소자(10)를 개략적으로 도시한다. 화소 소자(10)는 투명 전극(14)과 화소 전극(16)사이에 배치된 TN 액정층(12)으로 이루어진다. 편의상, 도 1은 투명 전극(14)을 공통 접지로서 적용한 것으로 나타내었다. 추가하여, 저장 소자(18)는 상보형 데이터 단말(complementary data terminals)(20, 22)에 접속된다. 저장 소자(18)는 제어 단말(control terminal)(24)에서 제어 신호를 수신한다. '기록' 제어 신호에 응답하여, 저장 소자(18)는 데이터 단말(20, 22) 중의 하나에서 데이터 신호를 선택적으로 래칭(latching)하고, 신호 라인(26)을 경유하여 그 래칭된 신호를 화소 전극(16)에 인가한다. 데이터 단말(20, 22)에서의 데이터 신호는 상보형이다. 다 시 말해, 하나의 라인이 +2볼트가 되면, 다른 라인은 -2볼트가 된다.

계속하여 도 1을 참조하고, 후속하여 보다 세부적으로 설명하자면, 액정층(12)은 광(30)의 분극(polarization)을 회전시키고, 분극 회전의 양은 액정층(12) 양단의 전압에 의존한다. 이상적으로, 분극 회전이 신호 라인(26)에서 래칭된 신호의 크기에만 의존하기 때문에 화소 소자(10)는 대칭적이다. 연속 프레임 내에서 상보형 신호를 교번적(alternating)이게 함으로써, 액정층(12) 양단의 원치 않는 충전을 방지한다. 오직 하나의 극성(polarity)만이 사용되었다면, 투명

전극(14), 액정층(12) 및 화소 전극(16)에 의해서 형성된 캐패시턴스(capacitance) 양단에 이온(ions)이 생성될 것이다. 이러한 충전은 화소 소자(10)를 편향(bias)시킬 것이다.

광(30)은 외부 광원(도시하지 않음)에서 입사된 비분극형 광(non-polarized light)(32)으로부터 유도된다. 비분극형 광(32)은 제 1 편광기(polarizer)(34)에 의해 분극되어 광(30)을 형성한다. 광(30)은 투명 전극(14)을 지나서 액정층(12)을 통과하여, 화소 전극(16)으로부터 반사되고, 다시 액정층(12)을 지나서, 투명 전극(14)을 통과한 다음, 제 2 편광기(36)로 조사된다. 액정층(12)을 2번 통과하는 동안에, 광선(light beam)의 분극은 신호 라인(26)에서의 전압 크기에 따라서 회전된다. 광(30) 중에서 제 2 편광기(36)의 분극 방향과 평행한 부분만이 편광기(36)를 통과한다. 통과된 부분은 분극 회전량(이는 신호 라인(26)에 인가된 전압에 의존함)에 의존하기 때문에, 신호 라인(26)에서의 전압은 화소 소자(10)에서 배출되는 광의 세기를 제어한다.

저장 소자(18)는 전형적으로 박막 트랜지스터 스위치에 접속된 캐패시터이다. 제어 신호가 박막 트랜지스터의 게이트 전극(gate electrode)에 인가될 때, 트랜지스터는 턴-온(turn-on)된다. 다음에, 박막 트랜지스터의 소스에 인가된 전압은 박막 트랜지스터를 통과하고, 캐패시터를 충전시킨다. 제어 신호가 제거될 때, 박막 트랜지스터는 개방되고 캐패시터 전위는 화소 전극(16)에 저장된다.

도 2는 종래 기술의 화소 소자 매트릭스를 개략적으로 도시한다. 도시된 바와 같이, 복수의 화소 소자(10)(각 화소 소자(10)는 접속된 스위칭 박막 트랜지스터 및 저장 캐패시터를 가짐)는 행(수평) 및 열(수직)로 이루어진 매트릭스 내에서 정렬된다. 단순성을 위해, 매트릭스 어레이의 작은 부분만을 도시하였다. 실제적으로는, 말하자면 1290개 정도의 다수의 행과, 말하자면 1024개 정도의 다수의 열이 존재한다. 도 2를 참조하면, 게이트 라인, 구체적으로는 게이트 라인(40a, 40b, 40c)에 게이트(스위치) 제어 신호를 인가함으로써 행에 있는 화소 소자(10)를 함께 선택한다. 라인(42)을 경유하여 램프 소스(41)로부터 투명 전극(14)에 일정한 전압(모든 화소 소자(10)에 의해 공유됨)을 인가한다. 또한, 램프 소스(41)는 라인(20, 22)(이 라인은 또한 모든 화소 소자(10)에 의해 공유됨)에 상보형 램프 신호를 인가한다. 더욱이, 열 라인(46a, 46b, 46c)은 화소 소자(10)의 광학 상태(optical state)를 결정함으로써 화소 소자(10)의 작동을 제어한다.

실제적으로, 게이트 라인(40a 40c) 중 적합한 하나의 게이트 라인에 신호를 인가함으로써 화소 소자의 행을 선택한다. 이는 해당되는 행 내의 화소 소자(10)를 전부 턴-온한다. 다음에, 램프 소스(41)는 라인(20) 또는 라인(22) 중 어느 하 나(사용되는 라인은 프레임마다 다름)에 램프(ramp)를 인가한다. 램프는 선택된 행 내에 있는 모든 저장 캐패시터를 충전하기 시작한다. 다른 행은 전류를 공급받지 않기 때문에, 램프 소스는 다른 화소(10)의 오프-상태 캐패시턴스(OFF-state capacitance)만을 충전시킨다. 램프 전압이 특정한 화소(10)의 원하는 상태에 도달하면, 그 특정한 화소 소자(10)에 대한 열 라인(46a 46c) 전압은 화소 스위치를 턴-오프(turn-off)한다. 다음에, 특정 화소 소자(10)가 턴-오프될 때 방출되는 램프 전압은 해당 소자의 저장 캐패시터에 저장된다. 한편, 모든 열 라인(46a 46c)이 연결된 화소 소자(10)에서의 램프 전압을 유지(HELD)시킬 때까지, 램프 전압을 계속하여 증가시킨다. 그 이후에, 화소 소자(10)의 새로운 행을 선택하고, 프로세스를 처음부터 다시 시작한다. 모든 행을 선택한 후에, 이 프로세스는 새로운 프레임 주기에서 다시 시작되고, 이 때에는 이전 램프의 보수(complement)를 사용한다.

지금까지의 프로세스는 일반적으로 잘 알려져 있고 전형적으로 시프트 레지스터(shift registers), 마이크로제어기(microcontrollers) 및 램프 발생기(ramp generators)를 사용하여 수행되었다. 실제적으로, 연산 트랜스컨덕턴스 증폭기(OTA로도 지칭됨) 및 램프 소스를 통상적으로 사용한다. 이것을 사용하는 이유는 OTA가 넓은 다이나믹 레인지(wide dynamic range) 및 작동 가능한 대역폭(bandwidths)을 포함하는 것에 기인한다. OTA는 전류 제어형 저항 증폭기(current controlled resistance amplifier)인데, 이 전류 제어형 저항 증폭기는 OTA가 출력을 제어하는데 있어서 차분 전압(differential voltage)이 아닌 차 분 입력 전류(differential input current)를 사용한다는 것을 제외하고는 연산 증폭기와 유사하다. 그러므로, OTA는 차분 입력을 포함한다.

RLCD 디스플레이는 일반적으로 성공적으로 작동되지만, 몇몇 문제점을 가지고 있다. 예를 들면, 비교적 느리게 충전되는 전압 램프를 사용하여 화소 소자(10)의 행을 구동한다는 것과, 그 후에 그 램프를 빠르게 방전하여 화소 소자의 다음 행을 구동하도록 준비함으로써 램프 오버슈트(ramp overshoot) 및 높은 전력 소모를 포함하는 여러 문제를 유발할 수 있다.

발명의 상세한 설명

본 발명의 목적은 외부 신호에 의해서 제어되는 슬루 레이트(slew rates)를 갖는 연산 트랜스컨덕턴스 증폭기 회로를 제공하는 것이다.

본 발명의 제 1 특징은 청구항 1에서 청구되는 바와 같이 연산 트랜스컨덕턴스 증폭기 회로를 제공한다는 것이다. 본 발명의 제 2 특징은 청구항 4에서 청구되는 바와 같이 연산 트랜스컨덕턴스 증폭기 등을 포함하는 램프 소스를 제공

한다는 것이다. 본 발명의 제 3 특징은 청구항 9에 청구되는 바와 같이 액정 디스플레이를 제공한다는 것이다. 종속항에는 유용한 실시예가 정의되어 있다.

종래 기술의 RLCD 디스플레이에서의 문제를 이해하기 위해서, RLCD 디스플레이에 인가된 램프 신호를 고려한다. 가장 먼저, RLCD 디스플레이를 캐패시턴스(C_{RLCD+})로서 모델링할 수 있다. +는 전류가 저장 소자(18) 내로 흐르도 록 화소 소자(10)가 스위칭되었다는 것을 나타낸다. 램프를 생성하는 OTA는 다음과 같이 최소의 슬루-레이트(slew-rate)를 가져야 한다.

$$SR_{RLCD+} = \alpha(V_{max\_ramp} - V_{min\_ramp})t_{ramp}$$

이는 요구되는 OTA 전류가 다음과 같이 되게 한다.

$$I_{RLCD+} = (SR_{RLCD+})(C_{RLCD+})$$

여기에서,

SR_{RLCD+} 는 소정의 행에 있는 저장 소자를 충전할 때 요구되는 슬루 레이트이고,

α는 요구되는 이득에 의해 결정되는 증폭 계수(amplification factor)이고,

V_{max_ramp} 는 최대 램프 전압이고,

V_{min_ramp} 는 최소 램프 전압이고,

t_{ramp} 는 램프 상승 시간(ramp up time)이고,

I_{RLCD+} 는 램프 상승 동안의 최대 충전 전류이고,

SR_{RLCD+} 는 램프 상승 동안에 최소로 요구되는 슬루 레이트이고,

C_{RLCD+} 는 램프 상승 동안에 RLCD의 최대 캐패시턴스이다.

다음에, 램프를 방전하여 다음 행에 있는 화소 소자를 위해 준비할 때 최소로 요구되는 램프 슬루-레이트를 고려한다.

$$SR_{RLCD-} = \alpha(V_{max\_ramp} - V_{min\_ramp})t_{fb}$$

이는 요구되는 OTA 전류가 다음과 같이 되게 한다.

$$I_{RLCD-} = (SR_{RLCD-})(C_{RLCD-})$$

여기에서,

-는 전류가 저장 소자 내로 흐르지 않는다는 것을 나타내고,

SR_{RLCD-} 는 램프를 방전할 때 요구되는 슬루 레이트이고,

t_{fb} 는 램프 하강(ramp down)(플라이백(flay back)) 시간이고,

I_{RLCD-} 는 플라이백 동안의 최대 충전(방전) 전류이고,

SR_{RLCD-} 는 플라이백 동안에 최소로 요구되는 슬루 레이트이고,

C_{RLCD-} 는 플라이백 동안에 RLCD의 최대 캐패시턴스이다.

$t_{ramp} >> t_{fb}$ 이기 때문에, $SR_{RLCD-} >> SR_{RLCD+}$ 라는 일반 조건이 존재한다. 각 램프 사이클에 있어서 비교적 작은 부분에서만 더 큰 전류 처리 능력이 필요함에도 불구하고, 보다 빠른 슬루 레이트(SR_{RLCD-})를 제공하기 위해서, 램프 소스(41)는 일반적으로 전체 램프 사이클에 걸쳐 더 큰 신호 슬루(및 그에 따른 전류)를 처리하도록 설계된다. 이

는 전력 소모가 커지게 하고, 필연적으로 불안정하게 한다(램프 신호 오버슈트 등).

그러므로, 램프 플라이백 동안에 보다 빠른 슬루 레이트를 갖는 램프 소스(41)가 유용할 것이다. 외부 신호에 의해서 제어되는 슬루 레이트를 갖는 OTA 회로는 더욱 유용할 것이다. 이러한 램프 소스 및 회로는 액정 디스플레이 장치에서 특히 유용할 것이다.

따라서, 본 발명의 원리는 외부 신호에 의해서 제어되는 슬루 레이트를 갖는 연산 트랜스컨덕턴스 증폭기(OTA) 회로와, 램프 플라이백 도중에 증가된 슬루 기능을 갖는 램프 소스와, 슬루 레이트를 제어하는 램프 소스를 갖는 액정 디스플레이 장치를 제공한다.

본 발명의 원리에 따른 회로는 연산 트랜스컨덕턴스 증폭기(OTA)를 포함한다. OTA는 로드를 구동시키는 출력을 갖고, 이는 액정 디스플레이 패널에 있어서 유리하다. OTA 회로는 제 1 꼬리 전류(tail current)를 싱크(sink)하는 제 1 전류원(current source) 및 제 2 꼬리 전류를 선택적으로 싱크하는 제 2 전류원을 포함한다. 제 2 전류원은 스위치에 인가된 제어 신호에 의해 선택된다. 제 2 전류원이 부가적인 제 2 꼬리 전류를 싱크할 때, OTA의 슬루 레이트는 증가된다. OTA 회로가 램프 소스로서 사용될 때, OTA 회로는 OTA의 비반전 입력(non-inverting input)에 인가된 램프 입력을 수신한다. 다음에, 램프 플라이백 도중에 슬루 레이트는 증가된다. 액정 디스플레이 내에서 이용될 때, 플라이백 도중에 램프의 슬루 레이트가 증가되도록 OTA 회로는 램프로 액정 디스플레이 패널을 구동한다.

본 발명의 추가적인 특징 및 이점은 이하의 설명에서 제시될 것이나, 부분적으로는 이하의 설명으로 명백해질 수도 있고, 본 발명을 실시함으로써 습득될 수도 있을 것이다. 본 발명의 목적 및 그 외의 이점은 표현된 설명, 청구항뿐만 아니라 도면 내에서 특별하게 지시된 구조물에 의해 실현되고 달성될 수 있을 것이다. 보다 구체적으로, 본 발명의 실시예에 의한 이점은 액정 디스플레이 내에서 플리커(flicker)를 감소시킨다는 것이다.

앞서 설명된 일반적인 설명 및 이하의 세부적인 설명은 모두 예시적이고 설명을 위한 것이며, 청구된 본 발명의 추가적인 설명을 제공하기 위한 것임을 이해할 수 있을 것이다.

본 발명의 추가적인 이해를 돕기 위해서 포함되고 본 명세서에서 인용되어 그 부분을 이루는 첨부된 도면은, 본 발명의 실시예를 설명하는 것이고, 그에 해당되는 설명과 함께 본 발명의 원리를 설명하는 역할을 한다.

도면의 간단한 설명

도 1은 종래 기술의 반사형 액정 화소 소자를 개략적으로 도시하는 도면,

도 2는 종래 기술의 화소 소자 매트릭스를 개략적으로 도시하는 도면,

도 3은 예시적인 램프 전위를 도시하는 도면,

도 4는 본 발명의 원리를 적용한 액정 디스플레이를 위한 램프 소스를 개략적으로 도시하는 도면,

도 5는 도 4에 도시된 램프 소스와 연관된 시간 기반 신호를 개략적으로 도시하는 도면.

실시예

다음으로 본 발명에 대해 설명된 실시예를 세부적으로 참조할 것이며, 그 예는 첨부된 도면에 도시되어 있다. 이 실시예는 램프 플라이백 동안에 증가된 구동 기능을 갖는 OTA 램프 소스(41)를 포함한다. 또한, 이 램프 소스(41)를 사용하여 액정 디스플레이를 구동한다.

앞서 설명된 바와 같이, 도 2의 램프 소스(41)는 라인(20, 22)에 전압 램프를 생성한다. 도 3은 이러한 전압 램프(100)(양의 방향) 중의 하나에 대해 도시한다. 다른 전압 램프는 도 3의 전압 램프에 비해 반전된(음의 방향) 형태이기 때문에, 이하의 설명은 양 형태의 램프에 모두 적용되는 것으로 이해해야 한다.

도 3에 도시된 바와 같이, 전압 램프(100)는 최소 전압(102)(V_{min_ramp})에서 시작되고 순간(106)에서 최대 전압(104)(V_{max_ramp})이 될 때까지 시간(수평축)(t_{ramp})에 따라서 증가된다. 시간(t_{ramp}) 동안에, 전압 램프(100)는 최대 레이트(108)(SR_{RLCD+})로 변한다. 램프 소스(41)는 최대 레이트(108)에서도 요구되는 출력 전력을 제공할 수 있어야 한다. 그렇지 않으면, 요구되는 램프 프로파일을 획득할 수 없게 되어, 부정확한 프로파일이 되게 하고, 그것으로 조명 왜곡(illumination distortion)을 발생시킨다.

계속하여 도 3을 참조하면, 램프 주기(t_{ramp}) 이후에, 짧은 시간 주기 동안 최대 전압이 유지된다. 다음에, 다음 행의 화소 소자(10)를 위한 램프를 생성하기 위한 준비로서, 전압 램프는 플라이백 시간(t_{fb})(112) 동안에 V_{max_ramp}(104)로부터 $V_{min-ramp}$(102)까지 강하된다. 플라이백 주기(t_{fb})(112) 동안에, 전압 프로파일(100)은 최대 레이트(SR_{RLCD-})(114)로 변한다. 램프 소스(41)는 레이트(SR_{RLCD-})(114)에서 요구되는 플라이백 출력 전력을 제공할 수 있어야 한다.

제한된 전력을 소모하면서, 요구되는 슬루 레이트(SR_{RLCD+})(108)에서 요구되는 전력을 제공할 수 있고, 요구되는 슬루 레이트(SR_{RLCD-})(114)에서 요구되는 전력을 제공할 수 있는 OTA 기반의 램프 소스(120)를 도 4에 도시하였다. OTA(122)는 램프 발생기(123)로부터 라인(124)을 통하여 원하는 형상을 갖는 램프 입력을 수신한다. 그 응답으로서, OTA(122)는 캐패시터(C)로서 모델링된 RLCD 디스플레이(126)를 구동한다. RLCD 디스플레이(126)의 캐패시턴스는 주어진 행에 있는 화소 소자(10)에 의해 생성된 화상에 따라서 변한다. OTA(122)의 슬루 레이트는 OTA 미러(mirror)를 통과하는 '꼬리 전류'(I_{tail})의 함수이다. 꼬리 전류(I_{tail})는 꼬리 전류 라인(128)에서 출력된다.

OTA 기반의 램프 소스(120)의 슬루 레이트($SR_{rampsource}$)는 꼬리 전류(I_{tail}) 및 RLCD 디스플레이(126)의 캐패시턴스($C_{display}$)의 함수이다. 슬루 레이트는 다음과 같다.

$$SR_{rampsource} = cmc(I_{tail})/C_{display}$$

여기에서, cmc는 OTA 토폴로지(topology)와 관련된 전류 승산 계수(current multiplication coefficient)이다.

본 발명의 원리에 따르면, 꼬리 전류 라인(128) 위의 제 1 OTA 꼬리 전류(204)는 전류원(I_{max_sample})(132)을 통해 일정하게 주입된다. OTA 램프 소스의 슬루 레이트($SR_{rampsource}$)가 램프 소스의 최대 요구되는 슬루 레이트($SR_{rampsource}$)(108)를 만족시키기에 충분하도록 전류원(I_{max_sample})(132)을 선택한다. 또한, 플라이백 시간(t_{fb})(112)(도 3 참조) 동안에 꼬리 전류 라인(128)에 부가적인 OTA 꼬리 전류(205)가 공급되도록 제 2 전류원(I_{fly_back})(134)을 선택적으로 스위칭한다. 전류원(I_{fly_back})(134)을 선택적으로 접속하는 스위치(136)는, 제어 라인(138)에 인가된 디지털 제어로 유용하게 램프 발생기(123)를 형성하는 디지털 제어형 아날로그 스위치(digital controlled analog switch)에 유용하다.

스위치(136)의 제어 및 결과적인 OTA 기반 램프 소스(120)의 동작을 도 5에 도시하였다. 제어 라인(138)에 인가된 디지털 제어 신호를 나타내는 그래프 A에 도시된 바와 같이, 디지털 제어 신호는 하이(HIGH)가 되어, 플라이백 시간(t_{fb})(112)(도 3 참조)의 개시(200) 시에 스위치(138)(도 4 참조)를 닫는다. 또한, 그 디지털 제어 신호는 플라이백 시간(t_{fb})(112)의 종료(202) 시까지 하이로 유지된다.

다음에 도 5의 그래프 B를 참조하면, 디지털 제어 신호가 하이로 되기 전에, 꼬리 전류는 전류원(I_{max_sample})(132)의 제 1 OTA 꼬리 전류(204)가 된다. 그러나, 디지털 제어 신호가 하이로 되면, 꼬리 전류는 제각기 전류원(I_{max_sample})(132) 및 전류원(I_{fly_back})(134)의 전류(204, 205)의 합계인 값(206)까지 증가된다.

다음에 도 5의 그래프 C를 참조하면, 디지털 제어 신호가 하이로 되기 전에, 꼬리 전류값(204)은 OTA 램프 소스가 최대 슬루 레이트(108)를 갖게 한다. 그러나, 디지털 제어 신호가 하이로 되면, 꼬리 전류는 증가되어 OTA 램프 소스가 최대 슬루 레이트 (114)를 갖게 한다. 그러므로, 최대 OTA 램프 소스 슬루 레이트는 도 4의 제어 라인(138) 위의 신호에 의해 디지털 방식으로 제어된다.

당업자라면, 본 발명의 정신 또는 범주를 벗어나지 않으면서 본 발명에 대한 여러 수정 및 변경이 이뤄질 수 있다는 것이 명확할 것이다. 그러므로, 본 발명의 수정 및 변경이 첨부된 청구항 및 그 등가물의 범주 내에 속한다면, 본 발명에서는 그 수정 및 변경을 포함하도록 의도되었다. 예를 들면, 액정 디스플레이는 또한 투명한 타입일 수 있다.

청구항에서, 괄호로 표현된 임의의 참조 부호는 청구항을 제한하는 것으로 해석되어서는 안 된다. '포함한다'라는 단어는 청구항 내에 열거된 것 이외의 요소 또는 단계의 존재를 배제하는 것이 아니다. 단수로 표현된 요소는 복수의 소자의 존재를 배제하는 것이 아니다. 본 발명은 수 개의 개별 소자를 포함하는 하드웨어에 의해서, 또한 적절하게 프로그래밍된 컴퓨터에 의해서 구현될 수 있다. 수 개의 수단을 열거하는 장치항에서, 수 개의 이들 수단은 하드웨어의 임의의 아이템 및 동일 아이템에 의해 내장될 수 있다. 소정의 치수가 서로 다른 독립항에서 언급되었다는 사실만으로는 이 수치의 조합이 유용하게 사용될 수 없다는 것을 나타낼 수 없다.

(57) 청구의 범위

청구항 1.

연산 트랜스컨덕턴스 증폭기 회로(operational transconductance amplifier circuit)로서,

반전 입력단(inverting input)(-), 비반전 입력단(non-inverting input)(+), 출력단 및 꼬리 전류 라인(tail current line)(128)을 갖는 연산 트랜스컨덕턴스 증폭기(operational transconductance amplifier)(122)와,

상기 출력단에 접속된 로드(load)(126)와,

제어 신호에 응답하여 상기 꼬리 전류 라인(128) 내에 흐르는 꼬리 전류(I_{tail})의 레벨을 변화시키는 수단(132, 134, 136)

을 포함하는 연산 트랜스컨덕턴스 증폭기 회로.

청구항 2.
제 1 항에 있어서,

꼬리 전류(I_{tail})의 레벨을 변화시키는 상기 수단(132, 134, 136)은,

상기 꼬리 전류 라인(128)으로부터 제 1 전류(204)를 싱크(sink)하는 제 1 전류원(current source)(132)과,

상기 꼬리 전류 라인(128)에 접속된 제 1 단말(terminal), 제 2 단말 및 스위치 제어부(switch control)(138)를 갖는 스위치(136)-상기 제 1 단말 및 상기 제 2 단말은 상기 스위치 제어부(138)가 상기 제어 신호로서 폐쇄 신호(close signal)를 수신할 때 함께 전기적으로 단락됨-와,

상기 스위치 제어부(138)가 상기 폐쇄 신호를 수신할 때 상기 꼬리 전류 라인(128)으로부터 제 2 전류(205)를 싱크하는 상기 제 2 단말에 접속된 제 2 전류원(134)

을 포함하는 연산 트랜스컨덕턴스 증폭기 회로.

청구항 3.
제 2 항에 있어서,

상기 연산 트랜스컨덕턴스 증폭기(122)가 상기 제 1 단말 및 상기 제 2 단말이 전기적으로 단락되지 않을 때는 제 1 슬루 레이트(slew rate)(108)를 갖고, 상기 제 1 단말 및 상기 제 2 단말이 전기적으로 단락될 때에는 제 2 슬루 레이트(114)를 갖는 연산 트랜스컨덕턴스 증폭기 회로.

청구항 4.
청구항 1에 기재된 연산 트랜스컨덕턴스 증폭기(122)를 포함하는 램프 소스(ramp source)(41).

청구항 5.
제 4 항에 있어서,

상기 출력단은 상기 반전 입력단(-)에 전기적으로 접속되는 램프 소스(41).

청구항 6.
제 4 항에 있어서,

상기 로드(126)는 액정 디스플레이(liquid crystal display)를 포함하는 램프 소스(41).

청구항 7.
제 4 항에 있어서,

상기 비반전 입력단(+)이 램프 발생기(ramp generator)(123)에 전기적으로 접속되는 램프 소스(41).

청구항 8.
제 7 항에 있어서,

상기 램프 발생기(123)는 램프 주기(t_{ramp}) 동안에 램프를 생성하고, 플라이백 주기(fly back period)(t_{fb}) 동안에 리턴(return) 단계를 생성하되, 상기 스위치 제어부(138)는 상기 플라이백 주기(t_{fb}) 동안에 폐쇄 신호를 수신하는 램프 소스(41).

청구항 9.
액정 디스플레이로서,

화소행(pixel rows) 및 화소열(pixel columns)로 이루어진 어레이 내에 있는 복수의 화소 소자(10)-상기 각 화소 소자(10)는 램프 입력 라인(20, 22)을 포함함-와,

램프 주기(t_{ramp}) 동안에 램프를 생성하고 플라이백 주기(t_{fb}) 동안에 리턴을 생성하는 램프 발생기(123)와,

청구항 1 또는 청구항 2에 기재되어 있으며, 상기 비반전 입력단(+)이 상기 램프 발생기(123)에 접속되어 있고, 상기 출력단이 상기 화소 소자 램프 입력 라인(20, 22) 및 상기 반전 입력단(-)에 접속되어 있는 연산 트랜스컨덕턴스 증폭기 회로

를 포함하는 액정 디스플레이.

청구항 10.
제 9 항에 있어서,

상기 액정 디스플레이는 상기 플라이백 주기(t_{fb}) 동안에 상기 스위치(136)를 닫는 제어부(123)를 더 포함하는 액정 디스플레이.

청구항 11.
제 9 항에 있어서,

각 화소 소자(10)는 상보형 램프 입력 라인(complementary ramp input line)(22, 20)을 더 포함하는 액정 디스플레이.

청구항 12.
제 9 항에 있어서,

램프 주기(t_{ramp}) 동안에 상보형 램프를 생성하고, 플라이백 주기(t_{fb}) 동안에 상보형 리턴(complementary return)을 생성하며, 상기 상보형 램프 입력 라인(22, 20)에 접속되어 있는 상보형 램프 소스를 더 포함하는 액정 디스플레이.

청구항 13.
제 9 항에 있어서,

상기 각 화소 소자(10)는,

투명 전극(14), 화소 전극(16) 및 그 사이에 배치된 액정층(12)과,

상기 램프 입력 라인(20, 22)에 접속된 저장 소자(18)-상기 저장 소자(18)는 상기 기록 입력 라인(24)이 기록 신호를 수신할 때 상기 저장 소자(18) 내에 램프 전압을 저장하는 기록 입력 라인(24)을 포함함-

을 포함하는 액정 디스플레이.

청구항 14.
제 13 항에 있어서,

상기 액정 디스플레이는

비분극형 광(non-polarized light)이 제 1 편광기(34)를 통과할 때 분극형 광(polarized light)(30)을 생성하는 제 1 편광기(34)를 더 포함하되,

각 화소 소자(10)는, 상기 투명 전극(14)을 통해 상기 분극형 광(30)을 수신하고, 상기 각 화소 소자(10)의 상기 화소 전극(16)에서 상기 분극된 광(30)을 반사하고, 상기 액정층(12) 내에서 상기 각 화소 소자(10)의 상기 저장 소자(18)에 의해 저장된 램프 전압에 따라 상기 분극형 광(30)의 분극을 변화시키도록 정렬되는 액정 디스플레이.

청구항 15.
제 13 항에 있어서,

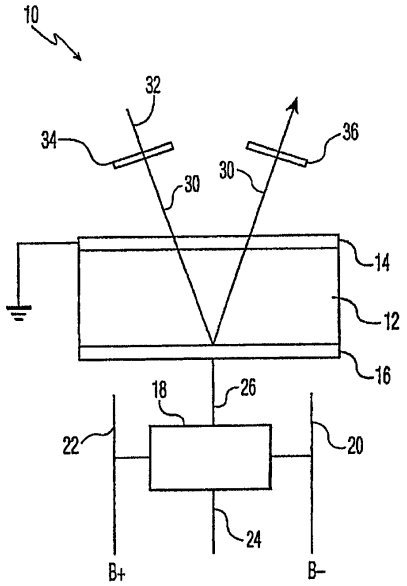
상기 투명 전극(14)은 상기 각 화소 소자(10)에 의해 공유되는 액정 디스플레이.

청구항 16.
제 9 항에 있어서,

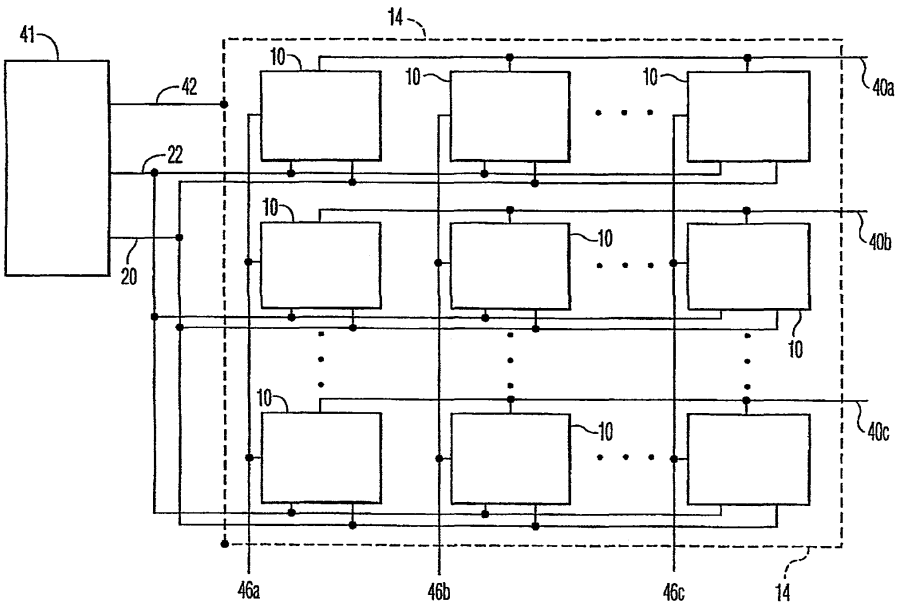
상기 스위치(136)는 디지털 방식으로 제어되는 아날로그 스위치(analog switch)인 액정 디스플레이.

도면

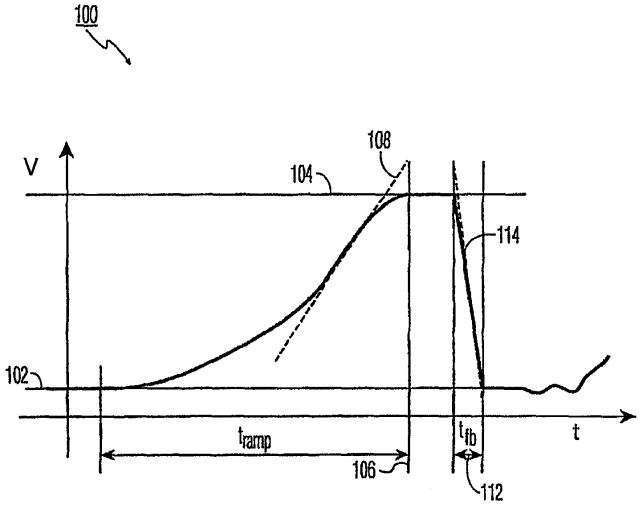
도면1



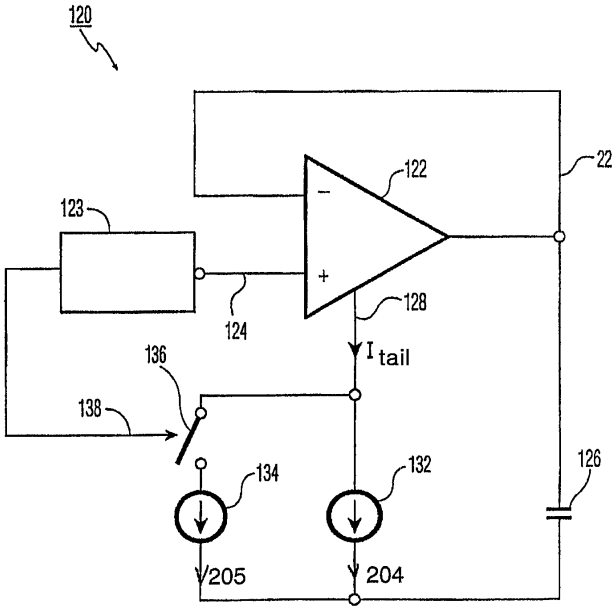
도면2



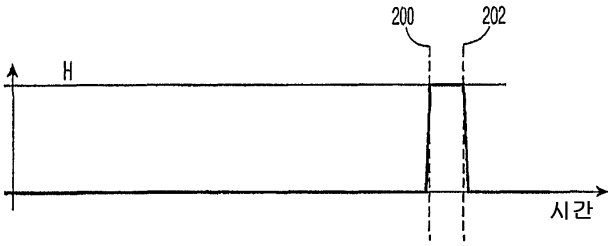
도면3


100
V
108
104
114
102
t_{ramp}
106
t_{fb}
112
t

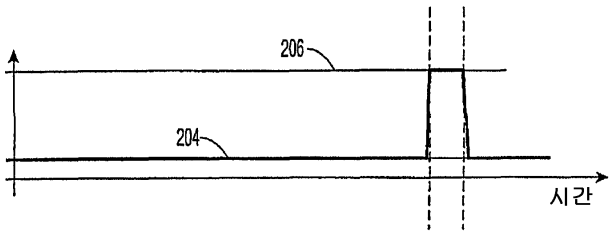
도면4


120
122
22
123
124
128
I_{tail}
136
138
134
132
126
205
204

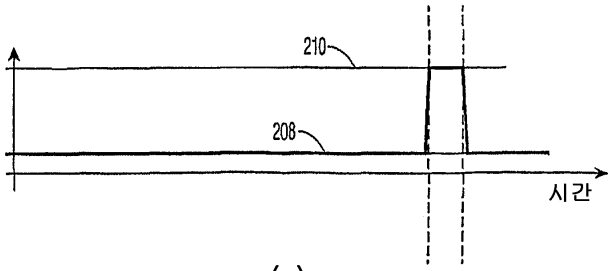
도면5



(a)



(b)



(c)

专利名称(译)	运算跨导放大器电路，灯源和液晶显示器		
公开(公告)号	KR1020040045894A	公开(公告)日	2004-06-02
申请号	KR1020047005890	申请日	2002-10-17
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	ALBU LUCIANR 알부루시안알 JANSSEN PETERJ M 얀센피터제이엠		
发明人	알부루시안알 얀센피터제이엠		
IPC分类号	G09G3/20 G09G3/36 H03F3/34 H03F3/72		
CPC分类号	G09G2310/0259 G09G3/3688 G09G3/2011 H03F3/72		
代理人(译)	KIM, CHANG SE KIM，WON JOON		
优先权	09/982893 2001-10-22 US		
外部链接	Espacenet		

摘要(译)

运算跨导放大器和使用这种运算跨导放大器电路的液晶显示器具有受控的转换速率。运算跨导放大器电路具有驱动负载126的输出，有利地是液晶显示面板。运算跨导放大器电路包括用于吸收第一尾电流204的第一电流源132和用于选择性吸收第二尾电流205的第二电流源212。包括134）。通过施加到开关136的控制信号选择第二电流源134。当第二电流源134吸收附加的第二尾电流205时，运算跨导放大器电路的转换速率增加。当在液晶显示器中使用运算跨导放大器电路时，运算跨导放大器电路用灯驱动液晶显示板。在斜坡后退（tfb）期间，第二电流源134吸收第二尾电流205并增加转换速率。