(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
G02F 1/136

(11) 공개번호 **특2003-0062288**
(43) 공개일자 **2003년07월23일**

(21) 출원번호 10-2003-0044933 (분할)
(22) 출원일자 2003년07월03일
(62) 원출원 특허 특2000-0076852
원출원일자 : 2000년12월15일 심사청구일자 2000년12월15일

(30) 우선권주장 JP-P-1999-00357982 1999년12월16일 일본(JP)
JP-P-2000-00087408 2000년03월27일 일본(JP)

(71) 출원인 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 스기모토오사무
일본미에515-0063마츠사카시오쿠로다초648-2

이마이하지메
일본미에519-2157타키군타키초오아자고사나1141-9

(74) 대리인 백덕열
이태희

심사청구 : 있음

(54) 액정 표시 장치 및 그의 제조 방법

요약

TFT가 형성된 절연성 기판상에 보호막 및 수지층을 적층하고, 수지층에 콘택트홀을 형성한 후, 콘택트홀의 하부의 보호막을 에칭처리하여 제거하고, 콘택트홀 영역에 화소 표시 전극을 드레인 전극에 접촉시켜 액정 표시 장치를 형성한다. 콘택트홀 영역의 드레인 전극에 하층과 통하는 절단부를 형성한다. TFT를 형성하기 위해 TFT부 섬형 반도체층을 형성할 때, 콘택트홀 영역에도 홀부 섬형 반도체층을 형성한다. 이것에 의해, 화소 표시 전극에 단절이 생겨 화소 표시 전극이 단선되는 것을 방지할 수 있는 액정 표시 장치의 제조 방법을 제공할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1a는 본 발명의 하나의 구체예에 따른 액정 표시 장치의 TFT 어레이 기판을 나타내는 평면도.

도 1b는 도 1a의 x-x'선 단면도.

도 2a 내지 도 2d는 도 1의 액정 표시 장치의 TFT 어레이 기판의 공정도.

도 3은 도 1a의 액정 표시 장치에서 섬형 반도체층 형상이 도우넛형인 경우의 TFT 어레이 기판의 구성을 나타내는 평면도.

도 4는 도 1a의 액정 표시 장치에서 섬형 반도체층의 형상이 U자형인 경우의 TFT 어레이 기판의 구성을 나타내는 평면도.

도 5a는 도 1a의 액정 표시 장치에서 섬형 반도체층의 단자부 콘택트홀 내의 연장 부분의 면적이 큰 경우를 나타내는 설명도.

도 5b는 도 1a의 액정 표시 장치에서 섬형 반도체층의 단자부 콘택트홀 내의 연장 부분의 면적이 작은 경우를 나타내는 설명도.

도 6a는 본 발명의 다른 구체예에 따른 액정 표시 장치의 구조를 나타내는 평면도.

도 6b는 도 6a의 Y-Y'선 단면도.

도 7a는 도 6a의 D-D'선 근방의 평면도.

도 7b는 도 6a의 D-D'선 단면도.

도 8a는 도 6a의 액정 표시 장치에서 절연성 기판에 게이트 전극을 형성하는 제조 공정을 나타내는 것으로, 도 6a의 A-A'선 단면도.

도 8b는 도 6a의 액정 표시 장치에서 절연성 기판에 게이트 전극을 형성하는 제조 공정을 나타내는 것으로, 도 6a의 B-B'선 단면도.

도 8c는 도 6a의 액정 표시 장치에서 절연성 기판에 게이트 전극을 형성하는 제조 공정을 나타내는 것으로, 도 6a의 C-C'선 단면도.

도 8d는 도 6a의 액정 표시 장치에서 절연성 기판에 게이트 전극을 형성하는 제조 공정을 나타내는 것으로, 도 6a의 D-D'선 단면도.

도 9a는 도 6a의 액정 표시 장치에서 TFT부 성형 반도체층 및 홀부 섬형 반도체층을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 A-A'선 단면도.

도 9b는 도 6a의 액정 표시 장치에서 TFT부 섬형 반도체층 및 홀부 섬형 반도체층을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 B-B'선 단면도.

도 9c는 도 6a의 액정 표시 장치에서 TFT부 섬형 반도체층 및 홀부 섬형 반도체층을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 C-C'선 단면도.

도 9d는 도 6a의 액정 표시 장치에서 TFT부 섬형 반도체층 및 홀부 섬형 반도체층을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 D-D'선 단면도.

도 10a은 도 6a의 액정 표시 장치에 TFT를 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 A-A'선 단면도.

도 10b는 도 6a의 액정 표시 장치에 TFT를 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 B-B'선 단면도.

도 10c는 도 6a의 액정 표시 장치에 TFT를 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 C-C'선 단면도.

도 10d는 도 6a의 액정 표시 장치에 TFT를 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 D-D'선 단면도.

도 11a는 도 6a의 액정 표시 장치에 수지층을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 A-A'선 단면도.

도 11b는 도 6a의 액정 표시 장치에 수지층을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 B-B'선 단면도.

도 11c는 도 6a의 액정 표시 장치에 수지층을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 C-C'선 단면도.

도 11d는 도 6a의 액정 표시 장치에 수지층을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 D-D'선 단면도.

도 12a는 도 6a의 액정 표시 장치에 콘택트홀을 형성하여 에칭처리하기까지의 제조 공정을 나타내는 것으로, 도 6a의 A-A'선 단면도.

도 12b는 도 6a의 액정 표시 장치에 콘택트홀을 형성하여 에칭처리하기까지의 제조 공정을 나타내는 것으로, 도 6a의 B-B'선 단면도.

도 12c는 도 6a의 액정 표시 장치에 콘택트홀을 형성하여 에칭처리하기까지의 제조 공정을 나타내는 것으로, 도 6a의 C-C'선 단면도.

도 12d는 도 6a의 액정 표시 장치에 콘택트홀을 형성하여 에칭처리하기까지의 제조 공정을 나타내는 것으로, 도 6a의 D-D'선 단면도.

도 13a는 도 6a의 액정 표시 장치에 화소 표시 전극을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 A-A'선 단면도.

도 13b는 도 6a의 액정 표시 장치에 화소 표시 전극을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 B-B'선 단면도.

도 13c는 도 6a의 액정 표시 장치에 화소 표시 전극을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 C-C'선 단면도.

도 13d는 도 6a의 액정 표시 장치에 화소 표시 전극을 형성하기까지의 제조 공정을 나타내는 것으로, 도 6a의 D-D'선 단면도.

도 14는 종래의 액정 표시 장치의 구성의 일례를 나타내는 단면도.

도 15a는 종래의 액정 표시 장치의 구성의 다른 일례를 나타내는 평면도.

도 15b는 도 15a의 Z-Z'선 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터[이하, TFT (Thin Film Transistor)로 칭함]가 형성된 액티브 매트릭스 기판을 사용하여 액정을 구동하는 액정 표시 장치 및 그의 제조 방법에 관한 것이다.

도 14에 나타낸 바와 같이, 종래의 TFT를 스위칭 소자로 사용한 액정 표시 장치에는 유리 기판(101)상에 동일 공정에서 형성된 게이트 전극(102), 상기 게이트 전극에 접속된 게이트 배선(도시하지 않음) 및 소스 신호 입력 단자(103)가 제공된다.

또한, 게이트 절연막(105)이 소스 신호 입력 단자(103)상에 형성된 단자부 콘택트홀(104)을 제외한 유리 기판(101) 전면에 형성된다. 게이트 전극(102)에는 게이트 절연막(105)을 통해 비정질 실리콘 반도체층(이하, a-Si층으로 칭함)(106), 비정질 실리콘 반도체층(이하, n^+ a-Si층으로 칭함)(107)이 배치된다. n^+ a-Si층(107)은 불순물이 첨가된 비정질 실리콘 반도체층이지만, 이것은 a-Si층(106)과 후술하는 소스 전극 및 드레인 전극을 오믹 접속하기 위해 제공된 오믹 콘택트층이다.

상기 a-Si층(106) 및 n^+ a-Si층(107)상에 소스 전극(108) 및 드레인 전극(109)이 제공되고, 또한 소스 배선(110)이 소스 전극(108)과 일체적으로 동일한 공정에 의해 형성된다.

상기와 같이 배치된 게이트 전극(102), a-Si층(106), n^+ a-Si층(107), 소스 전극(108) 및 드레인 전극(109) 등에 의해 TFT(l11)가 구성된다.

또한, 소스 배선(110) 및 TFT(l11)의 일부를 보호하기 위해 사용되는 보호막(113) 및 수지층(114)이 단자부 콘택트홀(104)과 드레인 전극(109)상에 형성된 표시부 콘택트홀(112)을 제외하여 형성된다.

또한, 접속 전극(115)이 소스 신호 입력 단자(103)에 결합하여 단자부 콘택트홀(104)을 통해 소스 배선(110)과 소스 신호 입력 단자(103)가 접속된다. 또한, 표시부 콘택트홀(112)을 통해 표시 전극층(116)과 드레인 전극(09)이 접속된다.

상기 종래의 액정 표시 장치는 하기의 ① 내지 ⑧공정에 의해 제조된다.

*①우선, 세정한 유리 기판(101)상에 티탄(Ti), 알루미늄(Al) 또는 크롬(Cr)등으로 이루어지는 금속 박막을 스퍼터링법 등에 의해 성막한다. 그리고, 상기 금속 박막상에 포토레지스트를 도포하고, 노광 및 현상에 의해 마스크를 형성하여 에칭하는 포토리소그라피 기술을 사용함으로써 게이트 전극(102), 상기 게이트 전극(102)에 접속된 게이트 배선 및 소스 신호 입력 단자(103)를 동시에 형성한다.

②P-CVD법을 통해 $SiH_4/NH_3/N_2$ 혼합 가스를 사용하여 게이트 절연막(105)을 형성하는 SiN_x 를 성막한다.

③게이트 절연막(105)상에 P-CVD법으로 SiH_4/H_2 가스를 사용하여 a-Si막을 성막한다. 또한, 동일하게 P-CVD법으로 PH_3 가 혼재된 SiH_4/H_2 가스를 사용하여 n^+ a-Si막을 성막한다. 그 후, 포토리소그라피법에 의해 a-Si층(106)및 n^+ a-Si층(107)을 패턴한다.

④또한, A1/Ti와 같은 다층 구조 금속 박막을 성막하고, 이 금속 박막을 포토리소그라피법에 의해 패턴함으로써 소스 전극(108), 드레인 전극(109) 및 소스 배선(110)이 형성된다.

⑤다음, P-CVD법으로 $SiH_4/NH_3/N_2$ 혼합 가스를 사용하여 보호막(113)을 형성 하는 SiN_x 를 성막한다.

⑥보호막(113) 상에 포토리소그라피법을 사용하여 제 2 보호막으로서 작용하는 수지층(114)을 패턴형성하고, 가열처리 등을 실시하여 수지를 경화시킨다. 이 단계에서, 수지층(114)에 단자부 콘택트홀(104) 및 표시부 콘택트홀(112)이 형성된다.

⑦다음, 단자부 콘택트홀(104)에서, 소스 배선(110) 및 수지층(114)을 마스크로서 사용하여 게이트 절연막(105) 및 보호막(113)을 동시에 에칭제거한다. 또한, ⑥공정에서 형성된 표시부 콘택트홀(112)에서, 드레인 전극(109)이 에칭스토퍼로 작용하기 때문에 하부 게이트 절연막(105)은 잔존한다.

⑧접속 전극(115) 및 표시 전극(116)을 형성한다.

또한, 도 15a 및 도 15b에 나타낸 바와 같이, 다른 액정 표시 장치에는 유리등의 절연성 기판(201)상에 게이트 신호 입력 단자(202a) 및 게이트 전극(202b)이 일체적으로 형성된 게이트 배선(202), 보조 용량 배선(204), 상기 보조 용량 배선(204)에 접속되는 보조 용량 전극(204b) 및 보조 용량 신호 입력 단자(204a)가 제공된다.

그리고, 이것의 상층에는 게이트 절연막(207)을 통해 비정질 실리콘 반도체층으로 이루어지는 a-Si층(208a), 상기 a-Si층(208a)과 소스 전극(209b) 및 드레인 전극(210)사이에 오믹 접속을 실현하기 위해서 인(P) 등의 불순물을 첨가한 비정질 실리콘 반도체층인 n^+ a-Si층(208b)을 형성한다.

*다음, 상기 반도체인 a-Si층(208a) 및 n^+ a-Si층(208b) 상에 도시하지 않은 A1/Ti 등의 다층 구조막을 피착한 후, 소스 전극(209b), 드레인 전극(2l0) 및 그의 버스 배선인 소스 배선(209)을 형성한다. 또한, 상기 소스 배선(209), 상기 소스 배선(209)과 일체인 소스전극(209b)과 소스 신호 입력 단자(209c), 드레인 전극(210)에 의해 TFT(211)를 형성한다.

다음, 소스 배선(209) 및 TFT(211)을 보호하는 SiN 등의 절연성 막으로 이루어지는 보호막층(212), 절연성이 있는 감광성 아크릴계 수지 등으로 이루어지는 수지 절연막(213)을 순차적으로 적층함으로써 2층 구조로 이루어지는 보호층을 형성한다.

다음, 상기 감광성 아크릴계 수지 등으로 이루어지는 수지 절연막(213)을 노광 공정에서 소정의 마스크를 사용하여 감광한 후 현상 공정을 실시함으로써 수지 절연막(213)에 콘택트홀(215)을 형성한다. 이와 동시에 소스 신호 입력 단자(209c), 게이트 신호 입력 단자(202a), 보조 용량 신호 입력 단자(204a) 상의 수지 절연막(213)을 제거한다.

이상과 같이 패터닝된 수지 절연막(213)을 에칭처리시 마스크로서 사용하는 것에 의해 상기 콘택트홀(215)의 기저부에 위치하는 보호막층(212)과 상기 소스 신호 입력 단자(209c), 게이트 신호 입력 단자(202a), 보조 용량 신호 입력 단자(204a)상의 보호막층(212)을 동시에 제거한다.

계속해서, 상기와 같이 패터닝된 수지 절연막(213)을 에칭처리시 마스크로서 사용하여 게이트 신호 입력 단자(202a), 보조 용량 신호 입력 단자(204a)상의 게이트 절연막(207)을 제거한다.

다음, 수지 절연막(213)에 형성된 콘택트홀(215) 내부를 포함하여 수지 절연막(213)의 표면에 걸쳐 형성된 액정에 전압을 인가하기 위한 화소 표시 전극(214)이 형성되어 콘택트홀(215)의 기저부 상의 드레인 전극(210)에 전기적 접속을 한다.

그러나, 상기의 종래 액정 표시 장치의 제조 방법에는 다음에 같은 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

도 14에 나타낸 구성의 액정 표시 장치는 상기한 ⑦공정에서 게이트 절연막(105)과 보호막(113)을 동시에 에칭할 때 마스크로서 작용하는 소스 배선(110)이 완전히 에칭되지 않기 때문에, 소스 배선(110)의 하부에 배치된 게이트 절연막(105)이 선택적으로 급속히 에칭된다. 따라서, 게이트 절연막(105)이 소스 배선(110)의 하부로 들어가는(역 테이퍼 형상) 상태가 되고, ⑧공정에서 접속 전극(115)을 형성할 때, 도 6에 나타낸 바와 같은 접속 전극(115)의 단절부(117)가 발생한다. 이러한 단절부(117)에 의해 소스 신호 입력 단자(103)와 소스 배선(110)의 접속 불량이 생긴다고 하는 문제가 발생한다.

또한, 도 15a 및 도 15b에 나타낸 액정 표시 장치의 제조 방법에서는 수지 절연막(213)과 보호막층(212)의 에칭속도가 (수지 절연막(213)의 에칭 속도) < (보 호막층(212)의 에칭속도)이다. 또한, 드레인 전극(210)의 에칭 속도가 보호막층(212)의 1/10이하인 경우, 게이트 신호 입력 단자(202a) 및 보조 용량 신호 입력 단자(204a) 부분의 게이트 절연막(207)을 에칭하는 사이에 콘택트홀(215) 내부의 에칭은 하부 방향으로의 진행이 멈추고, 횡방향으로의 에칭이 진행한다, 상기 보호막층(212)이 수지 절연막(213)의 이면까지 에칭되어 역 테이퍼 형상(217)이 발생한다.

그 결과, 이러한 상태에는 후에 형성되는 화소 표시 전극(214)의 단절이 발생하고, 화소 표시 전극(214)에서 전기적인 접속을 할 수 없게 한다는 문제가 생긴다.

발명의 구성 및 작용

본 발명의 목적은 콘택트홀 내의 접속 부분에 접속하는 전극에 단절이 발생하는 것을 방지할 수 있는 액정 표시 장치 및 그의 제조 방법을 제공하는 것이다.

본 발명의 액정 표시 장치는 상기 목적을 달성하기 위해서 기판 상에 제공된외부에서 신호가 입력되는 단자부, 상기 단자부에 형성된 절연층, 각 화소에 형성된 박막 스위칭 소자의 전극에 접속되는 막 형태의 배선, 콘택트홀에 제공된 상기 단자부 및 상기 배선의 단부를 각각 접속하는 접속 도전막을 포함하며, 상기 배선과 상기 절연층 사이에 반도체층이 제공되고, 상기 절연층, 상기 반도체층 및 상기 배선의 단부가 이 순서의 깊이로 상기 콘택트홀을 뚫고 나오는 것을 포함한다.

절연층에 콘택트홀을 형성할 때, 예컨대 상기 배선을 마스크로서 사용하여 콘택트홀 형성 위치의 절연층을 에칭 제거하는 경우를 생각한다. 배선은 절연층의 에칭시 사용되는 가스 등에 의해 에칭되지 않는 재료로 형성되는 것이 일반적이다. 이 경우, 만일 상기 반도체층이 형성되지 않으면, 콘택트홀 형성시 에칭에 의해 배선의 하부에 위치하는 절연층이 급격히 선택적으로 에칭된다. 이 때문에, 절연층의 패턴 단부가 역 테이퍼 형상이 된다.

반면, 본 발명의 구성에 의하면, 상기 절연층과 상기 배선의 단부 사이에 상기 반도체층이 형성되어 있다. 예컨대, 상기 반도체층이 상기 절연층 보다 에칭 속도가 느리면, 상기 배선을 마스크로 사용하는 에칭 처리 공정에서, 상기 절연층 뿐만 아니라 속도는 느리지만 상기 반도체층도 에칭된다. 따라서, 상기 절연층이 급격히 선택 에칭되지 않는다. 따라서, 절연층의 패턴 단부를 순 테이퍼 형상으로 형성할 수 있다.

이것에 의해, 상기 단자부와 상기 배선의 접속 단부를 상기 콘택트홀을 통해 접속 도전막으로 접속할 때, 상기 접속 도전막이 절연층의 패턴 단부에서 단절되지 않아 접속 신뢰성을 향상할 수 있다.

본 발명의 액정 표시 장치의 제조 방법은 상기의 목적을 달성하기 위하여 절연성 기판상에 금속막으로 이루어지는 단자부 및 게이트 전극을 형성하는 제 1공정; 상기 단자부 및 게이트 전극을 피복하는 절연층을 형성하는 제 2공정; 상기 단자부의 접속 단부 및 상기 게이트 전극상에 반도체막 및 오믹 콘택트막을 형성하여 상기 반도체막 및 오믹 콘택트 막에 의해 상기 단자부상의 막을, 또한 상기 게이트 전극상의 박막 트랜지스터의 반도체 동작층을 패턴 형성하는 제 3공정; 배선을 상기 배선의 접속 단부가 상기 막상에 배치되도록 형성하는 제 4공정; 상기 배선을 마스크로 사용하여 상기 절연층을 에칭 제거하여 콘택트홀을 형성하는 제 5공정; 및 상기 배선과 상기 단자부를 상기 콘택트홀을 통해 접속 도전막에 의해 접속하는 제 6공정을 포함한다.

상기 방법에 의하면, 박막 트랜지스터의 반도체 동작층을 형성하는 공정에서, 단자부의 접속 단부상에 게이트 절연막을 통해 막을 형성할 수 있다. 즉, 막을 박막 트랜지스터의 반도체 동작층과 동일한 공정에서 형성할 수 있기 때문에 막형성를 위한 공정수를 증가시킬 필요가 없다.

따라서, 공정수를 증가시키지 않고 용이하게 상기 단자부와 상기 배선의 접속 단부를 접속 도전막을 사용하여 확실히 접속시켜 접속의 신뢰성을 향상시킬 수 있다.

또한, 절연층에 콘택트홀을 형성할 때 배선을 마스크로 사용하여 콘택트홀 형성 위치의 절연층을 에칭제거 하는 경우, 배선은 절연층의 에칭에 사용되는 가스등에 의해 에칭되지 않는 재료로부터 형성되는 것이 일반적이다. 이 경우, 상기 막이 형성되지 않으면, 콘택트홀 형성시 에칭에 의해 배선의 하부에 위치하는 절연층이 급격히 선택 에칭된다. 따라서, 절연층의 패턴 단부가 역 테이퍼 형상이 된다.

반면, 상기 방법에 의하면 상기 절연층과 상기 배선의 접속 단부 사이에 상기 절연층 보다 에칭 속도가 느린 막이 위치하여 배선의 접속 단부로부터 콘택트홀 내부로 연장될 수 있다. 따라서, 배선을 마스크로 사용하는 에칭 처리 공정에서, 상기 절연층 뿐만 아니라 속도는 느리지만 상기 막도 에칭된다. 따라서, 상기 절연층이 급격히 선택 에칭되지 않는다. 그러므로, 절연층의 패턴 단부를 순 테이퍼 형 상으로 형성할 수 있다.

이것에 의해, 상기 단자부와 상기 배선의 접속 단부를 상기 콘택트홀을 통해 접속 도전막으로 접속할 때, 상기 접속 도전막이 절연층의 패턴단부에서 단절되지 않아 접속의 신뢰성을 향상시킬 수 있다.

그 결과, 화소 표시 전극에 단절이 생겨 화소 표시 전극에 단선이 생기는 것을 방지할 수 있는 액정 표시 장치의 제조 방법을 제공할 수 있다.

또한, 본 발명의 액정 표시 장치의 제조 방법은 박막 트랜지스터를 형성하기 위해 제 1 반도체층을 형성할 때, 콘택트홀 영역에도 제 2 반도체층을 형성하고, 상기 제 1 반도체층 및 화소에 스위칭을 제공하기 위한 소스 전극과 콘택트홀 영역에 하층과 통하는 스루홀 또는 절단부를 갖는 드레인 전극을 갖는 박막 트랜지스터를 형성한다. 그 위에 보호막층 및 수지 절연막을 적층하여 이 수지 절연막에 콘택트홀을 형성한 후, 콘택트홀의 하부의 상기 보호막층을 에칭처리하여 제거하고, 콘택트홀의 영역에 액정에 전압을 인가하기 위한 화소 표시 전극을 상기 드레인 전극에 접촉시켜 형성한다.

상기 발명에 의하면, 액정 표시 장치를 제조할 때 우선, 화소에 스위칭을 제공하기 위해 소스 전극 및 드레인 전극을 갖는 박막 트랜지스터를 형성한다. 이어, 그 위에 보호막층 및 수지 절연막을 적층하여 수지 절연막에 콘택트홀을 형성한다. 그 후, 콘택트홀의 하부의 상기 보호막층을 에칭 제거하여 콘택트홀의 영역에 액정에 전압을 인가하기 위한 화소 표시 전극을 상기 드레인 전극에 접촉시켜 형성한다.

여기서, 종래는 콘택트홀의 하부의 보호막층을 에칭처리할 때, 하부에 위치하는 드레인 전극에서 에칭의 진행이 멈추고, 횡방향으로 에칭 방향이 이동함으로써 보호막층이 콘택트홀 영역을 넘어서 에칭된다.

그 결과, 콘택트홀에 상부로부터 화소 표시 전극을 적층시킨 경우, 콘택트홀의 기저부에서 적층 도전재가 보호막층 영역으로 분산되기 때문에 화소 표시 전극에 단절이 생겨 화소 표시 전극에서 단선 된다고 하는 문제점이 있었다.

그러나, 본 발명은 콘택트홀 영역에서 드레인 전극에 하층과 통하는 스루홀 또는 절단부를 형성한다. 그 후, 박막 트랜지스터를 형성하기 위한 제 1 반도체층을 형성할 때, 콘택트홀 영역에서도 제 2 반도체층을 형성한다. 이 경우, 제 2 반도체층은 더미(dummy)로서 형성한다.

즉, 박막 트랜지스터를 형성하기 위한 제 1 반도체층을 형성할 때, 콘택트홀 영역에서도 제 2 반도체층을 형성함으로써 보호막층을 에칭처리할 때, 콘택트홀 기저부에 상부에서 순차로 보호막층, 스루홀 또는 절단부가 형성된 드레인

전극 및 제 2 반도체층이 적층된다.

따라서, 보호막층을 에칭처리하면, 우선 보호막층이 에칭된 후, 에칭의 방향이 에칭되기 쉬운 제 2 반도체층으로 향하기 때문에 보호막층의 측 방향으로의 에칭이 방지되어 순 테이퍼 형상이 된다.

따라서, 에칭처리한 후, 화소 표시 전극의 도전재를 적층시켰을 때 도전재가 단절되지 않는다.

그 결과, 화소 표시 전극에 단절이 생겨 화소 표시 전극에 단선이 되는 것을 방지할 수 있는 액정 표시 장치의 제조 방법을 제공할 수 있다.

또한, 본 발명의 액정 표시 장치의 제조 방법은 절연성 기판상에 게이트선, 게이트선에 접속되는 게이트 전극, 보조 용량선, 보조 용량선에 접속되는 보조 용량 전극을 형성하는 공정; 상기 게이트선, 게이트 전극, 보조 용량선 및 보조 용량 전극의 각 위에 게이트 절연막을 형성하는 공정; 상기 게이트 전극의 윗쪽에 게이트 절연막을 통해 a-Si층과 n^+ a-Si층을 적층한 제 1 반도체층을 형성함과 동시에, 보조 용량 전극의 윗쪽에 게이트 절연막을 통해 a-Si층과 n^+ a-Si층을 적층한 제 2 반도체층을 형성하는 공정; 상기 게이트 전극 윗쪽의 제 2 반도체층에 대하여 각 일단이 각각 적층되는 소스 전극 및 드레인 전극과 이 소스전극에 접속되는 소스선을 형성함과 동시에, 이 드레인 전극을 상기 보조 용량 전극 윗쪽의 제 2 반도체층에 대해서도 다른 단부가 적층되도록 형성하고, 또한 그 때 다른 단부에는 스루홀 또는 절단부를 형성하는 공정; 상기 스루홀 또는 절단부를 갖는 드레인 전극을 마스크로 사용하여 상기 보조 용량 전극 윗쪽의 제 2 반도체층의 n^+ a-Si층을 에칭 제거하는 공정; 상기 보조 용량 전극 윗쪽의 제 2 반도체층에서 n^+ a-Si층을 에칭처리하는 것과 동시에, 상기 게이트 전극 윗쪽의 제 1 반도체층의 위에 각 일단이 각각 적층된 소스 전극 및 드레인 전극을 마스크로 사용하여 이 제 1 반도체층의 n^+ a-Si층을 에칭처리하여 분리하는 공정; 상기 기판상의 전면에 보호막층을 형성하는 공정; 상기 보호막층상에 수지 절연막을 형성하는 공정; 상기 수지 절연막에 상기 보 조 용량 전극의 윗쪽에서의 드레인 전극의 스루홀 또는 절단부의 패턴이 콘택트홀을 가로지르도록 콘택트홀을 형성하고, 이와 동시에 소스 신호 입력 단자, 게이트 입력 신호 단자 및 보조 용량 입력 단자상의 수지 절연막을 제거하는 공정; 상기 패터닝된 수지 절연층과 상기 콘택트홀 내에서의 드레인 전극의 스루홀 또는 절단부의 패턴을 에칭 마스크로 사용하여 상기 소스 신호 입력 단자, 게이트 입력 신호 단자 및 보조 용량 입력 단자상의 보호막층, 콘택트홀 기저부의 보호막층을 동시에 에칭제거하는 공정; 상기 게이트 신호 입력 단자 및 보조 용량 신호 입력 단자상의 게이트 절연막을 에칭하여 상기 게이트 신호 입력 단자상의 게이트 절연막을 제거함과 동시에, 상기 드레인 전극의 스루홀 또는 절단부와 콘택트홀에 의해 둘러싸인 영역에 노출한 상기 제 2 반도체층의 a-Si층을 동시에 에칭하는 공정을 포함한다.

따라서, 수지 절연막의 콘택트홀 안쪽에 콘택트홀을 가로지르도록 드레인 전극에 스루홀 또는 절단부를 형성하고, 드레인 전극과 그 하층의 게이트 절연막 사이에 제 2 반도체층을 형성함에 따라 제 2 반도체층은 보호막층과 드레인 전극 사이의 에칭 선택성이 중간 성질을 갖기 때문에 에칭이 하부의 제 2 반도체층으로 진행하여 횡방향으로 진행하지 않는다.

따라서, 에칭 공정에 의해 콘택트홀 기저부에 순 테이퍼 형상이 제공되기 때문에 화소 표시 전극을 콘택트홀 내부 및 수지 절연층의 표면에 걸쳐 형성한 경우, 화소 표시 전극이 콘택트홀 내에서 단절되는 것을 방지할 수 있다.

또한, 본 발명의 다른 목적, 특징 및 장점은 이하에 나타낸 상세한 설명에 의해서 충분히 이해된다. 또한, 본 발명의 장점은 첨부 도면을 참조한 하기의 설명 에 의해 명백하다.

실시예 1

도 1a 및 도 1b 내지 도 5a 내지 도 5b를 참고로 하여, 본 발명의 하나의 구체예를 설명한다.

도 1a는 어레이 기판(기판)(이하, 'TFT: Thin Film Transistor'로 칭함)의 구조를 나타내는 평면도이고, 도 1b는 도 1a의 x-x'선 단면도이다.

도 1a 및 도 1b에 나타낸 바와 같이 상기 액정 표시 장치는 유리 등으로 이루어지는 절연성 기판(1)상에 형성된 게이트 배선(2), 상기 게이트 배선(2)과 직교하는 소스 배선(배선)(3), 게이트 배선(2)에 접속되어 게이트 배선(2)에 외부로부터의 신호를 공급하기 위한 게이트 신호 입력 단자(2a), 외부 구동 회로로부터 소스 배선(3)에 신호를 공급하기 위한 소스 신호 입력 단자부(5), 매트릭스 포맷에 각 화소마다 스위칭 소자로서 제공된 TFT(6) 및 상기 TFT(6)에 각각 접속된 ITO(Indium Tin 0xide)로 되는 화소 표시 전극(7)(도면에서 2점 쇄선으로 나타나 있음)등에 의해 구성된 TFT 어레이 기판을 포함한다.

게이트 배선(2)에는 상기 게이트 배선(2)과 일직선상으로 제공된 게이트 전극(2b)이 화소마다 제공되고, TFT(6)과 각각 접속되어 있다. 또한, 게이트 배선(2)은 각각 게이트 신호 입력 단자(2a)와 접속되어 게이트 측 구동 회로(도시하지 않음)로부터의 신호가 게이트 배선(2)에 공급된다. 게이트 배선(2) 및 게이트 전극(2b)은 Ti, A1, Cr 등의 도전체

로 이루어지는 단층 또는 다층의 금속 박막으로 형성되어 있다.

소스 배선(3)에는 각 화소에 대해 상기 소스 배선(3)으로부터 분기된 소스 전극(3b)이 제공되고, TFT(6)와 각각 접속되어 있다. 또한, 소스 배선(3)은 소스 신호 입력 단자부(5)와 접속되어 소스 측 구동 회로(도시하지 않음)로부터의 신호가 소스 배선(3)에 공급된다. 소스 배선(3) 및 소스 전극(3b)은 Ti, A1, Cr 등의 도전체로 이루어지는 단층 또는 다층의 금속 박막으로 형성되어 있다.

소스 신호 입력 단자부(5)의 구체적인 구성에 관해서 설명한다. 우선, 게이트 배선(2) 및 게이트 전극(2b)과 동일 재료로 이루어지는 소스 신호 입력 단자(단자부)(10)가 절연성 기판(1)상에 제공된다. 상기 소스 신호 입력 단자(10)와 소스 배선(3)이 서로 겹치는 부분(접속 부분)의 상기 소스 신호 입력 단자(10)와 소스 배선(3) 사이에 섬형 반도체층(막, 반도체층)(11)이 제공된다. 이 섬형 반도체층(11)은 하층(1la) 및 상층(1lb)으로 구성되어 있다. 하층(1la)은 TFT(6)을 형성하는 후술하는 a-Si층과 같은 재료로 이루어지고, 상층(1lb)는 TFT(6)을 형성하는 후술하는 n $^+$ a-Si층과 같은 재료로 이루어진다. 또한, 소스 신호 입력 단자부(5)는 후술하는 보호막으로 피복하며; 이 보호막에는 접속 부분의 소스 배선(3)과 소스 신호 입력 단자(10)를 화소 표시 전극(7)과 같은 재료로 이루어지는 접속 전극(접속 도전막)(13)(도에서, 2점 쇄선으로 나타냄)으로 접속하기 위해 단자부 콘택트홀(콘택트홀)(12)이 제공된다.

화소 표시 전극(7)은 TFT(6)에 접속된 드레인 전극(4)상의 보호막(19)에 형성된 표시부 콘택트홀(15)을 통해 드레인 전극(4)과 접속된다.

또한, 도 1a에서 본 실시예에 따른 액정 표시 장치의 구성을 알기 쉽게 나타내기 위해 보호막(19)이 생략되어 있다.

다음, 도 1b를 참고고 하여, TFT(6) 및 소스 신호 입력 단자부(5)의 구성을 더욱 상세히 설명한다.

우선, TFT(6)에 관해서 설명한다. 절연성 기판(1)상에 형성된 게이트 전극(2b)상에 SiN_x 로 이루어지는 게이트 절연막(절연층)(16)을 통해 비정질 실리콘 반도체층(이하, a-Si층으로 칭함)(8), 비정질 실리콘 반도체층(이하, n $^+$ a-Si층으로 칭함)(9)가 배치된다. n $^+$ a-Si층(9)은 불순물이 첨가된 비정질 실리콘 반도체층으로, 본 실시예에서는 인(P)이 도핑되어 있고, a-Si층(8)과 소스 전극(3b) 및 드레인 전극(4)을 오믹 접속하도록 제공된 오믹 콘택트층이다.

상기 n $^+$ a-Si층(9)상에 소스 전극(3b) 및 드레인 전극(4)이 각각 형성된다. 상기 드레인 전극(4)은 소스 전극(3b)과 동일하게 Ti, A1, Cr 등의 금속 박막으로 이루어진다.

또한, 소스 전극(3b) 및 드레인 전극(4) 상에 SiN_x 로 이루어지는 보호막(14)이 제공된다.

한편, 소스 신호 입력 단자부(5)에서, 절연성 기판(1) 상에 배치된 소스 신호 입력 단자(10)의 접속 단부(10a) 상에 게이트 절연막(16)이 형성되고, 또한 상기 게이트 절연막(16) 상에 a-Si층(8)과 동일한 재료로 이루어지는 섬형 반도체층(11)의 하층(1la), n $^+$ a-Si층(9)과 동일한 재료로 이루어지는 섬형 반도체층(11)의 상층(1lb)이 배치된다. 상기 섬형 반도체층(11)은 상술한 바와 같이 소스 신호 입력 단자(10)의 접속에 사용되는 소스 배선(3)의 접속 단부의 하부에 배치된다.

소스 신호 입력 단자부(5)는 보호막(14)으로 피복되어 있다. 여기서, 도 1b는 단자부 콘택트홀(12) 부분의 단면도이고, 소스 배선(3)에 근접하는 부분에는 보호막(14)이 아니라 상기 단자부 콘택트홀(12)을 통해 소스 신호 입력 단자(10)와 접속된 접속 전극(13)이 배치된다. 이 접속 전극(13)에 의해 소스 신호 입력 단자(10)와 소스 배선(3)이 접속된다.

또한, 소스 배선(3)은 단자부 콘택트홀(12)의 외주로부터 상기 단자부 콘택트홀(12) 내부로 0.5 10㎛ 연장되어 있고, 상기 섬형 반도체층(11)은 상기 소스 배선(3)으로부터 단자부 콘택트홀(12) 내로 더욱 0.5 10㎛ 연장된 부분까지 배치되도록 형성하는 것이 바람직하다.

다음, 본 실시예에 따른 액정 표시 장치의 제조 방법에 관해서 도 2a 내지 도 2d에 따라 설명한다.

①우선, 세정한 절연성 기판(1)상에 Ti, A1, Cr 등의 도전체로 이루어지는 금속 박막(단층막 또는 다층막)을 스퍼터링법 등으로 성막하였다. 다음, 금속 박막상에 포토레지스트를 도포하고, 노광 및 현상에 의해 마스크를 제조하여 에칭하는 포토리소그라피 기술을 사용하여 게이트 전극(2b), 상기 게이트 전극(2b)에 접속된 게이트 배선(2), 상기 게이트 배선(2)에 접속된 게이트 신호 입력 단자(2a) 및 후 공정에서 소스 배선(3)과 접속되는 소스 신호 입력 단자(10)를 동시에 형성하였다.

여기서, 게이트 배선(2) 등을 형성하는 금속 박막 최상층에 예컨대, 후술하는 게이트 절연막(16)의 단자부 콘택트홀(12) 및 표시부 콘택트홀(15)의 형성에서 에칭 손실에 대한 표면 강도 면에서 예컨대, TiN, Ti, Cr 등의 CF_4/O_2 혼

합 가스에 대한 내에칭성이 뛰어난 금속을 사용하는 것이 바람직하다.

②P-CVD법으로 SiH_4/NH_3/N_2 혼합 가스를 사용하여 게이트 절연막(16)이 되는 SiN_x 를 성막하였다.

③게이트 절연막(16) 상에 P-CVD법으로 SiH_4/H_2 혼합 가스를 사용하여 a-Si막(반도체막)을 성막하였다. 또한, 동일하게 P-CVD법으로 예컨대, PH_3 가 0.5% 혼재하는 SiH_4/H_2 를 사용하여 오믹 콘택트막인 n^+ a-Si막을 성막하였다. 그 후, 포토리소그라피 기술을 사용하여 표시 영역 내에 소정의 형상(섬 형상 또는 라인 형상)으로 a-Si층(8) 및 n^+ a-Si층(9)을 패턴 형성하였다.

또한, ①공정에서 섬형으로 형성된 소스 신호 입력 단자(10)의 접속 단부(10a) 상부에 소스 배선(3)으로부터 단자부 콘택트홀(12) 내부로 0.5 1Oμm 연장하도록 상기 a-Si 막 및 n^+ a-Si막을 패턴하여 섬형 반도체층(11)을 형성하였다. 이 단계에서 게이트 절연막(16)은 전면에 형성된 채로 소스 신호 입력 단자(10)상 에도 잔존하였다(도 2a 참조).

④또한, Ti, A1, Cr 등의 도전체로 이루어지는 금속 박막(단층막 또는 다층막)을 스퍼터링법 등으로 성막하고, 이 금속 박막을 포토리소그라피-법등으로 패턴형성하는 것에 의해 소스 전극(3b), 드레인 전극(4) 및 소스 배선(3)을 형성하였다.

⑤다음, P-CVD법으로 SiH_4/NH_3/N_2 혼합 가스를 사용하여 보호막(l4)이 되는 SiN_x 를 성막하였다(도 2b 참조).

⑥보호막(14) 상에 포토리소그라피-법 등의 방법으로 제 2 보호막으로 작용하는 수지층(17)을 패턴형성하고, 가열처리 등을 실시하여 수지를 경화시켰다. 이 단계에서, 수지층(17)에 단자부 콘택트홀(12) 및 표시부 콘택트홀(15)을 형성하였다(도 2c 참조).

⑦다음, 예컨대 RIE 모드의 건식 에칭으로 CF_4/O_2 혼합 가스를 사용하고, 소스 배선(3) 및 수지층(17)을 마스크로 사용하여 게이트 절연막(16) 및 보호막(14)을 동시에 에칭제거 하였다. 이 때, 도 2d에 나타낸 바와 같이 ⑥공정에서 수지층(17)에 형성된 표시부 콘택트홀(15)에서 드레인 전극(4)이 에칭 스토퍼로 작용하기 때문에 하부의 게이트 절연막(16)이 잔존하였다. 한편, ⑥공정과 동일하게 수지층(17)에 형성된 단자부 콘택트홀(12)에서 상기 단자부 콘택트홀(12)로부터 내부로 0.5 10μm 더욱 연장된 소스 배선(3)(마스크로서 작용함)이 배치되지 않은 부분의 게이트 절연막(16)을 에칭 제거하였다.

⑧다음, ITO막을 스퍼터링법 등을 사용하여 성막하고, ITO막을 포토리소그라피-법으로 패턴 형성함으로써 화소 표시 전극(7) 및 접속 전극(13)을 형성하였다.

본 실시예에 따른 액정 표시 장치는 상기와 같이 소스 신호 입력 단자부(5)에서 게이트 절연막(16)상에 상기 게이트 절연막(16) 보다 에칭되기 어려운 (에칭 속도비가 게이트 절연막 16의 1/2 1/20) 섬형 반도체층(11)을 소스 배선(3) 단부로부터 단자부 콘택트홀(12) 내부로 0.5 10μm 더욱 연장되도록 제공함으로써 소스 배선(3) 하부의 게이트 절연막(16)을 순 테이퍼 형상으로 형성할 수 있다. 이것에 의해 접속 전극(13)이 단절되는 것을 방지하여 소스 배선(3)과 입력 단자(10)를 확실하게 접속할 수 있다.

여기서, 예컨대 접속 전극(13)을 ITO로 제조하는 경우, ITO는 저항이 크기 때문에 만약 섬형 반도체층(11)이 연장된 부분의 크기가 상기의 크기 보다 크면 소스 배선(3)과 소스 신호 입력 단자(10)가 접속 전극(13)에 의해 도전될 때, 여분의 저항이 부가된다. 요컨대, 입력된 신호는 소스 신호 입력 단자(10)로부터 접속 전극(13)을 통해 소스 배선(3)로 전해지지만 접속 전극(13)을 지나는 거리는 소스 배선(3) 단부로부터 연장된 부분의 섬형 반도체층(11)의 크기에 의해 나타나기 때문에 연장된 부분의 거리가 지나치게 길면 저항이 증가한다.

반면, 섬형 반도체층(11)의 연장된 부분의 크기가 상기의 크기 보다 작으면 섬형 반도체층(11)이 소스 배선(3)에 의해 마스크 되어 에칭 되지 않기 때문에 그 하부에 배치되어 있는 게이트 절연막(16)이 급속히 선택 에칭되어 역 테이퍼 형상이 된다. 따라서, 접속 전극(13)이 단절된 상태가 되어 전기적 단선이 된다.

상기와 같은 이유에서 섬형 반도체층(11)의 크기는 소스 배선(3) 단부로부터 단자부 콘택트홀(12) 내부로 0.5 10μm 더욱 연장되는 것이 바람직하다.

한편, 상기와 같은 이유에서 섬형 반도체층이 간단한 형상(도 1a에 나타낸 형상)인 경우에 관해서 설명한다. 그러나, 섬형 반도체층의 형상은 도 1a에 나타낸 것에 한정되지 않고, 도 3에 나타낸 것과 같이 단자부 콘택트홀(12) 외주 전체를 덮는(둘러 쌀 수 있음) 형상(도우넛형 형상)으로 하는 것이 보다 바람직하다. 이 경우, 도우넛형 섬형 반도체층(막, 반도체층)(21)상의 소스 배선(22)도 상기 도우넛형 섬형 반도체층(21)과 동일한 형상으로 형성된다.

*외부로부터 입력되는 신호는 소스 신호 입력 단자(10), 접속 전극(13), 소스 배선(22)로 구성된 경로를 통해 전해진다. 상기와 같은 도우넛형 섬형 반도체층(21)은 입력 신호가 접속 전극(13)에 전달되는 접속폭(도우넛형 섬형 반도체층 21의 내주 23의 길이에 상당함)이 넓기 때문에 접속 저항을 감소시킬 수 있다. 즉, 섬형 반도체층(21)을 도우넛 형상으로 하는 것에 의해 접속 저항을 낮게 하여 소스 배선(22)과 소스 신호 입력 단자(10) 사이에 양호한 도통을 실현할 수 있다. 한편, 섬형 반도체층(21)의 형상을 상기한 바와 같이 도우넛형으로 하는 경우도 도 1a에 나타낸 섬형 반도체층(11)의 형상의 경우와 동일하게 접속 전극(13)이 단절된 상태가 되는 것을 방지할 수 있다고 하는 효과가 있다. 또한, 섬형 반도체층(21)은 섬형 반도체층(11)의 형상만을 변화시킨 것이기 때문에 사용되는 재료 등은 섬형 반도체층(11)과 동일하다.

또한, 입력 신호가 접속 전극(13)을 통해 전달될 때 저항을 낮게 하기 위한 섬형 반도체층은 상기한 바와 같은 도우넛형인 것에 한하지 않고, 도 4에 나타낸 것과 같이 단자부 콘택트홀(12)의 외주에 배치된 U자형 섬형 반도체층(막, 반도체층)(24)이어도 좋다. 이러한 U자형 형상의 섬형 반도체층(24)의 경우도 도우넛형 형상의 경우와 같은 작용 효과를 실현할 수 있다. 한편, U자형의 경우도 소스 배선(25)은 섬형 반도체층(24)과 동일한 형상(이 경우 U자형 형상)이 되도록 형성된다. 또한, 이 밖에도 입력 신호가 접속 전극(13)에 전달되는 접속폭을 넓힌 사각형 형상의 섬형 반도체층을 사용해도 동일한 작용 효과를 얻을 수 있다.

섬형 반도체층(21)이 상기한 바와 같은 단자부 콘택트홀(12)의 외주전체에 배치되는 도우넛형 형상인 경우, 동일한 면적의 단자부 콘택트홀(12)을 상정하였을 때 섬형 반도체층(21)에서 단자부 콘택트홀(12) 내의 연장 부분이 지나치게 길면 섬형 반도체층(21)의 포토리소그래피 공정의 결함에 의해 단자부 콘택트홀(12)내부 중 대부분이 상기 섬형 반도체층(21)으로 덮힌다고 하는 문제가 생긴다.

더욱 상세히 설명하면, TFT 패널은 크기의 제한을 받는 것이 많이 있기 때문에 될 수 있는 한 작은 면적으로 패턴을 형성해야 하는 경우도 많다. 이 경우, 단자부 콘택트홀(12)을 큰 면적으로 할 수 없다. 동일한 면적의 단자부 콘택트홀(12)을 생각한 경우, 섬형 반도체층(21)의 연장 부분이 적당한 길이이면 도 5b에 나타낸 바와 같이 충분한 섬형 반도체층(21)의 개구부를 형성할 수 있지만, 섬형 반도체층(21)의 연장 부분이 지나치게 길면, 도 5a에 나타낸 바와 같이 충분한 섬형 반도체층(21)의 개구부를 확보할 수 없고, 포토패턴의 결함이 일어나기 쉽게 된다.

상기와 같은 이유로부터 섬형 반도체층(21)의 연장 부분이 길면, 단자부 콘택트홀(12) 형성할 때 에칭시 게이트 절연막(16)이 단자부 콘택트홀(12)의 내부에 잔존하기 때문에 소스 배선(22)과 소스 신호 입력 단자(10)의 도통을 제공할 수 없다.

또한, 섬형 반도체층(21)의 형상을 도우넛형으로 한 목적은 상술한 바와 같이 입력 신호가 접속 전극(13)에 전해질 때 접속폭을 넓히는 것이다. 따라서, 도우넛형 형상의 섬형 반도체층(21)의 내주(23)의 길이가 길수록 요컨대, 섬형 반도체층(21)에서의 단자부 콘택트홀(12) 내부로의 연장 부분이 짧을 수록 높은 효과가 얻어진다.

따라서, 섬형 반도체층(21)이 도우넛형 형상인 경우도 상기 섬형 반도체층(21)의 크기는 소스 배선(3) 단부로부터 단자부 콘택트홀(12) 내부로 0.5   10㎛ 더욱 연장하는 것이 바람직하다.

한편, 본 실시예에서 섬형 반도체층(11,21,24)으로서 TFT(6)의 반도체 동작층(a-Si층 8 및 n^+ a-Si층 9)과 동일한 공정에서 동시에 제조된 막을 사용했지만, 에칭 속도비가 게이트 절연막(16)의 1/2   1/20이면 다른 재료로 이루어지는 막으로 형성하는 것도 가능하다.

또한, 본 실시예에서 ⑦의 공정에서 게이트 절연막(16) 및 보호막(14)을 에칭 제거할때 수지층(17)을 마스크로 사용하고 있지만, 수지층(17)을 사용하지 않고 후 공정에서 박리 제거되는 포토레지스트 등을 사용하여도 같은 효과를 얻을 수 있 다.

또한, 본 실시예에서 소스 신호 입력 단자부(5)에 섬형 반도체층(11)을 도포하는 구성을 채용하였지만, 예컨대 보조 용량 배선의 입력 단자부에서도 동일한 구성을 채용함으로써 동일하게 접속 신뢰성이 향상한다고 하는 효과를 얻을 수 있다.

또한, 본 실시예에서 소스 배선(3,22,25)이나 소스 신호 입력 단자(10)에 대하여 에칭을 전혀 할 수 없는 재료를 사용하였지만, 에칭 속도가 게이트 절연막(16)이나 보호막(14)의 에칭 속도의 1/5보다 느린 재료이면 사용가능하다.

실시예 2

본 발명의 다른 구체예에 관해서 도 6a, 도 6b 내지 도 13a   도 13d에 따라 설명하면 하기와 같다. 여기서, 설명의 편의상 상술한 실시예 1의 도면에 나타낸 부재와 동일의 기능을 갖는 부재에 관해서는 동일한 부호를 붙이고, 그 설명을 생략한다.

본 실시예의 액정 표시 장치는 도 6a 및 도 6b에 나타낸 바와 같이 우선, 화소에 스위칭 동작을 제공하기 위해 소스 전극(3b) 및 드레인 전극(4)을 갖는 TFT(6)을 형성하고, 그 위에 보호막(보호막 층)(14) 및 수지층(수지 절연막)(17)을 적층한다. 수지층(17)에 콘택트홀(30)을 형성한 후, 콘택트홀(30) 하부의 보호막(14)을 에칭 제거하고, 콘택트홀(30)의 영역에 배치된 액정에 전압을 인가하기 위한 화소 표시 전극(7)을 상기 드레인 전극(4)에 접촉시켜 형성한다.

특히, 본 실시예의 액정 표시 장치는 화소 표시 전극(7)의 제조시 발생하는 단선을 방지하기 위해서 도 7a 및 도 7b에 나타낸 바와 같이 상기 콘택트홀(30)의 영역에서 드레인 전극(4)에 하층에 도달하도록 절단부(31)를 형성하는 한편, 상기 TFT(6)를 형성하는 TFT부 섬형 반도체층(32)을 형성할 때 콘택트홀(30)의 영역에서도 더미로서 홀부 섬형 반도체층(33)을 형성한다.

상술한 액정 표시 장치의 제조 방법에 관해서 설명한다.

우선, 도 8a 도 8d에 나타낸 바와 같이 우선, 세정한 유리 등의 절연성 기판(1)상에 Ti, A1, Cr 등의 금속 박막을 스퍼터링법 등으로 성막하였다. 다음, 이것을 예컨대 포토리소그라피 공정에서 레지스트 도포 공정, 노광 공정 및 현상 공정을 거쳐 레지스트 패턴을 제조한 후, 건식 또는 습식 에칭함으로써 패턴형성 하였다.

이어, 게이트 전극(2b), 이 게이트 전극(2b)에 접속된 게이트선으로서의 게이트 배선(2)(도 6a 참조), 이 게이트 배선(2)에 접속된 게이트 신호 입력 단자(2a), 보조 용량 전극(34b), 이 보조 용량 전극(34b)에 접속된 보조 용량선으로서의 보조 용량 배선(34)(도 6a 참조) 및 이 보조 용량 배선(34)에 접속된 보조 용량 입력 단자로서의 보조 용량 신호 입력 단자(34a) (도 6a 참조)를 형성하였다.

다음, 도 9a 도 9d에 나타낸 바와 같이 P-CVD법으로 SiH_4, NH_3, N_2 혼합 가스를 사용하여 SiN_x 로 이루어지는 게이트 절연막(16)을 절연성 기판(1)상의 전면에 형성하였다.

도 9a, 도 9b, 도 6a 및 도 6b에 나타낸 바와 같이, 게이트 절연막(16)의 단자부 영역은 게이트 절연막 단자부(16b)를 형성한다. 이 때문에, 게이트 절연막(16)은 구동 회로 입력 단자부 영역인 게이트 신호 입력 단자(2a), 상기 보조 용량 신호 입력 단자(34a) 및 소스 신호 입력 단자(3c) 상에도 게이트 절연막 단자부(16b)로서 잔존한다.

도 9c에 나타낸 바와 같이, 고유 비정질 실리콘으로 구성된 a-Si층으로서의 a-Si막(32a) 및 오믹 콘택트층을 형성하는 인(P)을 도핑한 n^+ a-Si층으로서의 n^+ a-Si막(32b)을 동일하게 P-CVD법으로 그 위에 성막하였다.

이 때, 원료 가스로서 a-Si막(32a)은 SiH_4 또는 H_2 를 사용하는 한편, n^+ a-Si막(32b)은 PH_3 가스가 0.5% 혼재하는 SiH_4 또는 H_2 가스를 사용하였다.

상기한 바와 같이 성막한 a-Si막(32a) 및 n^+ a-Si막(32b)을 포토리소그라피법 등의 방법으로 게이트 전극(2b)과 겹치도록 a-Si막(32a) 및 n^+ a-Si막(32b)으로 구성된 제 1 섬형 반도체층(제 1 반도체층)으로 작용하는 TFT부 섬형 반도체층(32)으로 패턴형성 하는 것과 동시에, 도 9d에 나타낸 바와 같이 보조 용량 전극(34b) 상에 게이트 절연막(16)을 통해 그 일부가 중첩하도록 무정형 실리콘으로 구성된 제 2 섬형 반도체층(제 2 반도체층)으로 작용하는 홀부 섬형 반도체층(33)을 형성하였다.

다음, 도 1Oa 도 1Od에 나타낸 바와 같이, 스퍼터링법 등에 의해 Ti, A1, Cr 등의 금속 박막을 기판 전면에 형성하고, 포토리소그라피법을 이용하여 상기 TFT부 섬형 반도체층(32)에 일단이 중첩하는 드레인 전극(4), 소스 전극(3b), 소스 전극(3b)에 접속되는 소스 배선(3), 또한 소스 배선(3)에 접속되는 소스 신호 입력 단자(3c)를 형성하였다. 소스 배선(3), 소스 배선(3)과 일체인 소스 전극(3b)과 소스 신호 입력 단자(3c) 및 드레인 전극(4)에 의해 TFT(6)을 형성하였다.

이 때, 도 7a 및 도 7b에 나타낸 바와 같이 드레인 전극(4)은 다른 단부가 상기 보조 용량 전극(34b) 상의 홀부 섬형 반도체층(33)과 겹치고, 또한 드레인 전극(4)은 홀부 섬형 반도체층(33)과 겹치는 부분에 절단부(31)가 제공되며, 드레인 전극(4)은 홀부 섬형 반도체층(33)과 일부 겹쳐진 상태로 절단부(31) 형상을 갖는 것에 의해 홀부 섬형 반도체층(33)의 일부가 노출되는 형상으로 패터닝된다. 여기서, 본 실시예에서는 드레인 전극(4)에 절단부(31)가 형성되어 있지만, 반드시 이것에 한정되는 것은 아니고, 예컨대 하층과 통하는 스루홀로 형성할 수도 있다.

다음, 도 10a 도 10d에 나타낸 바와 같이 보조 용량 전극(34b) 상의 절단부(31) 또는 스루홀 형태의 패턴을 갖는 드레인 전극(4)으로부터 노출된 홀부 섬형 반도체층(33)의 n^+ a-Si막(32b) 부분을 에칭 제거하였다. 이와 동시에, 도 l0d에 나타낸 바와 같이 보조 용량 전극(34b)의 상부 홀부 섬형 반도체층(33)과 그 일단이 겹치도록 형성된 드레인 전극(4)을 마스크로서 사용하여 홀부 섬형 반도체층(33)의 n^+ a-Si막(32b)을 에칭처리하여 분리하였다.

계속해서, 도 11a 도 11d에 나타낸 바와 같이 P-CVD법으로 SiH_4, NH_3, N_2 혼합 가스를 사용하여 SiN_x 로

이루어지는 제 1 보호막인 보호막(14)을 도 10a 도 10d 에 나타낸 상태의 기판상의 전면에 형성하였다.

상기 보호막(14) 상에는 절연성이 있는 감광성 아크릴계 수지로 이루어지는 수지층(17)이 스핀 코팅법 등에 의해 전면에 도포된 후, 노광 장치를 사용하여 마스크의 소정의 패턴에 대응하는 영역을 감광시키고, 현상 공정에 의해 상기 감광 영역의 수지층(17)을 제거하였다.

이러한 공정 후, 수지층(17)에는 게이트 신호 입력 단자(2a), 보조 용량 신호 입력 단자(34a), 소스 신호 입력 단자(3c) 및 드레인 전극(4)의 상부만이 제거된 패턴인 콘택트홀(30)이 형성되고, 이어서 도 11d에 나타낸 바와 같이 가열처리 등의 처리를 하여 수지층(17)을 경화시켰다.

여기서, 도 7a에 나타낸 바와 같이 드레인 전극(4)에는 상술한 대로 절단부(31)가 제공되고, 드레인 전극(4)은 콘택트홀(30)을 가로지르는 위치관계로 배치된다.

또한, 콘택트홀(30)의 측면과 드레인 전극(4)의 절단부(31)의 에지에 의해 둘러싸인 영역은 홀부 섬형 반도체층(33)이 노출한 구조이다.

또한, 노출된 홀부 섬형 반도체층(33)의 면적은 콘택트홀(30)의 1/3 2/3 정도가 바람직하고, 너무 크면 드레인 전극(4)은 보조 용량 커패시터로도 작용하기 때문에 홀부 섬형 반도체층(33)이 에칭된 후 박리막 두께의 격차에 의해 완성한 액정 표시 장치의 표시 품위를 손상시킨다.

또한, 너무 작으면 원래의 효과를 얻을 수 없게 되어 후술하는 화소 표시 전극(7)에 도통할 때 도 15b에 나타낸 바와 같이 콘택트홀(215)의 역 테이퍼 형상(217)을 야기하여 도통 불량의 문제를 일으킨다.

이상과 같은 구성에서, 예컨대 RIE 모드의 건식 에칭을 통해 F_4, O_2 혼합 가스를 사용하여 도 12a 도 12d에 나타낸 바와 같이 소스 배선(3)의 소스 신호 입력 단자(3c) 영역에서 보호막(14)과 게이트 절연막 단자부(16b)를 연속적으로 에칭하였다. 이와 동시에, 상기 콘택트홀(30) 내부도 건식 에칭하였다.

상기 콘택트홀(30)은 보조 용량 전극(34b)의 윗쪽에 게이트 절연막(16) 및 홀부 섬형 반도체층(33)을 통해 형성된 드레인 전극(4)상에 제공된다. 또한, 드레인 전극(4)은 절단부(31)를 갖고, 콘택트홀(30) 내의 기저부의 드레인 전극(4)의 절단부(31)에 일부가 노출된 홀부 섬형 반도체층(33)이 에칭 스토퍼로 작용하여 하부의 게이트 절연막(16)은 잔존하지만, 외부 입력 단자인 소스 신호 입력 단자(3c) 상의 보호막(14)은 에칭제거 된다.

또한, 도 12a에 나타낸 바와 같이 상기 게이트 신호 입력 단자(2a) 상의 게이트 절연막 단자부(16b)와 보호막(14)도 동시에 에칭제거 된다.

이상과 같이, 본 실시예에 사용된 TFT 어레이 기판은 도 12a, 도 12b 및 도 12d에 나타낸 바와 같이 수지층(17)과 상기 소스 배선(3)에 접속되는 소스 신호 입력 단자(3c) 및 드레인 전극(4)이 보호막(14)과 상기 게이트 절연막 단자부(16b)를 에칭제거 하는 마스크로 작용하는 것이 큰 특징이다. 따라서, 마스크 매수를 감소시킬 수 있다.

즉, 수지층(17)을 마스크로 사용하여 보호막(14)과 게이트 절연막 단자부(16b)를 동시에, 요컨대 동일한 마스크 패턴을 사용하여 패터닝 함으로써 보호막(14)을 에칭하는 마스크 패턴과 게이트 절연막 단자부(16b)를 에칭하는 마스크 패턴이 불필요해진다. 요컨대, 종래에는 콘택트홀(30)의 화소 표시 전극(7)이 단절 하기 때문에 실용화 할 수 없었지만, 본 실시예에서는 수지층(17)을 마스크로 사용하여 보호막(14) 및 게이트 절연막 단자부(16b)의 연속 에칭이 가능해져 2개의 마스크를 삭감할 수 있다.

또한, 종래는 도 15a에 나타낸 바와 같이 콘택트홀(215)내에서 드레인 전극(210)을 형성하는 소스 배선(209)의 재료가 게이트 절연막(207)의 단부 영역을 에칭할 때 완전히 에칭되지 않기 때문에 그 위의 보호막층(212)이 급속히 측부 에칭되어 역 테이퍼 형상(217)이 된다.

그러나, 본 실시예와 같이 드레인 전극(4)에 제공된 절단부(31)로부터 홀부 섬형 반도체층(33)을 노출시키면, 각 입력단자부 상층의 게이트 절연막(16)을 에칭하는 동안 콘택트홀(30) 내에서 홀부 섬형 반도체층(33)이 에칭되기 때문에 도 12d에 나타낸 바와 같이 수지층(17)으로의 침입이 최소로 억제되기 때문에 보호막(14)이 수지층(17) 하부에서 순테이퍼 형상으로 에칭될 수 있다.

마지막으로, 도 13a 도 13d에 나타낸 바와 같이 화소 표시 전극(7)을 형성하는 예컨대 ITO(Indium Tin 0xide) 등으로 이루어지는 투명 도전막을 스퍼터링법 등의 방법으로 성막하고, 이것을 포토리소그라피법 등의 방법으로 패턴형성하여 드레인 전극(4)과 접속된 화소 표시 전극(7)을 형성하였다. 또, 화소 표시 전극(7)을 형성할 때 투명 도전막은 반드시 ITO에 한하지 않고, 예컨대 A1, Ag등의 비광 투과 성 도전성막을 사용하여 반사형 표시전극으로 해도 좋다.

또한, 도시하지는 않았지만 상기와 같이 형성된 액티브 매트릭스 기판상에 배향막을 성막하고, 대향 전극을 형성하며, 상기 액티브 매트릭스 기판과 상기 대향 전극상에 배향막이 형성된 칼라필터 기판 사이에 액정재를 삽입하였다.

이상의 제조 방법에 의해 도 6b에 나타낸 바와 같이 드레인 전극(4)과 화소 표시 전극(7)은 콘택트홀(30) 내의 접속 부분에서 역 테이퍼 형상이 생기지 않기 때문에 단절되지 않고 접속할 수 있다.

또한, 콘택트홀(30)을 가로지르는 형으로 절단부(31)를 제공하는 것에 의해 드레인 전극(4) 상의 콘택트홀(30)의 외주부에서 보호막(14)이 수지층(17)의 내부로 들어간다고 해도, 절단부(31)로부터 노출한 홀부 섬형 반도체층(33) 상의 콘택트홀(30)의 에지는 홀부 섬형 반도체층(33)이 게이트 절연막 단자부(16b) 보다 에칭 속도가 느린(1/3　1/5) 에칭 조건이면 순 테이퍼 형상이 되기 때문에 신뢰성이 늘어난다.

또한, 홀부 섬형 반도체층(33)이 게이트 절연막 단자부(16b) 보다 에칭 속도가 느린 에칭 조건이면 하부의 게이트 절연막(16)의 보호도 가능해진다.

이와 같이, 본 실시예의 액정 표시 장치의 제조 방법에서 우선, 화소에 스위칭 동작을 제공하기 위해 소스 전극(3b) 및 드레인 전극(4)을 갖는 TFT(6)를 형성하였다. 이어, 그 위에 보호막(14) 및 수지층(17)을 적층하고, 이 수지층(17)에 콘택트홀(30)을 형성하였다. 그 후, 콘택트홀(30)의 하부의 보호막(14)을 에칭 제거하고, 이 콘택트홀(30) 영역에 액정에 전압을 인가하기 위한 화소 표시 전극(7)을 드레인 전극(4)에 접촉시켜 형성하였다.

여기서, 종래는 콘택트홀(30) 하부의 보호막(14)을 에칭처리할 때 하부에 있는 드레인 전극(4)으로의 에칭의 진행이 그치고, 횡 방향으로 에칭 방향이 이동하는 것에 의해 보호막(14)이 콘택트홀(30)의 영역을 넘어서 에칭되었다.

그 결과, 이 콘택트홀(30)에 상부로부터 화소 표시 전극(7)을 적층시킨 경우, 콘택트홀(30)의 기저부에서 화소 표시 전극(7)을 형성하기 위한 적층 도전재가 보호막(14) 영역에서 단차를 견디지 못하기 때문에 화소 표시 전극(7)에 단절이 생기고, 화소 표시 전극(7)에 전기적 단선이 생긴다고 하는 문제점을 갖고 있었다.

그러나, 본 실시예에서 콘택트홀(30)의 영역에서 드레인 전극(4)에 형성된 하층과 통하는 절단부(31) 또는 스루홀을 형성하였다. 그 후, TFT(6)를 형성하기 위해 TFT부 섬형 반도체층(8)을 형성할 때, 콘택트홀(30) 영역에서 홀부 섬형 반도체층(33)을 형성하였다. 또, 이 홀부 섬형 반도체층(33) 더미로서 형성하였다.

즉, TFT(6)을 형성하기 위해 TFT부 섬형 반도체층(8)을 형성할 때 콘택트홀(30)의 영역도 홀부 섬형 반도체층(33)을 형성함으로써 보호막(14)을 에칭처리할 때 콘택트홀(30)의 기저부에 상부로부터 순차로 보호막(14), 절단부(31)가 형성된 드레인 전극(4) 및 홀부 섬형 반도체층(33)이 적층된다.

따라서, 보호막(14)을 에칭 처리하면 우선, 보호막(14)이 에칭되고, 이어, 에칭의 방향이 에칭 되기 쉬운 홀부 섬형 반도체층(33)으로 향하기 때문에 보호막(14)의 횡방향으로의 에칭이 방지되어 순 테이퍼 형상이 된다.

따라서, 에칭 처리한 후 화소 표시 전극(7)의 도전재를 적층시켰을 때 도전 재가 단절되지 않는다.

그 결과, 화소 표시 전극(7)에 단절이 생겨 화소 표시 전극(7)이 단선 되는 것을 방지할 수 있는 액정 표시 장치의 제조 방법을 제공할 수 있다.

또한, 본 실시예의 액정 표시 장치의 제조 방법에서 액정 표시 장치를 제조하는 공정은 게이트 배선(2), 게이트 배선(2)에 접속되는 게이트 전극(2b), 보조 용량 배선(34), 보조 용량 배선(34)에 접속되는 보조 용량 전극(34b)을 형성하는 공정; 상기 게이트 배선(2), 게이트 전극(2b), 보조 용량 배선(34) 및 보조 용량 전극(34b)의 각 위에 게이트 절연막(16)을 형성하는 공정; 상기 게이트 전극(2b)의 상부에 게이트 절연막(16)을 통해 a-Si막(32a)와 n^{+} a-Si막(32b)을 적층한 TFT부 섬형 반도체층(8)을 형성하는 것과 동시에, 보조 용량 전극(34b)의 상부에 게이트 절연막(16)을 통해 a-Si막(32a)과 n^{+} a-Si막(32b)을 적층한 홀부 섬형 반도체층(33)을 형성하는 공정; 상기 게이트 전극(2b)의 상부의 TFT부 섬형 반도체층(8)에 대하여 하나의 단부가 각각 적층되는 소스 전극(3b) 및 드레인 전극(4)과 소스 전극(3b)에 접속되는 소스선으로 작용하는 소스 배선(9)을 형성함과 동시에 드레인 전극(4)을 상기 보조 용량 전극(34b)의 상부의 홀부 섬형 반도체층(33)에 대하여 다른 단부가 적층되도록 형성하고, 또한 다른 단부에 절단부(31) 또는 스루홀을 형성하는 공정; 상기 절단부(31) 또는 스루홀을 갖는 드레인 전극(4)을 마스크로 사용하여 보조 용량 전극(34b)의 상부 홀부 섬형 반도체층(33)의 n^{+} a-Si막(32b)를 에칭 제거하는 공 정; 보조 용량 전극(34b)의 상부의 홀부 섬형 반도체층(33)에서의 n^{+} a-Si막(32b)의 에칭처리 하는 것과 동시에 게이트 전극(2b)의 상부 TFT부 섬형 반도체층(8) 위에 하나의 단면이 각각 적층된 소스 전극(3b) 및 드레인 전극(4)을 마스크로 사용하여 이 TFT부 섬형 반도체층(8)의 n^{+} a-Si막(32b)을 에칭처리 하여 분리하는 공정; 상기 기판상의 전면에 보호막(14)을 형성하는 공정; 상기 보호막(14) 위에 수지층(17)을 형성하는 공정; 상기 수지층(17)에 상기 보조 용량 전극(34b)의 상부에서 드레인 전극(4)의 절단부(31) 또는 스루홀의 패턴이 가로지르도록 콘택트홀(30)을 형성하고, 이와 동시에 소스 신호 입력 단자(9

c), 게이트 신호 입력 단자(2a) 및 보조 용량 신호 입력 단자(34a) 상의 수지층(17)을 제거하는 공정; 상기 패터닝된 수지층(17)과 콘택트홀(30) 내에서의 드레인 전극(4)의 절단부(31) 또는 스루홀의 패턴을 에칭 마스크로 사용하여 상기 소스 신호 입력 단자(9c), 게이트 신호 입력 단자(2a) 및 보조 용량 신호 입력 단자(34a) 상의 보호막(14)과 콘택트홀(30)의 기저부의 보호막(14)을 동시에 에칭제거 하는 공정; 상기 게이트 신호 입력 단자(2a) 및 보조 용량 신호 입력 단자(34a) 위의 게이트 절연막(16)을 에칭하여 상기 게이트 신호 입력 단자(2a) 위의 게이트 절연막(16)을 제거함과 동시에 상기 드레인 전극(4)의 절단부(31) 또는 스루홀과 콘택트홀(30)에 의해 둘러싸인 영역에 노출한 홀부 섬형 반도체층(33)의 a-Si막(32a)을 동시에 에칭하는 공정으로 이루어진다.

따라서, 수지층(17)의 콘택트홀(30)의 내부에 이 콘택트홀(30)을 가로지르도록 드레인 전극(4)에 절단부(31) 또는 스루홀을 형성하고, 드레인 전극(4)과 그 하 층의 게이트 절연막(16) 사이에 홀부 섬형 반도체층(33)을 형성함에 따라 홀부 섬형 반도체층(33)은 보호막(14)과 드레인 전극(4)의 에칭 선택성이 중간 성질을 갖기 때문에 에칭은 하부의 홀부 섬형 반도체층(33)으로 진행하고, 횡방향으로 진행하지 않는다.

따라서, 에칭처리에 의해 콘택트홀(30)의 기저부에는 순 테이퍼 형상이 얻어지기 때문에 화소 표시 전극(7)을 콘택트홀(30) 내부 및 수지층(17)의 표면에 걸쳐서 형성한 경우, 화소 표시 전극(7)이 콘택트홀(30) 내부에서 단절되는 것을 방지할 수 있다.

그 결과, 화소 표시 전극(7)에 단절이 생겨 화소 표시 전극(7)이 단선되는 것을 방지할 수 있는 액정 표시 장치의 제조 방법을 제공할 수 있다.

또한, 종래는 콘택트홀(30)의 화소 표시 전극(7)이 단절하기 때문에 실용화 할 수 없었지만, 본 실시예에서는 수지층(17)을 마스크로 사용하여 보호막(14) 및 게이트 절연막 단자부(16b)의 연속 에칭이 가능해져 2개의 마스크를 삭감할 수 있다.

또한, 본 실시예의 액정 표시 장치의 제조 방법은 콘택트홀(30) 내부의 드레인 전극(4)에 형성되는 절단부(31) 또는 스루홀이 적어도 일부가 콘택트홀(30)의 영역 보다 횡측으로 연장되어 형성된다.

따라서, 드레인 전극(4)과 홀부 섬형 반도체층(33) 사이에 역 테이퍼 형상이 발생하여도 수지층(17)과 홀부 섬형 반도체층(33) 사이에 수지층(17) 보다 홀부 섬형 반도체층(33)의 에칭 속도가 느린 관계가 성립하면 순 테이퍼 형상이 됨으로서 드레인 전극(4)과 화소 표시 전극(7) 사이의 전기적 접속이 확보되기 때문에 단절되는 것을 방지할 수 있다.

또한, 본 실시예의 액정 표시 장치의 제조 방법에서는 드레인 전극(4)의 절단부(31) 또는 스루홀 및 콘택트홀(30)의 에지에 의해 둘러싸인 영역에 노출한 홀부 섬형 반도체층(33)의 a-Si막(32a), 게이트 신호 입력 단자(2a) 및 소스 신호 입력 단자(9c)측 영역의 게이트 절연막(16)은 각 에칭 속도의 비와 각 막두께의 비가 대략 같다. 즉, 홀부 섬형 반도체층(33)의 a-Si막(32a)의 에칭 속도/게이트 절연막(16)의 에칭 속도)　(홀부 섬형 반도체층(33)의 a-Si막(32a)의 막두께/게이트 절연막(16)의 막두께)이다.

그 결과, 홀부 섬형 반도체층(33) 하부의 게이트 절연막(16)이 언더 에칭이 되기 때문에, 게이트 절연막(16)이 에칭되어 화소 표시 전극(7)과 보조 용량 전극(34b) 사이에서 리크에 의한 휘점의 발생을 방지할 수 있다.

발명의 효과

이상과 같이, 본 발명의 액정 표시 장치는 절연성 기판상에 금속막으로 이루어지는 단자부, 상기 단자부상에 배치되고 또한 콘택트홀이 제공된 절연층, 상기 절연층의 상부에 접속 단부가 배치된 금속막으로 이루어지는 배선을 갖고, 상기 단자부와 상기 배선의 접속 단부가 상기 콘택트홀을 통해 접속 도전막에 의해 접속되는 기판을 갖는 액정 표시 장치에 있어서, 상기 절연층과 상기 배선의 접속 단부 사이에 상기 절연층 보다 에칭 속도가 느린 재료로 이루어지고, 상기 배선의 접속 단부로부터 상기 콘택트홀 내부로 연장된 형상을 갖는 막이 제공되는 것을 포함한 다.

여기서, 절연층에 콘택트홀을 형성할 때, 예컨대 상기 배선을 마스크로 사용하고, 콘택트홀 형성 위치의 절연층을 에칭 제거하는 경우를 생각한다. 배선은 절연층의 에칭에 사용되는 가스 등에 의해 에칭되지 않는 재료로부터 형성되는 것이 일반적이다. 이 경우, 만일 상기 막이 제공되지 않으면 콘택트홀 형성시 에칭에 의해 배선의 하부에 위치하는 절연층이 급격히 선택 에칭된다. 이 때문에 절연층의 패턴 단부가 역 테이퍼 형상이 된다.

반면, 본 발명의 구성에 의하면 상기 절연층과 상기 배선의 접속단부 사이에 상기 절연층 보다 에칭 속도가 느린 재료로 이루어지는 막이 상기 배선의 접속 단부로부터 상기 콘택트홀 내부로 연장되어 제공된다. 따라서, 배선을 마스크로 사용하는 에칭 처리 공정에서 상기 절연층 만이 에칭되는 것은 아니고, 속도는 느리지만 상기 막도 에칭된다. 따라서 상기 절연층이 급격히 선택 에칭되지 않는다. 그러므로, 절연층의 패턴 단부를 순 테이퍼 형상으로 형성할 수 있다.

이것에 의해, 상기 단자부와 상기 배선의 접속단부를 상기 콘택트홀을 통해 접속 도전막으로 접속할 때, 상기 접속 도전막이 절연층의 패턴 단부에서 단절하지 않아 접속의 신뢰성이 향상한다.

또한, 상기 액정 표시 장치는 상기 막의 에칭 속도가 상기 절연층의 에칭속도의 1/20보다 빠르고 1/2보다 느린 재료로 이루어지는 것이 바람직하다.

상기의 구성에 의하면, 상기 절연층의 에칭 속도의 1/20보다 빠르고 1/2보다 느린 재료를 사용하여 막을 형성하는 것에 의해 더욱 확실히 절연층의 패턴 단부를 순 테이퍼 형상으로 형성할 수 있다.

이것에 의해 상기 단자부와 상기 배선의 접속 단부를 상기 콘택트홀을 통해 접속 도전막으로 접속할 때, 상기 접속 도전막이 절연층의 패턴 단부에서 단절하는 것을 확실히 방지할 수 있어 접속의 신뢰성이 더욱 향상한다.

또한, 상기 액정 표시 장치는 상기 배선의 접속 단부가 상기 콘택트홀 내부로 연장되는 것이 바람직하다.

상기 구성에 의해, 상기 단자부와 상기 배선의 접속 단부를 상기 콘택트홀을 통해 접속 도전막으로 접속할 때, 배선의 접속 단부가 상기 콘택트홀 내부로 연장되기 때문에 상기 배선의 접속 단부와 접속 도전막의 접속을 확실하게 할 수 있다.

따라서, 접속 도전막을 통해 상기 단자부와 상기 배선의 접속 단부의 양호한 도통을 확실히 얻을 수 있다.

또한, 상기 액정 표시 장치는 상기 절연층의 콘택트홀이 상기 배선 형성 후에 형성되는 것이 바람직하다.

상기 구성에 의하면, 절연층의 콘택트홀을 예컨대 에칭에 의해 패턴형성하는 경우에 배선을 마스크로 사용할 수 있기 때문에 포토레지스트를 형성하는 공정이나 포토레지스트를 박리 제거하는 공정을 별도로 제공할 필요가 없다.

이에 따라, 공정수를 삭감할 수 있다.

또한, 상기 액정 표시 장치에서 상기 단자부 및 배선은 그 에칭 속도가 상기 절연층의 에칭 속도의 1/5보다 느린 재료로 이루어지는 것이 바람직하다.

상기 구성에 의하면 상기 단자부 및 배선은 상기 절연층을 에칭 제거할 때 거의 에칭되지 않기 때문에 단자부 및 배선에 악영향을 미치지 않고 절연층에 콘택트홀을 형성할 수 있다.

따라서, 접속 도전막을 통해 단자부 및 배선을 확실히 접속시킬 수 있다.

또한, 상기 액정 표시 장치에서 상기 막은 상기 콘택트홀의 외주 부분을 덮고, 상기 콘택트홀의 외주 형상에 따른 형상이 되도록 제공되는 것이 바람직하다.

상기 구성에 의하면 막이 콘택트홀의 외주 형상에 따르고 또한, 외주 부분을 덮도록 형성된다. 예컨대 막이 콘택트홀의 외주 부분을 덮는 도우넛형 형상인 경우, 입력 신호가 상기 단자부에서 접속 도전막으로 전해질 때 접속폭은 결국 도우넛형 형상의 막의 내주의 길이가 된다. 따라서, 막을 이러한 형상으로 하는 것에 의해 입력 신호가 접속 도전막에 전해지는 접속폭을 넓히는 것이 가능지고, 접속 저항이 절감된다. 따라서, 단자부와 배선의 도통을 더욱 양호하게 할 수 있다.

한편, 콘택트홀의 외주 형상에 따르고 또한, 외주 부분을 덮는 막의 형상으로 상술한 도우넛형 형상 이외에, 예컨대 U자형 형상과 같은 것도 가능하다. 이 경우도 같은 작용 효과를 얻을 수 있다.

본 발명의 액정 표시 장치의 제조 방법은 절연성 기판상에 금속막으로 이루어지는 단자부 및 게이트 전극을 형성하는 제 1공정; 상기 단자부 및 게이트 전극을 피복하는 절연층을 형성하는 제 2공정; 상기 단자부의 접속 단부상 및 상기 게이트 전극상에 반도체막 및 오믹 콘택트막을 형성하여 상기 반도체막 및 오믹 콘택트막에 의해 상기 단자부상에 막을, 또한 상기 게이트 전극상에 박막 트랜지스터의 반도체 동작층을 패턴형성 하는 제 3공정; 배선을 상기 배선의 접속 단부가 상기 막상에 배치되도록 형성하는 제 4공정; 상기 배선을 마스크로 사용하여 상기 절연층을 에칭 제거하고, 콘택트홀을 형성하는 제 5공정; 상기 배선과 상기 단자부를 상기 콘택트홀을 통해 접속 도전막에 의해 접속하는 제 6공정을 포함한다.

상기의 방법에 의하면, 박막 트랜지스터의 반도체 동작층을 형성하는 공정에서, 단자부의 접속 단부상에 게이트 절연막을 통해 막을 형성할 수 있다. 즉, 막을 박막 트랜지스터의 반도체 동작층과 동일 공정에서 형성할 수 있기 때문에 막형성을 위한 공정수를 증가할 필요가 없다. 여기서, 수득한 막은 상술한 것과 동일한 작용 및 효과를 갖는다.

따라서, 공정수를 증가시키지 않고 용이하게 상기 단자부와 상기 배선의 접속 단부를 접속 도전막을 사용하여 확실히 접속시켜 접속의 신뢰성을 향상시킬 수 있다.

상기 액정 표시 장치의 제조 방법에서, 상기 제 4공정과 상기 제 5공정 사이에 상기 절연층 및 배선을 피복하는 보호막을 형성하는 공정을 제공하고, 또한 절연층에서 콘택트홀을 형성하는 것과 동시에 상기 보호막에서 콘택트홀을 형성하는 것이 바람직하다.

상기 방법에 의해, 배선상에 형성되는 보호막에 상기 배선과 상기 단자부를 접속하기 위한 콘택트홀을 형성하는 경우, 상기 절연층의 콘택트홀과 동시에 형성할 수 있다. 이것에 의해 공정수를 삭감할 수 있다.

발명의 상세한 설명에서, 구체적인 실시예는 본 발명의 기술 내용을 밝히는 것이며, 그러한 구체예에만 한정하여 협의로 해석되는 것은 아니고, 본 발명의 정 신과 하기에 첨부된 특허청구범위 내이면 다양하게 변형되어 실시될 수 있다.

(57) 청구의 범위

청구항 1.

화소로의 스위칭을 위해 소스 전극 및 드레인 전극을 갖는 박막 트랜지스터를 형성하고, 그 위에 보호막층 및 수지 절연막을 적층하고, 이 수지 절연막에 콘택트홀을 형성한 후, 이 콘택트홀 아래쪽의 상기 보호막층을 에칭처리하여 제거하고, 이 콘택트홀 영역에 액정에 전압을 인가하기 위한 화소 표시 전극을 상기 드레인 전극에 접촉시켜 형성하는 액정 표시 장치의 제조 방법에 있어서,

상기 박막트랜지스터를 형성하기 위해 제1 반도체층을 형성할 때 콘택트홀 영역에도 제2 반도체층을 형성하고,

상기 콘택트홀 영역의 드레인 전극에 있어서 상기 제2 반도체층과 겹치는 부분에 하층을 향하는 관통공 또는 절결부를 형성하는 것을 특징으로 하는 방법.

청구항 2.

절연성 기판상에 게이트선, 이 게이트선에 접속되는 게이트 전극, 보조 용량선, 이 보조 용량선에 접속되는 보조 용량 전극을 형성하는 공정,

상기 게이트선, 게이트 전극, 보조 용량선 및 보조 용량 전극 각각의 위에 게이트 절연막을 형성하는 공정,

상기 게이트 전극의 위쪽에 게이트 절연막을 매개로 ia-Si층과 n^+ a-Si층을 적층한 제 1 반도체층을 형성함과 동시에, 보조 용량 전극의 위쪽에 게이트 절연막을 매개로 ia-Si층과 n^+ a-Si층을 적층한 제 2 반도체층을 형성하는 공정,

상기 게이트 전극 위쪽의 제 1 반도체층에 대하여, 각 일단이 각각 적층되는 소스 전극 및 드레인 전극과 이 소스 전극에 접속되는 소스선을 형성함과 동시에, 이 드레인 전극을 상기 보조 용량 전극 위쪽의 제 2 반도체층에 대해서도 타단이 적층되도록 형성하며, 이때 상기 타단에는 관통공 또는 절결부를 형성하는 공정,

상기 관통공 또는 절결부를 갖는 드레인 전극을 마스크로 사용하여 상기 보조 용량 전극 위쪽의 제 2 반도체층의 n^+ a-Si층을 에칭처리하여 제거하는 공정,

상기 보조 용량 전극 위쪽의 제 2 반도체층에서 n^+ a-Si층의 에칭처리와 동시에, 상기 게이트 전극 위쪽의 제 1 반도체층 위에 각 일단이 각각 적층된 소스 전극 및 드레인 전극을 마스크로서 사용하여 제 1 반도체층의 n^+ a-Si층을 에칭처리하여 분리하는 공정,

상기 기판상의 전면에 보호막층을 형성하는 공정,

상기 보호막층상에 상기 제2 반도체층보다 에칭속도가 빠른 수지 절연막을 형성하는 공정,

상기 수지 절연막에 상기 보조 용량 전극 위쪽에서의 드레인 전극의 관통공 또는 절결부의 패턴이 가로지르도록 콘택트홀을 형성하고, 이와 동시에 소스 신호 입력 단자, 게이트 입력 신호 단자및 보조 용량 입력 단자상의 수지 절연막을 제거하는 공정,

상기 패터닝된 수지 절연막과 상기 콘택트홀 내에서의 드레인 전극의 관통공 또는 절결부 패턴을 에칭 마스크로 사용하여 상기 소스 신호 입력 단자, 게이트 입 력 신호 단자 및 보조 용량 입력 단자상의 보호막층, 콘택트홀 기저부의 보호막층을 동시에 에칭제거 하는 공정,

상기 게이트 신호 입력 단자 및 보조 용량 신호 입력 단자상의 게이트 절연막을 에칭하여 상기 게이트 신호 입력 단자상의 게이트 절연막을 제거함과 동시에, 상기 드레인 전극의 관통공 또는 절결부와 콘택트홀에 의하여 둘러싸인 영역에 노출한 상기 제 2 반도체층의 ia-Si층을 동시에 에칭하는 공정으로 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3.
제 2항에 있어서,

콘택트홀 내부의 드레인 전극에 형성되는 관통공 또는 절결부는 적어도 일부가 콘택트홀 영역으로부터 측 방향으로 연장되어 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4.
제 2항 또는 제 3항에 있어서,

드레인 전극의 관통공 또는 절결부의 에지와 콘택트홀의 에지에 의하여 둘러싸인 영역에 노출한 제 2 반도체층의 ia-Si층, 게이트 신호 입력 단자 및 소스 신호 입력 단자측 영역의 게이트 절연막은 각 에칭속도의 비와 각 막두께의 비가 대략 같은 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5.
제1항에 있어서,

상기 콘택트홀의 면적을 차지하는 노출된 상기 제2반도체층의 면적은 1/3 내지 2/3의 범위인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6.
제2항 내지 제4항중 어느 한 항에 있어서,

상기 ia-Si층과 상기 게이트 절연막은 각각의 층을 구성하는 물질의 에칭속도에 대응하여 그 층의 층두께와 상기 에칭속도와의 비가 각각의 층에서 동일해지도록 각각의 층의 층두께를 설정하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7.
절연성 기판상에 금속막으로 이루어진 단자부와, 이 단자부 상에 배치되며 콘택트홀이 제공된 절연층과, 이 절연층의 상부에 접속단부가 배치된 금속막으로 이루어진 배선을 가지며, 상기 단자부와 상기 배선의 접속단부는 상기 콘택트홀을 통해서 접속도전막에 의해 접속되는 기판을 구비하는 액정표시장치에 있어서,

상기 절연막과 상기 배선의 접속단부 사이에 상기 절연층보다 에칭속도가 늦은 재료로 이루어지며 상기 배선의 접속단부보다 상기 콘택트홀 안쪽으로 연장된 형상의 막이 제공되는 것을 특징으로 하는 액정표시장치.

청구항 8.
제7항에 있어서,

상기 콘택트홀과는 다른 콘택트홀이 제공되며,

상기 다른 콘택트홀에 제공되는 전극막과 접속되는, 상기 절연성 기판 상의 상기 절연층 상에 배치되는 전극층과,

상기 다른 콘택트홀이 제공되는 영역에서 상기 전극층과 상기 절연층 사이에 더미 반도체층을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9.
제8항에 있어서,

상기 반도체층과 상기 절연층은 각각의 층을 구성하는 물질의 에칭속도에 대응하여 그 층의 층두께와 상기 에칭속도

의 비가 각각의 층에서 동일해지도록 상기 층두께가 설정되는 것을 특징으로 하는 액정표시장치.

청구항 10.

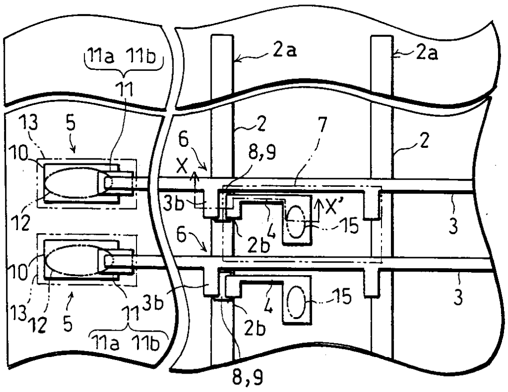
제8항에 있어서,

상기 콘택트홀의 면적을 차지하는 노출된 상기 반도체층의 면적은 1/3 내지 2/3의 범위인 것을 특징으로 하는 액정표시장치.

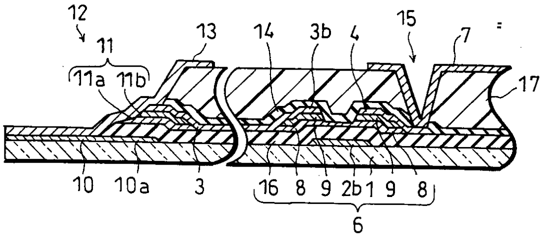
도면

도면1

도 1a

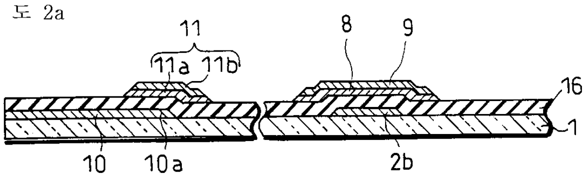


도 1b

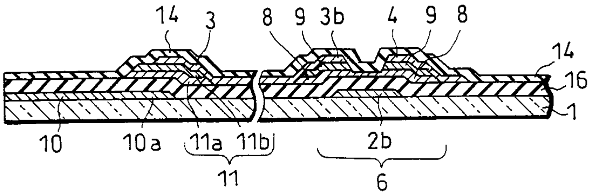


도면2

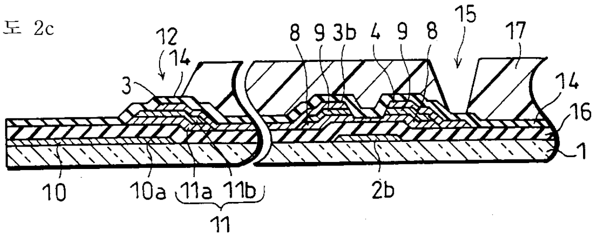
도 2a



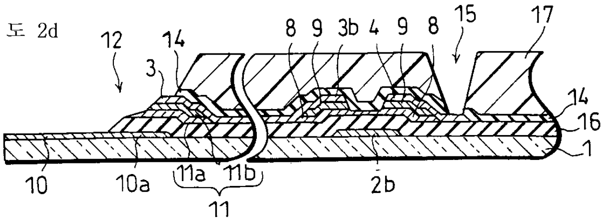
도 2b



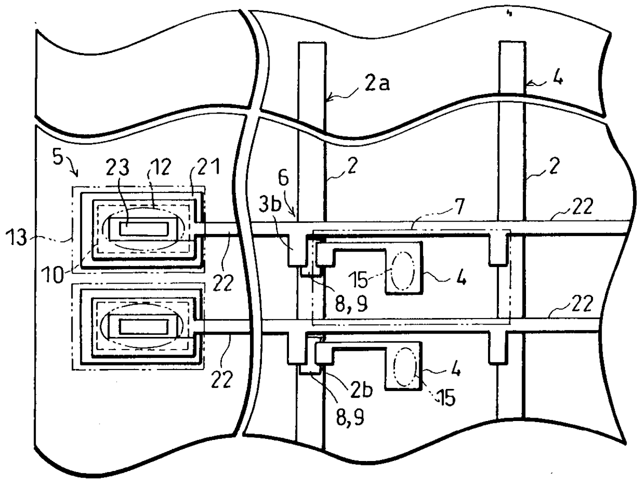
도 2c



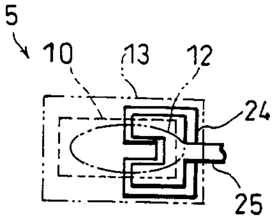
도 2d



도면3

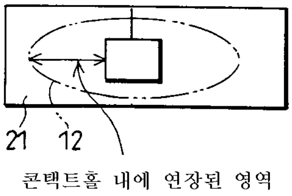


도면4

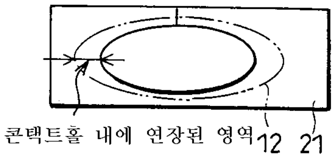


도면5

도 5a

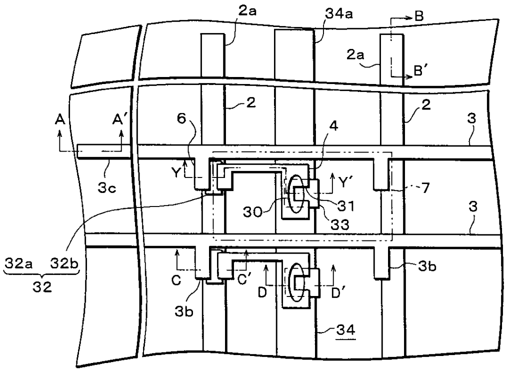


도 5b

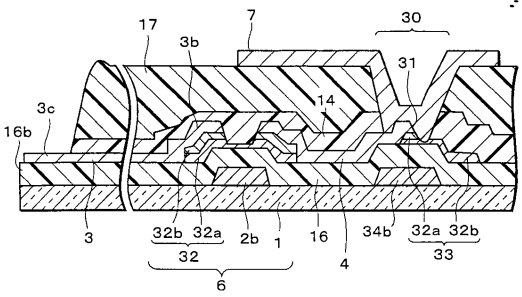


도면6

도 6a

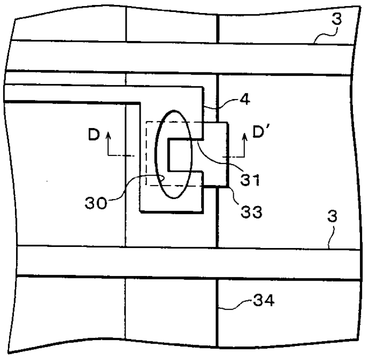


도 6b

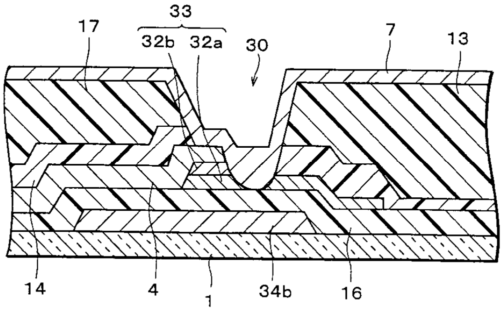


도면7

도 7a

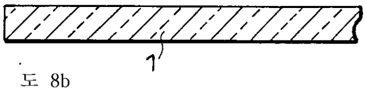


도 7b

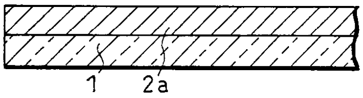


도면8

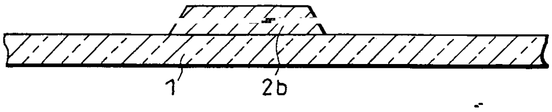
도 8a



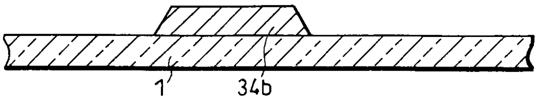
도 8b



도 8c

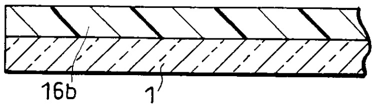


도 8d

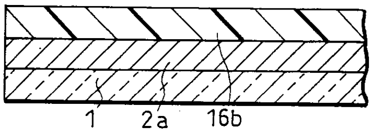


도면9

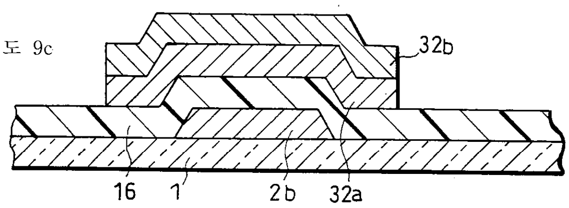
도 9a



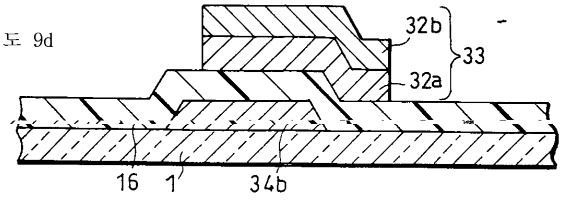
도 9b



도 9c

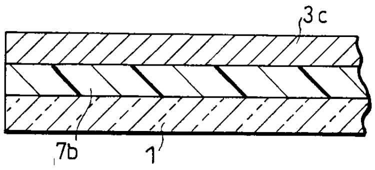


도 9d

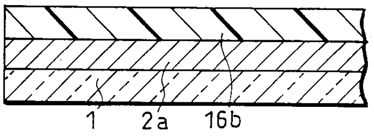


도면10

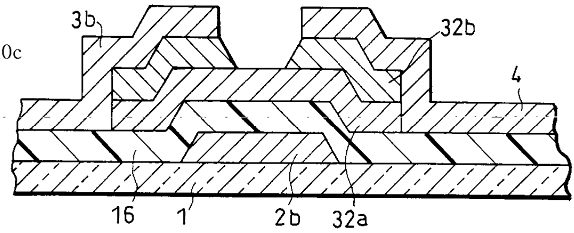
도 10a



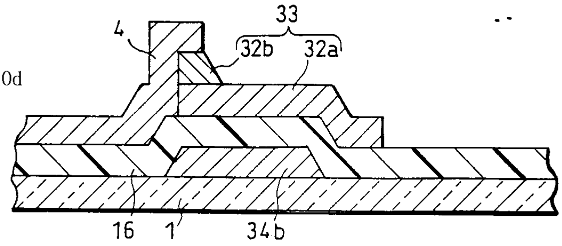
도 10b



도 10c

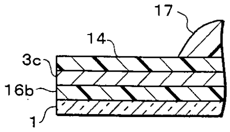


도 10d

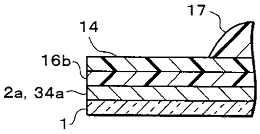


도면11

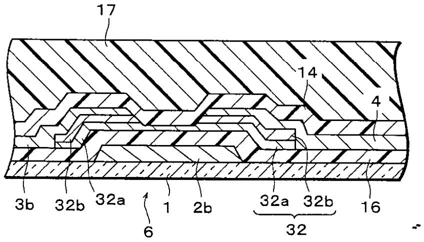
도 11a



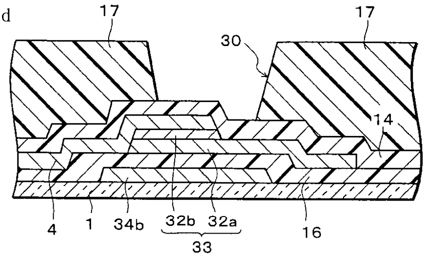
도 11b



도 11c

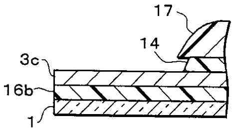


도 11d

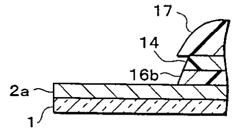


도면12

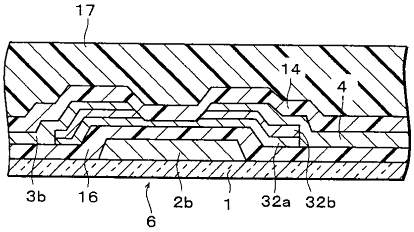
도 12a



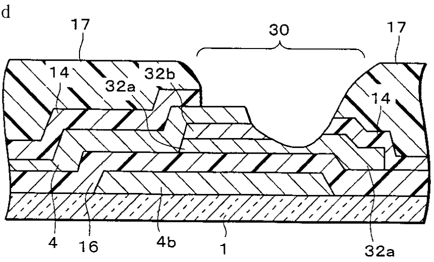
도 12b



도 12c

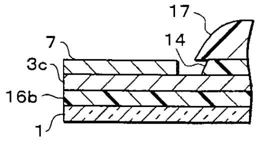


도 12d

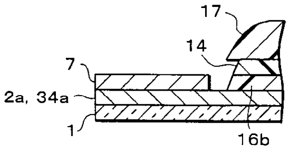


도면13

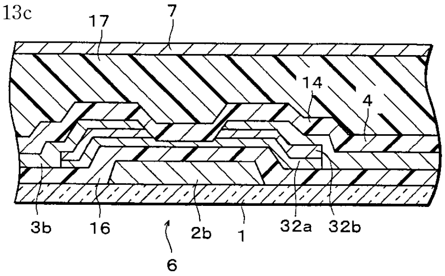
도 13a



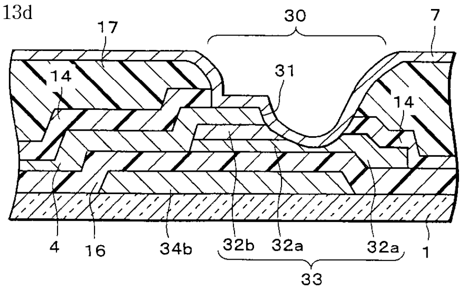
도 13b



도 13c

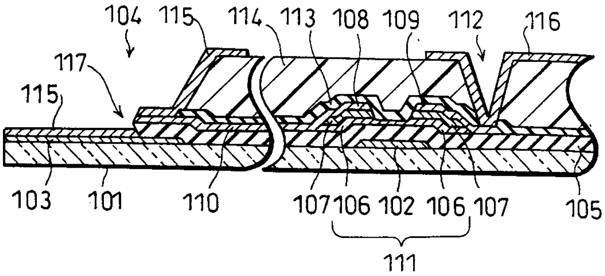


도 13d



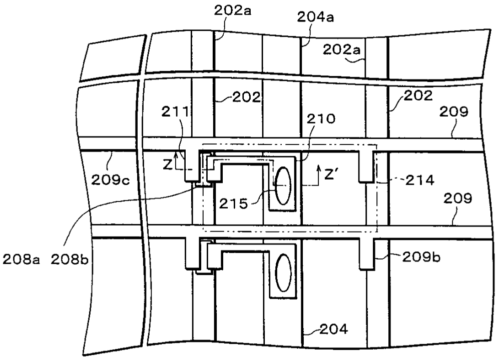
도면14

종래기술

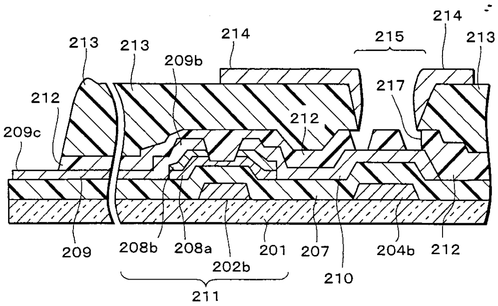


도면15

도 15a
종래기술



도 15b
종래기술



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020030062288A	公开(公告)日	2003-07-23
申请号	KR1020030044933	申请日	2003-07-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SUGIMOTO OSAMU 스기모토오사무 IMAI HAJIME 이마이하지메		
发明人	스기모토오사무 이마이하지메		
IPC分类号	G02F1/136 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/13458 G02F1/136227		
代理人(译)	이태희		
优先权	1999357982 1999-12-16 JP 2000087408 2000-03-27 JP		
其他公开文献	KR100417214B1		
外部链接	Espacenet		

摘要(译)

将保护膜和树脂层层压在其上形成有TFT的绝缘基板上，并在树脂层中形成接触孔之后，通过蚀刻去除接触孔下方的保护膜，并使像素显示电极与接触孔区域中的漏电极接触。 形成液晶显示装置。 与下层连通的切口部分形成在接触孔区域中的漏极上。 当形成TFT部分岛型半导体层以形成TFT时，在接触孔区域中也形成空穴部分岛型半导体层。 由此，可以提供一种能够防止像素显示电极脱落而使像素显示电极脱离的液晶显示装置的制造方法。 图1

도 1a