

(19)
(12)(KR)
(A)(51) 。 Int. Cl. ⁷
G02F 1/133(11)
(43)2003 - 0012668
2003 02 12(21) 10 - 2001 - 0047027
(22) 2001 08 03

(71) 3 416

(72) 4 5 201

(74)

:

(54)

가

FT , 1 1 TFT 1 1 2 TFT 1 , 2 TFT 2

가

3

, , , , ,

1 TFT - LCD 가 .

2 .

3 .

4 3 .

5 .

< >

100 : 200 :

Clcm : Cstm :

Clcs : Csts :

, 가 , 가 (LCD)

LCD

가 ,
LCD 가
(Thin Film Transisto

r; TFT) TFT - LCD가 .

1 TFT - LCD 가 .

1 , TFT - LCD
(Cover) (Clc), (Cst), 1 (Cgd), 2 (Cds) TFT

가 TFT 가 .
 TFT 가 .
 (Cst) 가 .
 (Clc) 가 .
 (LCD) , 가 ,
 2 , 2 (a) 가
 가 () .
 2 가 ((b)) ,
 가 ((c))
 가
 가 (; Under shoot) 가 , (; Under shoot) 가
 ,
 ,
 ,
 1 2 1
 1 1 ;
 ,
 1 1
 1 1 2 2 ;
 2 3 , 2 2
 .

, ,

1 1 2 2 ; 2 2 ; 2 2

, ,

, n (Vn) , $V_n = \frac{V_{(Dn)}V_m(C_{lcm}+C_{stm})+V_{(n-1)}(C_{lcs}+C_{sts})}{C_{lcm}+C_{stm}+C_{lcs}+C_{sts}}$ (, V_(Dn) n , V_m n-1 , V_(n-1) , Cstm , Csts , Cclm , Ccls

s)

, (ITO) ,

- , ,

, ,

, ,

, 가

3 ,

가 , 4 3

3 , (Dn, Dn+1, Dn+2, ...) (Gn, Gn+1, Gn+2, ...)

(100) (200)

(100) 1 (TFT1), (Clcm), (Cstm) (200) 2 (TFT2), (Clcs) (Csts)

, 1 (TFT1) 1 (Dn) , 1 (Gn) , (ITO) (Clcm), (Cstm) 2 (TFT2) , 가 (Clcm)

(Cstm) ITO 1 (Vcom)

(Clcm) (ITO 1 (TFT1) , ()

2 (TFT2) ITO (Cstm) (Clcs)

(Csts) (Gn+1) (Csts)

(Csts) 2 (TFT2)

(Clcs) 2 (TFT2)

(S/D)

ITO

1, 3

(Gn+1), n+1 (Gn), n 가, n+1

(TFT2)가 n

Cstm, Csts Vm, Vs, Cclm, Ccls,

(n n)

$Q_{fin} = Q_{main} + Q_{sub}$ (Q_{fin} , Q_{main} , Q_{sub}) $C_{tot} V$

$_{fin} = C_{main} V_m + C_{sub} V_s$ 1

1

$$V_{fin} = \frac{V_m(C_{lcm} + C_{stm}) + V_s(C_{lcs} + C_{sts})}{C_{lcm} + C_{stm} + C_{lcs} + C_{sts}}$$

n 가 1 , $n+1$ (Gn+1)가 n
 V_{fin} . $n+1$ (Gn+1)가
 V_m2 , n (Gn)가 n
 V_m2 가 .
 V_m2 $n+1$ (Gn+1)가 가 V_s , V_f
 in .
 1 .
 1 V_s , V_m
 1 2 .

2

$$V_n = \frac{V_{(Dn)}V_m(C_{lcm} + C_{stm}) + V_{(n-1)}(C_{lcs} + C_{sts})}{C_{lcm} + C_{stm} + C_{lcs} + C_{sts}}$$

V_n n , $V_{(Dn)}$ n
 $V_{(n-1)}$ $n-1$.
 2 , n (Vn) ,
 .
 , .
 , , 2
 .
 5 2 .
 5 , 가 (overshoot) (undershoot)
 가 .

(57)

1.

1 2 1 1 1 ;

2.

1 1 1 1 .

3.

1 1 1 2 2 ;

2 3 2 .

4.

1 1 1 2 2 ;

2 3 2 ;

2 2 .

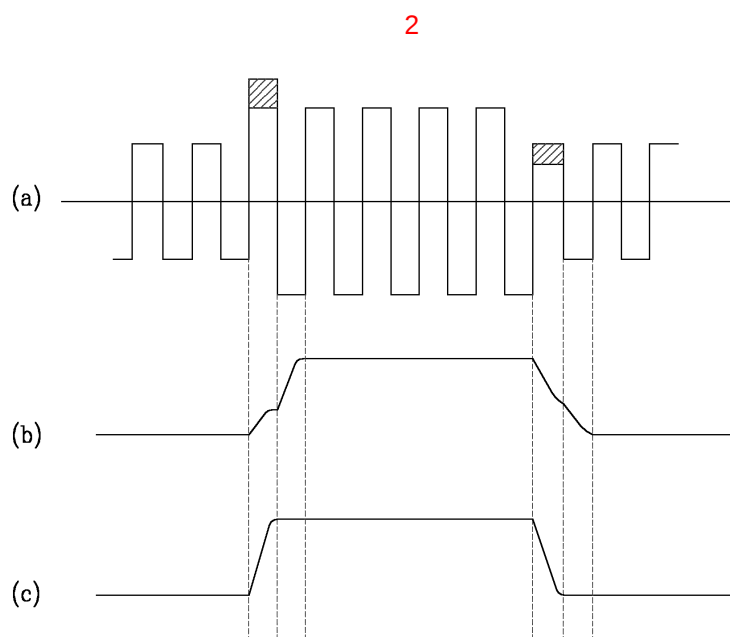
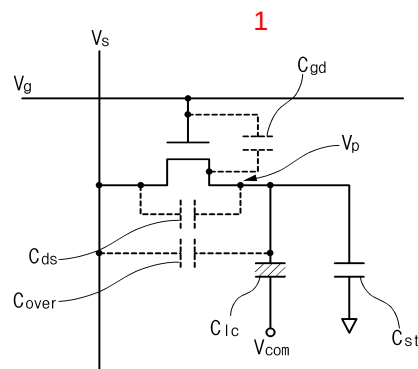
5.

1 ,

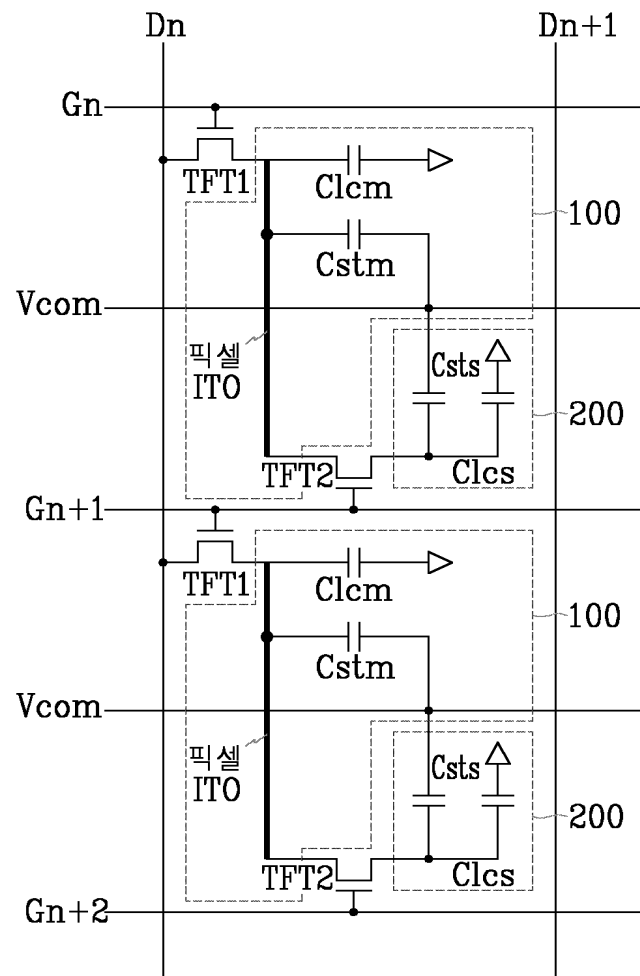
n (Vn) ,

$$V_n = \frac{V_{(Dn)} V_m (C_{lcm} + C_{stm}) + V_{(n-1)} (C_{lcs} + C_{sts})}{C_{lcm} + C_{stm} + C_{lcs} + C_{sts}}$$

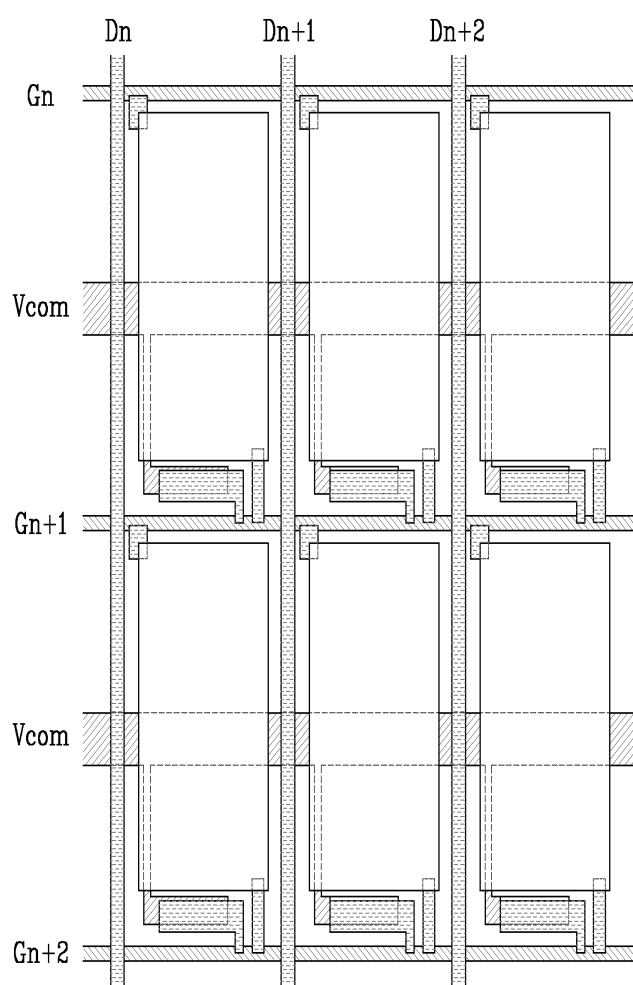
(, V_(Dn) n , V_m , Vs , C_{clm} , C_{cls} , V_(n-1) n - 1 , C_{stm} , C_{sts})



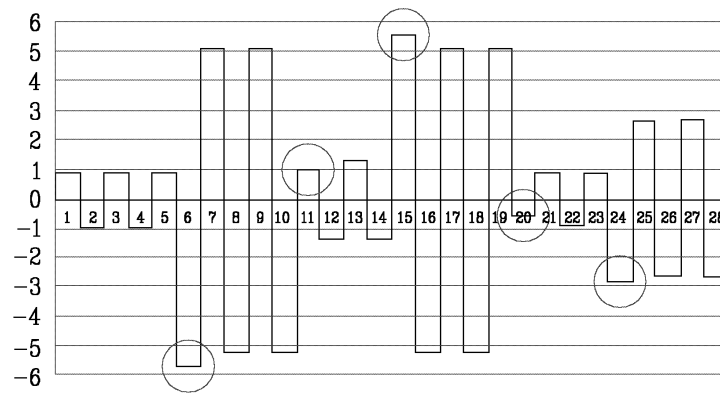
3



4



5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020030012668A	公开(公告)日	2003-02-12
申请号	KR1020010047027	申请日	2001-08-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SONG JANGKUN 송장근		
发明人	송장근		
IPC分类号	G02F1/133		
其他公开文献	KR100806894B1		
外部链接	Espacenet		

摘要(译)

能够应用于过冲或点反转的液晶显示器产生下冲，这比实施本发明所公开的价格便利。根据本发明，主像素区域和子像素区域形成在形成于液晶显示器的栅电极线和数据电极线上的恒定区域上。此时，形成其中主像素区域连接在数据电极线和前一栅电极线之间的第一薄膜晶体管。在具有并联连接的第一薄膜晶体管中决定第一液晶电容器和第一存储电容器。此外，子像素区域是第2个第三齿轮是第二液晶电容器，第二个存储电容器第2个第二个第二端连接到栅极电极线，第2个第一步骤连接在第一个液晶电容器中形成第一个存储电容器并联连接。因此，可以获得与利用主像素和子像素的电容的速率确定最终像素电压的过冲，前一帧的信息存储在子像素区域中。液晶，过冲，下冲，分度，响应速度，高速。

