(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/36

(11) 공개번호 특2002-0034836
(43) 공개일자 2002년05월09일

(21) 출원번호 10-2001-0019825
(22) 출원일자 2001년04월13일

(30) 우선권주장 2000-333517 2000년10월31일 일본(JP)

(71) 출원인 후지쯔 가부시끼가이샤
아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 우도신야
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이
고쿠분마사토시
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이

(74) 대리인 김성택

심사청구 : 없음

(54) 액정 표시 장치용 데이터 드라이버

요약

본 발명은 회로 면적의 증대를 억제하는 것을 목적으로 한다.

도트 반전 구동 방식의 데이터 드라이버(10A)에 있어서, 전압 완충 증폭기(B1 B12)의 출력단이 각각 액정 표시 패널의 데이터 버스 라인(D1 D12)에 접속되고, 동일 표시색에 관한 인접하는 데이터 버스 라인간에 단락 스위치 소자(S1, S3, S5, S7, S9 및 S11)가 하나 걸러 하나에 접속되고, 그 제1행의 배선과 제2행의 배선이 교대로 배치되어 있다. 이들 단락 스위치 소자는 하나 걸러 하나의 데이터 라인의 일측에 형성되어 있다. 전압 완충 증폭기의 출력이 하이 임피던스 상태일 때에 그 단락 스위치 소자가 제어 회로(13)에 의해 온으로 된다.

대표도
도 4

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예의 액정 표시 장치에 대한 개략적인 구성을 도시한 회로도.

도 2의 (a) 및 도 2의 (b)는 각각 홀수 프레임 및 짝수 프레임에 대한 화소 전압 극성 분포를 도시한 도면.

도 3은 도 1에 도시된 데이터 드라이버의 출력단을 도시한 회로도.

도 4는 본 발명의 제2 실시예의 데이터 드라이버에 대한 출력단을 도시한 회로도.

도 5는 본 발명의 제3 실시예의 데이터 드라이버에 대한 일부를 도시한 회로도.

도 6은 도 5에 도시된 점선보다 하측의 회로에 대한 레이아웃도.

도 7은 도 5에 도시된 출력단에 대한 동작을 도시한 파형도.

도 8은 액정 표시 패널의 데이터 버스 라인에 접속되는 종래의 데이터 드라이버의 출력단을 도시한 회로도.

도 9는 종래의 다른 데이터 드라이버의 출력단을 도시한 회로도.

도 10은 어느 수평 기간에 있어서의 도 9에 도시된 데이터 버스 라인(D1 D6)의 전위를 설명하기 위한 도면.

도 11은 도 10에 도시된 상태로부터 데이터 버스 라인간 단락 스위치 소자가 온이 된 후의 데이터 버스 라인(D1 D6)에 대한 전위를 설명하기 위한 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

10, 10A, 10B, 10X, 10Y : 데이터 드라이버

11 : 액정 표시 패널

12 : 주사 드라이버

13 : 제어 회로

20 : 회로

21 : PMOS 트랜지스터 영역

22 : NMOS 트랜지스터 영역

T11 : 박막 트랜지스터

C11 : 액정 화소

D1 D6 : 데이터 버스 라인

G1 G4 : 주사 버스 라인

VCOM : 공통 전위

B1 B9, B10 B12 : 전압 완충 증폭기

S1 S9, S10 S12 : 단락 스위치 소자

R1 R6 : 레지스터

PS1 PS3 : 정극성 전압 셀렉터

NS1 NS3 : 부극성 전압 셀렉터

PB1 PB3 : 정극성 전압 완충 증폭기

NB1 NB3 : 부극성 전압 완충 증폭기

P1 P6, N1 N6 : 전송 게이트

T1 T6 : 출력 단자

LT : 래치 신호

VP31, VN31 : 계조 전압

A F, I T, U W : 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 아날로그 계조 전압을 출력하는 전압 완충 증폭 회로를 구비하고, 동일 표시색에 관한 인접하는 데이터 버스 라인간의 극성이 반대가 되도록 상기 아날로그 계조 전압을 상기 데이터 버스 라인에 인가하는 액정 표시 장치용 데이터 드라이버에 관한 것으로, 특히 도트 반전 구동 방식의 액정 표시 장치에 이용되는 데이터 드라이버에 관한 것이다.

도 8은 액정 표시 패널의 데이터 버스 라인에 접속되는 종래의 데이터 드라이버(10X)의 출력단을 도시한다.

데이터 드라이버(10X)의 전압 완충 증폭기(B1 B12)는 전압 폴로어(follower)이고, 이들의 출력단은 각각 액정 표시 패널의 데이터 버스 라인(D1 D12)에 접속되어 있다. 데이터 드라이버(10X)는 도트 반전 구동 방식이다. 즉, 인접하는 데이터 버스 라인간의 극성이 반대가 되고, 또한 각 데이터 버스 라인에 대해서 1 수평 기간마다 극성이 반대가 되도록 표시 데이터에 따른 아날로그 계조 전압이 전압 완충 증폭기(B1 B12)로부터 출력된다. 도트 반전 구동 방식에 따르면, 데이터 버스 라인과 주사 버스 라인의 크로스 용량에 기인하는 화소 전극의 전위 변동이 상쇄되고, 또한 대향 전극의 공통 전위가 안정되기 때문에 플리커(flicker)가 경감된다.

그러나, 전압 완충 증폭기(B1 B12)의 충방전 전류가 크기 때문에 소비 전력이 증대된다.

그래서, 데이터 버스 라인에 축적된 전하를 효율적으로 이용하여 소비 전력을 저감하기 위해서, 데이터 버스 라인(D1 D12)과 공통 라인(CL) 사이에 각각 단락 스위치 소자(S1 S12)가 접속되어 있다. 수평 귀선(blanking) 기간에 있어

서 전압 완충 증폭기(B1 B12)의 출력이 하이 임피던스 상태가 되고, 이 때 단락 스위치 소자(S1 S12)가 동시에 온이 된다. 이에 따라, 데이터 버스 라인(D1 D12)의 전위가 액정 표시 패널의 대향면 전극의 공통 전위와 거의 동등해지기 때문에 전압 완충 증폭기(B1 B12)의 소비 전류를 반감할 수 있다.

그러나, 전압 완충 증폭기 각각에 단락 스위치 소자를 구비할 필요가 있기 때문에, 데이터 드라이버(10X)의 면적이 증대되어 데이터 버스 라인의 고 밀도화가 방해된다.

도 9는 일본 특허 공개 평성 번호 제10-282940호에 개시된 도트 반전 구동 방식의 데이터 드라이버(10Y)를 도시한다.

이 회로에서는 인접하는 버스 라인간에 단락 스위치 소자(S1 S9)가 하나 걸러 하나에 접속되어 있다. 이 회로에 따르면, 단락 스위치 소자의 수가 도 8의 절반이 되기 때문에 상기 문제가 해결된다.

그러나, 인접하는 버스 라인에는 다른 색신호가 공급되기 때문에 상관이 없고, 데이터 버스 라인에 축적된 전하의 이용 효율이 좋지 않다. 예컨대, 임의의 수평 기간에 있어서 데이터 버스 라인(D1 D6)의 전위가 도 10에 도시된 바와 같이 되고, 다음의 수평 귀선 기간에서 단락 스위치 소자(S1, S3, S5)가 온이 되면, 이들의 전위는 도 11에 도시된 바와 같이되며, 대향 전극의 공통 전위(VCOM)와의 사이에 차가 생겨, 도 8의 경우보다도 데이터 드라이버(10Y)의 소비 전력이 증대된다. 또한, 공통 전위(VCOM)가 변동하여 플리커가 발생하는 원인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기 문제점을 감안하여 이루어진 것으로 회로 면적의 증대를 억제할 수 있는 동시에 소비 전력을 저감하면서 플리커를 경감시킬 수 있는 액정 표시 장치용 데이터 드라이버를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 액정 표시 장치용 데이터 드라이버의 제1 형태에서는, 동일 표시색에 관한 인접하는 데이터 버스 라인간에 간헐적으로 단락 스위치 소자가 접속되고, 전압 완충 증폭 회로의 출력 또는 상기 전압 완충 증폭 회로와 상기 데이터 버스 라인 사이가 하이 임피던스 상태일 때에 상기 단락 스위치 소자가 온이 된다.

인접하는 동일 색의 화소 데이터 신호는 역 극성이며, 절대치가 거의 동일할 확률이 높다. 특히, 배경 화상의 영역에서 이 확률이 높다. 따라서, 이 액정 표시 장치용 데이터 드라이버에 따르면, 단락 스위치 소자의 온에 의해 데이터 버스 라인의 전위가 액정 표시 패널의 대향 전극의 공통 전위와 거의 동등해지고, 전압 완충 증폭기의 소비 전류를 인접하는 데이터 버스 라인간에 간헐적으로 단락 스위치 소자를 접속시키는 경우보다도 저감할 수 있다.

또한, 상기 공통 전위가 안정되기 때문에, 인접하는 데이터 버스 라인간에 간헐적으로 단락 스위치 소자를 접속시키는 경우보다도 플리커가 경감되어 화질이 향상된다.

또한, 단락 스위치 소자의 수가 인접하는 데이터 버스 라인간 모두에 단락 스위치 소자를 접속시키는 경우보다도 적기 때문에, 데이터 드라이버의 회로 면적을 저감할 수 있다.

본 발명에 따른 액정 표시 장치용 데이터 드라이버의 제2 형태에서는, 상기 제1 형태에 있어서, 상기 단락 스위치 소자를 접속시키는 제1행의 배선과 제2행의 배선이 교대로 배치되어 있다.

이 액정 표시 장치용 데이터 드라이버에 따르면, 단락 스위치 소자 및 그 배선의 밀도가 거의 마찬가지로 되도록 배치되기 때문에, 데이터 드라이버의 회로 면적을 더욱 좁게 하면서 데이터 버스 라인을 보다 고 밀도화할 수 있다.

본 발명에 따른 액정 표시 장치용 데이터 드라이버의 제3 형태에서는, 상기 제2 형태에 있어서, 상기 단락 스위치 소자가 상기 하나 걸러 하나의 데이터 라인의 일측에 형성되어 있다.

이 액정 표시 장치용 데이터 드라이버에 따르면, 상기 효과를 더욱 높일 수 있다.

본 발명의 다른 목적, 구성 및 효과는 이하의 설명으로부터 밝혀진다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

[제1 실시예]

도 1은 본 발명의 제1 실시예의 액정 표시 장치에 대한 개략적인 구성을 도시한다. 도 1에서는 간단하게 하기 위해 액정 표시 패널(11)의 화소 배열이 4행 6열인 경우를 도시하고 있다.

액정 표시 패널(11)에서는, 도시되지 않은 한 쌍의 유리 기판이 대향하여 배치되고, 그 사이에 액정이 봉입되어 있다. 그 한쪽 유리 기판 상에는 화소 전극이 매트릭스형으로 배열되고, 각 화소에 대해서 박막 트랜지스터가 형성되며, 제1행 내지 제4행의 박막 트랜지스터에 대하여 각각 주사 버스 라인[G1 G4: 게이트 라인]이 형성되고, 제1열 내지 제6열의 박막 트랜지스터에 대하여 각각 데이터 버스 라인(D1 D6)이 형성되며, 주사 버스 라인(G1 G4)과 데이터 버스 라인(D1 D6)이 절연막을 통해 교차하고 있다. 다른 쪽 유리 기판 상에는 전(全) 화소에 공통의 투명면 전극이 형성되고, 이것에 공통 전위(VCOM)가 인가된다. 예컨대, 제1행 제1 열의 액정 화소(C11)에 대해서는 그 화소 전극과 데이터 버스 라인(D1) 사이에 박막 트랜지스터(T11)가 접속되고, 박막 트랜지스터(T11)의 게이트가 주사 버스 라인(G1)에 접속되며, 액정 화소(C11)의 대향 전극에 공통 전위(VCOM)가 인가된다.

액정 표시 패널(11)의 데이터 버스 라인(D1 D6)은 데이터 드라이버(10)의 출력 단자에 접속되고, 액정 표시 패널(11)의 주사 버스 라인(G1 G4)은 주사 드라이버(12)의 출력 단자에 접속되어 있다.

제어 회로(13)는 공급되는 비디오 신호(VS), 화소 클록(CLK), 수평 동기 신호(HSYNC) 및 수직 동기 신호(VSYNC)에 기초하여, 타이밍 신호를 생성하고, 데이터 드라이버(10) 및 주사 드라이버(12)에 공급하는 동시에 데이터 드라이버(10)에 비디오 신호를 공급한다.

주사 드라이버(12)에 의해 주사 버스 라인(G1 G4)이 선순차(線順次)적으로 활성화되고, 선택 행에 대한 화소의 신호 전하가 데이터 드라이버(10)에 의해 갱신된다. 데이터 드라이버(10)는 데이터 버스 라인(D1 D6)으로 표시 데이터 신호를 동시에 공급하며, 이것을 1 수평 기간마다 갱신한다.

데이터 드라이버(10)는 도트 반전 구동 방식이다. 즉, 인접하는 데이터 버스 라인간의 극성이 반대가 되고, 또한 각 데이터 버스 라인에 대해서 1 수평 기간마다 극성이 반대가 되도록 표시 데이터에 따른 아날로그 계조 전압이 데이터 드라이버(10)로부터 출력된다. 도 2의 (a) 및 도 2의 (b)는 각각 홀수 프레임 및 짝수 프레임의 화소 전압 극성 분포를 도시한다.

도 3은 데이터 드라이버(10)의 출력단에 대한 구성을 도시한다. 데이터 버스 라인의 갯수는 실제로는 예컨대 1024×3=3072이며, 도 3에는 그 중 데이터 버스 라인(D1 D12)만이 도시된다.

액정 표시 패널(11) 상의 데이터 버스 라인(D1 D12)은 각각 데이터 드라이버(10)의 전압 폴로어로 구성된 전압 완충 증폭기(B1 B12)의 출력 단자에 접속되어 있다. 적색(R), 녹색(G) 및 청색(b) 신호의 데이터 버스 라인은 모두 3개 걸러 배치되어 있다.

단락 스위치 소자는 동일 표시색에 관한 인접하는 데이터 버스 라인간에 하나 걸러 하나에 접속되어 있다. 즉, 인접하는

R의 데이터 버스 라인(D1)과 데이터 버스 라인(D4) 사이에 단락 스위치 소자(S1)가 접속되고, 그 다음에 인접하는 R의 데이터 버스 라인(D4)과 데이터 버스 라인(D7) 사이에는 단락 스위치 소자가 접속되지 않으며, 다음에 인접하는 R의 데이터 버스 라인(D7)과 데이터 버스 라인(D10) 사이에 단락 스위치 소자(S7)가 접속되어 있다. 마찬가지로, 인접하는 G의 데이터 버스 라인(D2)과 데이터 버스 라인(D5) 사이에 단락 스위치 소자(S2)가 접속되고, 인접하는 G의 데이터 버스 라인(D8)과 데이터 버스 라인(D11) 사이에 단락 스위치 소자(S8)가 접속되어 있다. 또한, 인접하는 B의 데이터 버스 라인(D3)과 데이터 버스 라인(D6) 사이에 단락 스위치 소자(S3)가 접속되고, 인접하는 B의 데이터 버스 라인(D9)과 데이터 버스 라인(D12) 사이에 단락 스위치 소자(S9)가 접속되어 있다.

제어 회로(13)는 각 수평 귀선 기간에 있어서는, 전압 완충 증폭기(B1 B12)의 출력을 하이 임피던스 상태로 하고, 이 때 단락 스위치 소자(S1 S3, S7 S9)를 동시에 온으로 한다.

인접하는 동일 색의 화소 데이터 신호는 역 극성이며, 절대치가 거의 동일할 확률이 높다. 특히, 배경 화상의 영역에서 이 확률이 높다. 이에 따라, 데이터 버스 라인(D1 D12)의 전위가 거의 공통 전위(VCOM)가 되기 때문에 전압 완충 증폭기(B1 B12)의 소비 전류를 단락 스위치 소자가 없는 경우의 거의 절반으로 줄일 수 있다. 또, 대향 전극의 공통 전위(VCOM)가 안정되어 플리커가 도 9에 도시된 경우보다도 경감된다. 또한, 단락 스위치 소자의 수가 도 8에 도시된 경우의 절반이기 때문에, 데이터 드라이버(10)의 회로 면적이 저감될 수 있다.

[제2 실시예]

도 4는 본 발명의 제2 실시예의 데이터 드라이버(10A)의 출력단에 대한 구성을 도시한다.

이 회로에서는, 단락 스위치 소자를 접속시키는 제1행의 배선(L1 L3)과 제2행의 배선(L4 L6)이 교대로 배치되어 있다.

또한, 제1행과 제2행 각각에 대해서 인접하는 단락 스위치 소자의 일단이 각각 인접하는 데이터 라인에 접속되어 있다. 즉, 단락 스위치 소자(S1 및 S5)의 일단이 각각 데이터 버스 라인(D4 및 D5)에 접속되고, 단락 스위치 소자(S5 및 S9)의 일단이 각각 데이터 버스 라인(D8 및 D9)에 접속되며, 단락 스위치 소자(S3 및 S7)의 일단이 각각 데이터 버스 라인(D6 및 D7)에 접속되고, 단락 스위치 소자(S7 및 S11)의 일단이 각각 데이터 버스 라인(D10 및 D11)에 접속되어 있다.

단락 스위치 소자(S1, S3, S5, S7, S9 및 S11)는 제어 회로(13)에 의해 상기 제1 실시예와 마찬가지로 제어된다.

본 제2 실시예에 따르면, 상기 제1 실시예와 동일한 효과를 얻을 수 있다. 또한, 단락 스위치 소자의 배선이 제1행과 제2행에만 배선 밀도가 거의 마찬가지로 되도록 배치되고, 단락 스위치 소자의 배치 밀도도 거의 마찬가지이기 때문에, 데이터 드라이버(10A)의 면적을 도 3에 도시된 경우보다도 좁게 하면서 데이터 버스 라인(D1 D12)을 보다 고 밀도화할 수 있다.

[제3 실시예]

도 5는 본 발명의 제3 실시예의 데이터 드라이버(10B)에 대한 일부를 도시한다.

정극성(正極性) 전압 완충 증폭기(PB1 PB3)는 공통 전위[VCOM: 예컨대, 5 V]보다도 높은 (H측) 전압을 출력하기 위한 것으로, 부극성(負極性) 전압 완충 증폭기(NB1 NB3)는 공통 전위(VCOM)보다도 낮은 (L측) 전압을 출력하기 위한 것이다. 이와 같이 전압 완충 증폭기를 H측용과 L측용으로 나누고 있는 것은 출력 진폭을 좁게 하여 그 구성을 간단하게 하기 위함이다.

정극성 전압 완충 증폭기(PB1)와 부극성 전압 완충 증폭기(NB1)의 출력을 수평 기간(1H)마다 전환하여 출력 단자(T1 및 T2)에 공급하기 위해서는, 정극성 전압 완충 증폭기(PB1)의 출력단과 출력 단자(T1 및 T2) 사이에 각각 전송 게이트(P1 및 P2)가 접속되고, 부극성 전압 완충 증폭기(NB1)의 출력단과 출력 단자(T1 및 T2) 사이에 각각 전송 게이트(N1, N2)가 접속되어 있다. 전송 게이트(P1, P2, N1 및 N2)가 1조의 전환 스위치를 구성하고 있다. 다른 전압 완충 증폭기와 출력 단자 사이의 전환 스위치에 대해서도 마찬가지이다. 이들 전환 스위치와 출력 단자(T1 T6) 사이의 배선에는 도 4에 도시된 경우와 마찬가지로, 단락 스위치 소자(S1, S4 및 S5)가 접속되어 있다.

도 6은 도 5에 도시된 점선보다 하측의 회로(20)의 패턴을 도시한다. 도 6에 도시된 전극(A F, I T 및 U W)은 도 5에 도시된 동일한 부호의 위치에 대응하고 있다.

도 5에 도시된 각 전송 게이트는 PMOS 트랜지스터와 NMOS 트랜지스터가 병렬 접속된 구성이며, PMOS 트랜지스터는 영역(21)에 형성되고, NMOS 트랜지스터는 영역(22)에 형성되어 있다.

예컨대, 전송 게이트(P1)의 PMOS 트랜지스터는 전극(A)과 전극(I)과 그 사이의 검은 선으로 나타낸 게이트를 갖고, 전송 게이트(N1)의 PMOS 트랜지스터는 전극(A)과 전극(J)과 그 사이의 검은 선으로 나타낸 게이트를 갖고 있다. 전송 게이트(P1 및 N1)의 NMOS 트랜지스터는 NMOS 트랜지스터 영역(22)의 이들에 대응하는 부분을 갖는다.

단락 스위치 소자(S1)의 PMOS 트랜지스터는 전극(A)과 전극(U)과 그 사이의 검은 선으로 나타낸 게이트를 갖고, 단락 스위치 소자(S3)의 PMOS 트랜지스터는 전극(C)과 전극(V)과 그 사이의 검은 선으로 나타낸 게이트를 가지며, 단락 스위치 소자(S5)의 PMOS 트랜지스터는 전극(E)과 전극(W)과 그 사이의 검은 선으로 나타낸 게이트를 갖고, 단락 스위치 소자(S1, S3 및 S5)의 NMOS 트랜지스터는 NMOS 트랜지스터 영역(22)의 이들에 대응하는 부분을 갖는다. 전극(U)은 제1행의 배선(L1)에 의해 전극(D)에 접속되고, 전극(V)은 제2행의 배선(L4)에 의해 전극(F)에 접속되며, 전극(W)은 제1행의 배선(L5)에 접속되어 있다.

단락 스위치 소자가 하나 걸러 하나의 데이터 라인의 일측에 형성되고, 단락 스위치 소자를 접속시키는 배선(L1, L4 및 L5)이 PMOS 트랜지스터 영역(21)과 NMOS 트랜지스터 영역(22) 사이의 제1행과 제2행에만 배선 밀도가 거의 마찬가지로 되도록 배치되어 있기 때문에, 회로(20)의 면적을 좁게 하면서 데이터 버스 라인의 일부인 출력 단자(T1 T6)를 고 밀도화할 수 있다.

도 5로 되돌아가면, 정극성 전압 셀렉터(PS1 PS3)는 각각 레지스터(R1, R3) 및 레지스터(R5)의 출력치에 따라 정극성 계조 전압(VP31 VP0) 중 하나를 선택하여 정극성 전압 완충 증폭기(PB1 PB3)에 공급한다. 마찬가지로, 부극성 전압 셀렉터(NS1 NS3)는 각각 레지스터(R2 및 R4) 및 레지스터(R6)의 출력치에 따라 부극성 계조 전압(VN31 VN0) 중 하나를 선택하여, 부극성 전압 완충 증폭기(NB1 NB3)에 공급한다. 레지스터(R1 R6)의 클록 입력단에는 래치 신호(LT)가 공급된다.

도 7은 도 5의 출력단에 대한 동작을 나타낸 파형도이다.

래치 신호(LT)는 1H 마다의 펄스로서, 이 펄스의 상승으로 레지스터(R1 R6)에 화소 데이터가 래치된다. 래치 신호(LT)의 펄스 기간에서는 전송 게이트(P1 P6 및 N1 N6)가 오프이며, 전압 완충 증폭기와 출력 단자 사이가 하이 임피던스 상태가 된다. 이 때, 단락 스위치 소자(S1, S3 및 S5)가 온이 되어 단락 스위치 소자에 의해 접속된 단자의 전압이 평균화된다.

발명의 효과

또, 본 발명에는 이 밖에도 여러 가지 변형예가 포함된다. 예컨대, 전압 완충 증폭기는 소스 폴로어 회로이어도 좋다. 또한, 데이터 드라이버는 박막 트랜지스터를 이용하여 액정 표시 패널과 일체적으로 형성한 것이어도 좋다.

(57) 청구의 범위

청구항 1.

아날로그 계조 전압을 출력하는 전압 완충 증폭 회로를 구비하고, 동일 표시색에 관한 인접하는 데이터 버스 라인간의 극성이 역으로 되도록 상기 아날로그 계조 전압을 상기 데이터 버스 라인에 인가하는 액정 표시 장치용 데이터 드라이버로서,

동일 표시색에 관한 인접하는 데이터 버스 라인간에 간헐적으로 접속되는 단락 스위치 소자와;

상기 전압 완충 증폭 회로의 출력 또는 상기 전압 완충 증폭 회로와 상기 데이터 버스 라인 사이가 하이 임피던스 상태일 때에 상기 단락 스위치 소자를 턴-온시키는 제어 회로를 갖는 것을 특징으로 하는 액정 표시 장치용 데이터 드라이버.

청구항 2.

제1항에 있어서, 상기 단락 스위치 소자는 상기 동일 표시색에 관한 인접하는 데이터 버스 라인간 하나 걸러 하나에 접속되어 있는 것인 액정 표시 장치용 데이터 드라이버.

청구항 3.

제2항에 있어서, 상기 단락 스위치 소자를 접속시키는 제1행의 배선과 제2행의 배선이 교대로 배치되어 있는 것인 액정 표시 장치용 데이터 드라이버.

청구항 4.

제3항에 있어서, 상기 단락 스위치 소자는 상기 제1행과 상기 제2행 각각에 대해서 인접하는 제1 및 제2 단락 스위치 소자의 일단이 각각 인접하는 제1 및 제2 데이터 라인에 접속되어 있는 것인 액정 표시 장치용 데이터 드라이버.

청구항 5.

제4항에 있어서, 상기 단락 스위치 소자는 상기 하나 걸러 하나의 데이터 라인의 일측에 형성되어 있는 것인 액정 표시 장치용 데이터 드라이버.

청구항 6.

제5항에 있어서, 상기 각각의 단락 스위치 소자는 제3행에 형성된 NMOS 트랜지스터와 제4행에 형성된 PMOS 트랜지스터가 병렬 접속된 것으로 구성되는 것인 액정 표시 장치용 데이터 드라이버.

청구항 7.

제6항에 있어서, 상기 제1행 및 제2행의 배선은 상기 제3행 및 제4행의 트랜지스터 사이의 영역에 형성되는 것인 액정 표시 장치용 데이터 드라이버.

청구항 8.

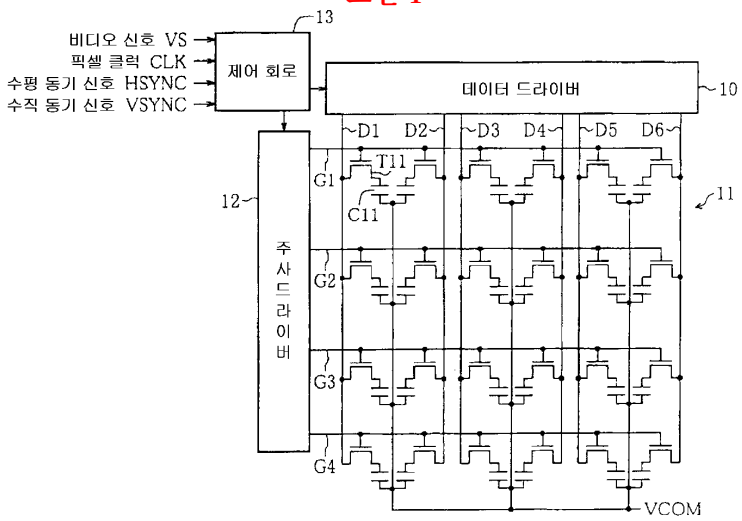
복수의 데이터 라인과 복수의 주사 라인을 갖는 액정 표시 패널과;

상기 복수의 데이터 라인에 접속된 청구항 제1항 내지 청구항 제7항 중 어느 한 항에 기재된 액정 표시 장치용 데이터 드라이버와;

상기 복수의 주사 라인에 접속된 주사 구동 회로를 갖는 것을 특징으로 하는 액정 표시 장치.

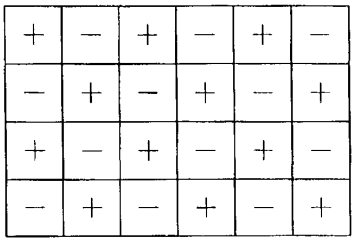
도면

도면 1

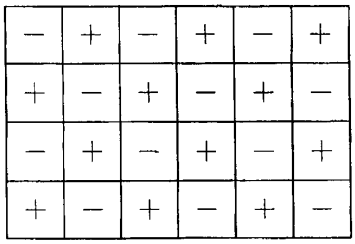


도면 2

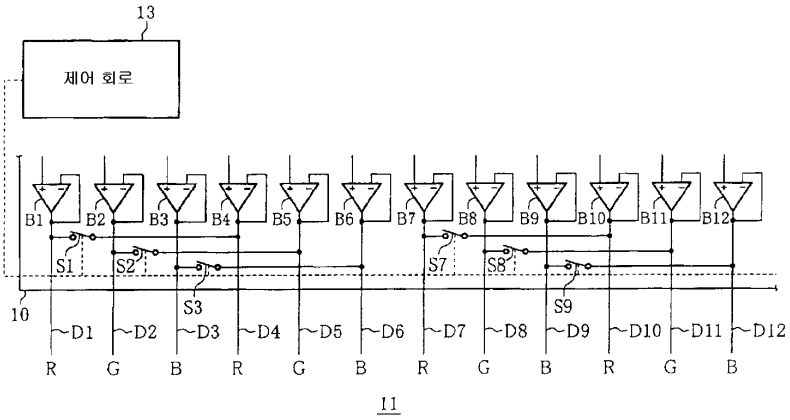
(a)



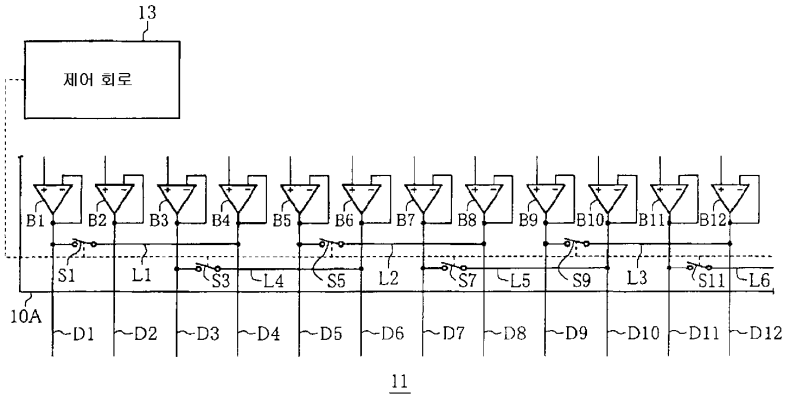
(b)



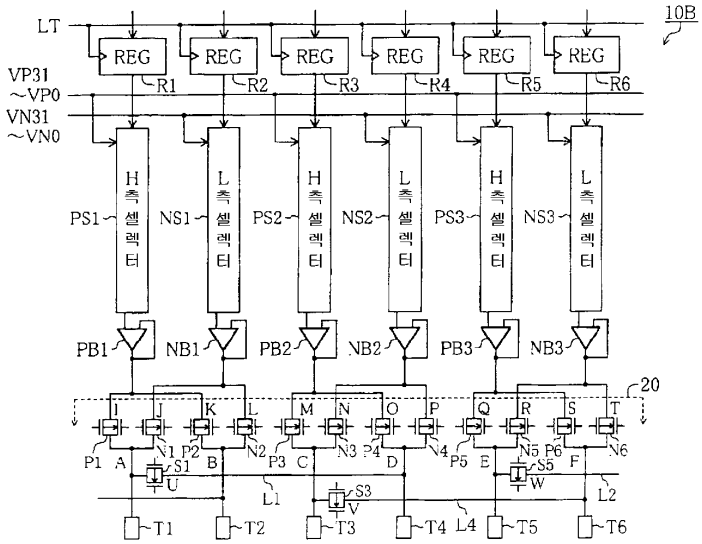
도면 3


13
제어 회로
B1
B2
B3
B4
B5
B6
B7
B8
B9
B10
B11
B12
S1
S2
S3
S7
S8
S9
10
D1
D2
D3
D4
D5
D6
D7
D8
D9
D10
D11
D12
R
G
B
R
G
B
R
G
B
R
G
B
11

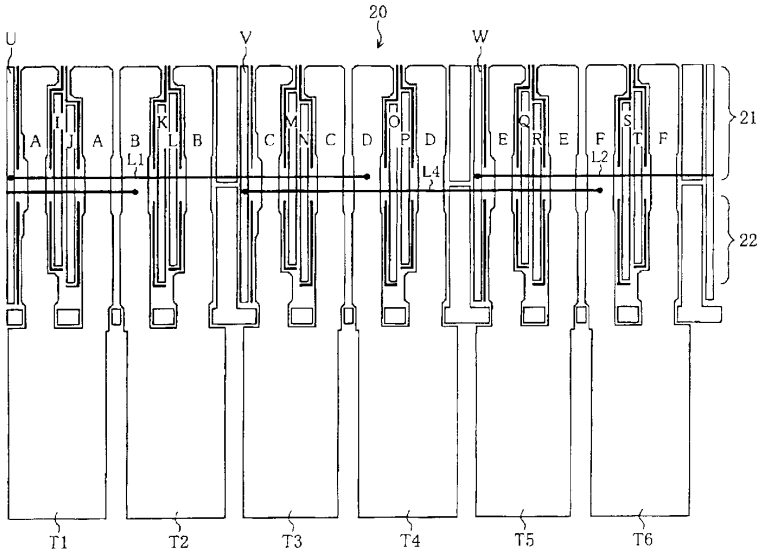
도면 4


13
제어 회로
B1
B2
B3
B4
B5
B6
B7
B8
B9
B10
B11
B12
S1
L1
S3
L4
S5
L2
S7
L5
S9
L3
S11
L6
10A
D1
D2
D3
D4
D5
D6
D7
D8
D9
D10
D11
D12
11

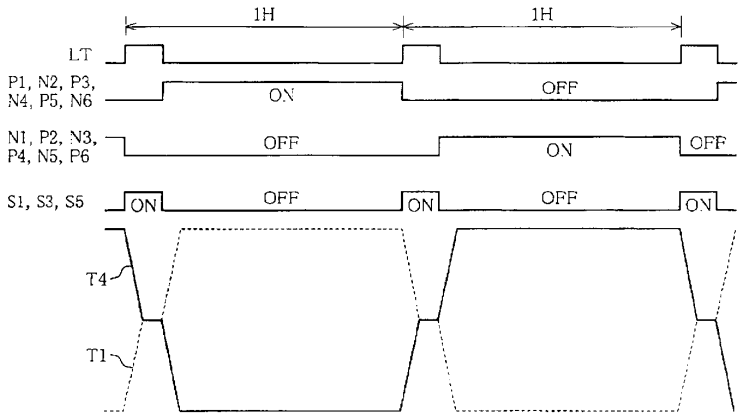
도면 5


LT
10B
REG
R1
R2
R3
R4
R5
R6
VP31
~VP0
VN31
~VN0
PS1
NS1
PS2
NS2
PS3
NS3
H 측 셀 렉 터
L 측 셀 렉 터
PB1
NB1
PB2
NB2
PB3
NB3
20
I J K L M N O P Q R S T
P1 A S1 U B P2 N1 P3 C N2 P4 D N3 P5 E S5 W F P6 N5 N6
L1
S3
V
L2
L4
T1
T2
T3
T4
T5
T6

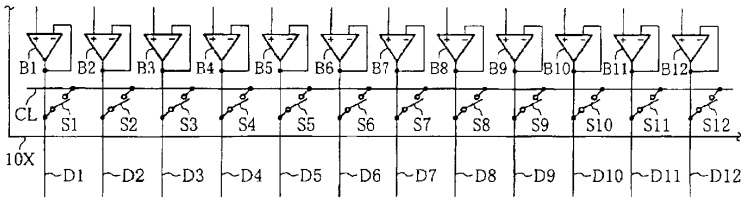
도면 6


20
U
V
W
A I J A B K L B C M N C D O P D E Q R E F S T F
L1
L2
L4
21
22
T1
T2
T3
T4
T5
T6

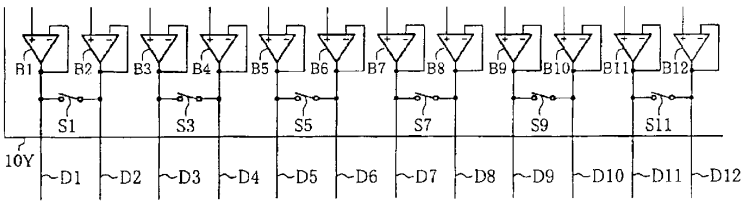
도면 7


1H
1H
LT
P1, N2, P3, N4, P5, N6
ON
OFF
N1, P2, N3, P4, N5, P6
OFF
ON
OFF
S1, S3, S5
ON
OFF
ON
OFF
ON
T4
T1

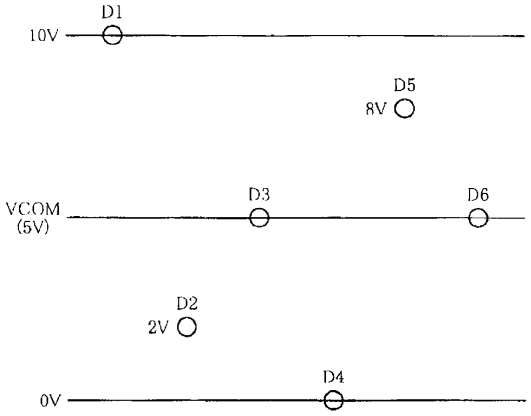
도면 8


B1
B2
B3
B4
B5
B6
B7
B8
B9
B10
B11
B12
CL
S1
S2
S3
S4
S5
S6
S7
S8
S9
S10
S11
S12
10X
D1
D2
D3
D4
D5
D6
D7
D8
D9
D10
D11
D12

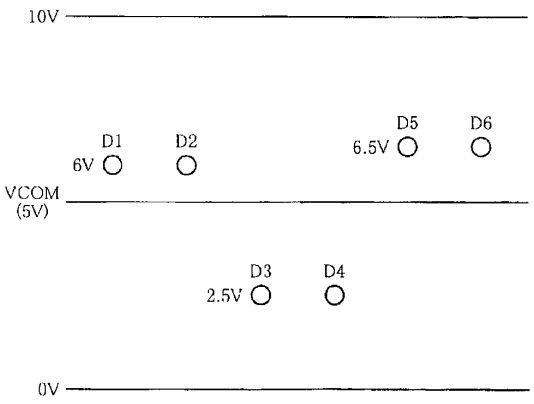
도면 9


B1
B2
B3
B4
B5
B6
B7
B8
B9
B10
B11
B12
S1
S3
S5
S7
S9
S11
10Y
D1
D2
D3
D4
D5
D6
D7
D8
D9
D10
D11
D12

도면 10


D1
10V
D5
8V
VCOM
(5V)
D3
D6
D2
2V
D4
0V

도면 11


10V
D1
6V
D2
D5
6.5V
D6
VCOM
(5V)
D3
2.5V
D4
0V

专利名称(译)	用于液晶显示器的数据驱动器		
公开(公告)号	KR1020020034836A	公开(公告)日	2002-05-09
申请号	KR1020010019825	申请日	2001-04-13
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士sikki有限公司		
当前申请(专利权)人(译)	富士sikki有限公司		
[标]发明人	UDO SHINYA 우도신야 KOKUBUN MASATOSHI 고쿠분마사토시		
发明人	우도신야 고쿠분마사토시		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3607 G09G3/3685 G09G3/3614 G09G2310/0297 G09G2330/023 G09G2310/0248		
代理人(译)	金泰HONG SHIN JUNG KUN		
优先权	2000333517 2000-10-31 JP		
其他公开文献	KR100734337B1		
外部链接	Espacenet		

摘要(译)

本发明旨在抑制电路面积的增加。 电压缓冲放大器B1至B12的输出端分别连接到点反转驱动型数据驱动器10A中的液晶显示板的数据总线D1至D12，短路开关元件S1，S3，S5，S7，S9和S11在这些线之间一个接一个地连接，并且第一行的布线和第二行的布线交替地布置。这些短路开关元件形成在一条数据线的一侧。当电压缓冲放大器的输出处于高阻抗状态时，控制电路13接通短路开关元件。 4